

다출력 컨버터에서 대기전력 개선을 위한 Secondary Side Post Regulator와 Power Sequence

정지훈, 최중문, 권중기
삼성전자 프린팅사업부

Secondary Side Post Regulator and Power Sequence to Reduce Standby Power Consumption under Multiple Output Converters

Jee-Hoon Jung, Jong-Moon Choi, and Joong-Gi Kwon
Digital Printing Division/Samsung Electronics, Co., Ltd.

ABSTRACT

전자산업 부문의 친환경 대응이 이슈화 되면서 전자기기의 대기전력 소비감소를 위한 연구가 지속적으로 수행되고 있다. 전자기기의 대표적인 전원공급장치인 Switched Mode Power Supply(SMPS)의 경우 부하기기의 대기모드 시 극도로 낮은 출력전력에서 고효율을 달성해야 하는 요구가 높다. 특히 많은 SMPS들이 부하기기의 요구에 의하여 다출력 컨버터로 설계되어 있는데, 이러한 다출력 구조에서 대기모드 시 불필요한 출력을 절체함과 동시에 저전력에서 고효율을 내기가 쉽지 않다. 또한 다출력 구조로 인한 Cross Regulation 문제를 극복해야 하는 과제가 있다. 따라서 본 논문에서는 단일 컨버터 혹은 복수의 컨버터로 구성되어 있는 다출력 컨버터에서 대기전력 개선을 위한 Secondary Side Post Regulator(SSPR), 전류모드, Power Sequence 제어기술을 제안하고, 대기전력과 더불어 SSPR의 Cross Regulation 특성 개선을 검토하였다. 그리고 제안한 기술이 구현된 다출력 구조의 110W와 270W급 SMPS를 제작하여 회로의 타당성 및 우수성을 검증하였다.

1. 서 론

오늘날 TV, Monitor, VCR, Printer 등의 많은 전자기기의 동작속도가 높아지고 다기능화 되며 성능이 향상되어 정상 동작모드(Normal Operation Mode)에서 기존에 비해 전력을 많이 사용하고 있다. 반면, 전자산업 부문의 친환경 대응이 이슈화 되면서 유해물질 사용금지과 더불어 대기전력 소비감소를 위한 요구가 지속적으로 제기되고 있다. 지금까지 대표적인 전원공급장치인 Switched Mode Power Supply(SMPS)에서의 기술개발은 주로 정격부하에서 고효율을 내기 위한 Topology의 고성능화 및 Soft Switching 등의 동작효율 제고와 같은 성능향상을 목적으로 진행되어 왔다. 그러나 대기전력 소비감소를 이루기 위해서는 기존의 컨버터 고효율화 기술과는 다른 방향에서의 접근이 필요하다.

일반적으로 대기모드(Standby Mode)와 같은 저전력 동작 상황에서 효과적인 Topology가 바로 플라이백(Flyback) 컨버터이다. 구조가 단순하고 저전력에서 소형화가 용이하여 상업적인 용도로 많이 사용되고 있다. 고효율 달성을 위해 많이 도입되는 복수의 스위치를 사용하는 공진 혹은 준공진형 컨버터의 경우 저전력 조건에서 1차측 순환전류의 동손에 의하여 원하는 대기전력 소모절감을 달성하기 힘들다. 저전력 동작 시

플라이백 컨버터에서 효율을 극대화하기 위한 버스트모드(Burst Mode)와 같은 스위치 제어방식이 많이 연구되었다.^[1] 하지만 출력전력에 따라 시비율(Duty Cycle) 제어의 비선형성이 발생하기 때문에 단일 컨버터의 다출력 구조에 있어 Cross Regulation 문제가 발생하기 쉽다. 이를 해결하기 위해 여러 방식의 Post Regulator 기술들이 개발되었다.^[2] 그러나 구현 혹은 제어의 복잡성으로 인하여 실용화에 제약이 많다.

본 논문에서는 컨버터의 저전력 동작조건 시 효율 제고를 통한 대기전력 소비감소를 위하여 단일 컨버터와 복수 컨버터로 구성된 다출력 구조에서 사용 가능한 Secondary Side Post Regulator(SSPR), 전류모드, Power Sequence 제어기술을 제안한다. 제안된 기술을 통하여 대기전력 소비개선을 검토하고, 단일 컨버터에서 SSPR의 Cross Regulation 성능 향상을 확인하였다. 그리고 제안한 기술이 구현된 다출력 구조의 110W와 270W급 SMPS를 제작하여 회로의 타당성 및 우수성을 검증하였다.

2. 제안된 대기전력 절감기술

2.1 단일 컨버터를 위한 대기전력 절감기술

다출력 구조를 갖는 단일 컨버터의 대기전력 절감기술로 향상된 SSPR을 제안한다. SSPR은 1차측 시비율 제어를 통한 출력제어와는 독립적으로 2차측에 연결되어 출력전압을 제어하는 회로를 의미한다. 따라서 앞에서 설명한 바와 같이 저전력 조건의 효율개선에 유리한 플라이백 컨버터의 다출력 시 Cross Regulation 문제를 해결하기 위하여 SSPR을 사용한다. 그러나 본 논문에서는 기존의 SSPR보다 향상된 제어방식을 사용하여 Regulation 기능을 향상시키고, 출력전압 절체기능을 도입하여 대기전력을 절감하는 방법을 제안한다.

2.1.1 SSPR 회로와 동작원리

그림 1은 SSPR이 적용된 의사공진형(Quasi-resonant) 플라이백 컨버터의 회로도이다. 출력단의 직렬 스위치 S_a 가 SSPR 기능을 담당하며, 오차증폭기를 이용하여 S_a 를 제어한다. 스위치 S_a 는 BJT나 MOSFET 모두를 사용할 수 있지만, 제어회로 구성의 편의를 위하여 Enhancement nMOS를 사용하고, MOSFET의 Body 다이오드 방향을 고려하여 출력 다이오드의 Cathode단과 S_a 의 Drain단이 연결되도록 구성한다.

동작원리는 다음과 같다. SSPR의 제어대상인 출력전압과 설정된 기준 출력전압(Reference Voltage)간의 차이를 오차

증폭기를 이용하여 SSPR 스위치 S_a 의 Gate 입력전압을 생성한다. 그림 2와 같이 Gate 입력전압의 크기에 따라 Drain-Source 양단간의 임피던스(Impedance)가 변화하게 되고 이를 이용하여 출력전압을 제어한다. 따라서 SSPR은 Buck 컨버터와 유사한 기능을 수행하며, 제어출력이 부하가 크고 비제어 출력의 부하가 작을 시 동작한다.

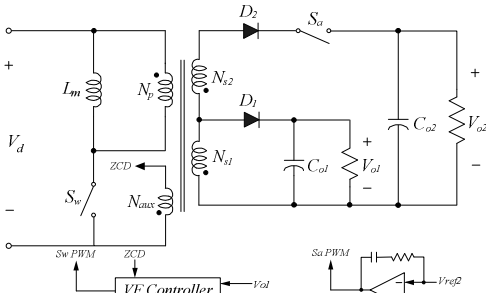


그림 1 SSPROI 실장된 다출력 구조의 QR-flyback 컨버터
Fig. 1 A multiple output QR-flyback converter with SSPR

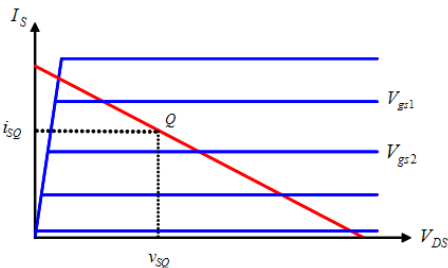


그림 2 SSPR MOSFET의 Gate 전압과 Impedance Graph
Fig. 2 Gate voltage and impedance graph of SSPR MOSFET

2.1.2 SSPR 회로의 설계와 Gain 특성

그림 3은 SSPR 스위치 S_a 의 제어회로로 정상상태에서 OP-AMP의 입력단이 가상단락 상태임을 이용하면 SSPR에 의해 제어되는 출력전압, V_o 를 다음과 같이 얻을 수 있다.

$$V_o = \frac{2.5 R_1}{R_2} \quad (1)$$

따라서 식(1)에 근거하여 원하는 출력전압에 대하여 R_1 과 R_2 를 설정하면 된다.

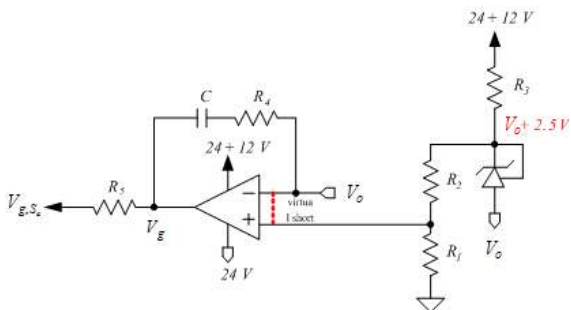


그림 3 SSPR MOSFET 제어회로
Fig. 3 A control circuit of SSPR MOSFET

그림 3에서 출력전압 입력단의 직렬저항을 R_0 라고 하면 주파수 Domain에서 전달함수를 구할 수 있다. 입력으로 출력전압을 받고 출력이 S_a 의 Gate 전압이 되므로 각각의 오차를 아래와 같이 설정하면 전달함수는 다음과 같다.

$$V_{o, err} = V_o - V_{ref} \quad (2)$$

$$V_{g, err} = V_g - V_{ref} \quad (3)$$

$$\frac{V_{g, err}}{V_{o, err}} = -\frac{R_4}{R_0} - \frac{1}{sCR_0} \quad (4)$$

그림 4는 식(4)에서 유도한 SSPR 스위치 제어회로의 주파수에 대한 이득과 위상의 Bode Plot이다. 높은 Gain Margin과 Phase Margin을 통하여 왜란에 의한 영향이 최소화 되도록 설계하였다.

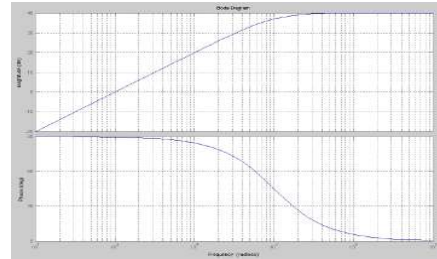


그림 4 SSPR MOSFET 제어회로의 이득에 대한 Bode Plot
Fig. 4 A gain Bode plot of SSPR control circuit

2.2 복수의 컨버터를 위한 대기전력 절감기술

다출력 구조를 갖는 복수 컨버터의 대기전력 절감기술로 전류모드 제어기술과 Power Sequence 제어기술을 제안한다. 첫째, 전류모드 제어기술은 대기모드용 보조(Sub) 컨버터의 출력전압 궤환(Feedback)신호를 이용하여 저부하 조건 시 컨버터의 전류제한 기준을 낮추어 스위칭 횟수를 감소시킨다. 둘째, Power Sequence 제어기술은 대기모드 시 꺼지는 주(Main) 컨버터를 포함하여 보조회로의 모든 전력을 보조 컨버터에서 공급하고, 대기모드 시 공급전력을 완전히 차단한다. 본 논문에서는 상기의 두 기술을 사용하여 대기모드 소비전력을 절감하는 방법을 제안한다.

2.2.1 대기모드용 보조 컨버터의 전류모드 제어기술

일반적으로 SMPS용 제어기들은 1차측 전류의 최대치를 관측하여 과전류 출력에 대한 보호동작을 수행한다. 이를 이용하여 대기모드와 같은 저전력 조건에서 과전류 제한 기준을 낮추어 컨버터의 스위칭을 제한하면 스위칭 손실을 감소시켜 효율을 높일 수 있다. 그림 5는 상기의 기능을 수행하는 PWM 제어기의 주변회로로 출력전압 궤환신호를 전달하는 Photo Coupler가 저전력 조건에서 더욱 크게 도통됨을 이용한다. 제안하는 전류모드 제어기술은 널리 사용되는 Burst Mode 혹은 Skip Cycle 등의 기술과 같은 원리로 대기전력 손실감소를 달성한다. 그러나 상기의 기술들은 제어기에서 지원하지 않으면 사용할 수 없으므로 대기모드 저전력 기술의 미지원 제어기에서 제안하는 전류모드 제어기술의 효용성이 높다.

