

# IEC61850 Process Level 에서의 시간동기화를 위한 IRIG - B 인터페이스 보드 설계에 관한 연구

이정훈, 이흥희, 김관수  
울산대학교

## A Study on Implementation of IRIG-B Protocol for Clock Synchronization for IEC 61850 Process Level

Jung-hoon Lee, Hong-hee Lee, Gwan-su Kim  
University of Ulsan

### ABSTRACT

최근 UCA2.0과 IEC 주관아래 개발된 변전소 자동화용 단일 세계 표준인 IEC 61850은 스테이션 버스 뿐만 아니라 프로세서 버스까지도 표준화된 통신 기술을 채용하였고, 자동화에 필요한 모델을 제시하였다. 오늘날 변전소 내의 많은 전력기들이 시간 동기화를 필요로 하고 있으며 프로세서 레벨에서 동작하는 기기들의 IEC61850 통신 서비스를 수행하기 위해서는 반드시 동기화 되어야 한다. 본 논문에서는 IEC61850 process level에 적합한 IRIG-B 시간 동기화 프로토콜을 사용하여 실제 FPGA 기반의 인터페이스 보드를 설계하고 시뮬레이션을 통해 결과를 검증하였다.

### 1. 서 론

고밀도 집적 회로의 기술 발달로 인하여 변전소 자동화 시스템(Substation Automation System, SAS)의 전기 기계식 장치가 디지털 장치로 발전 됨에 따라 몇몇 지능형 전자 장치(Intelligent Electronics Device, IED)들을 사용하여 필요한 기능들을 수행할 수 있는 SAS를 구현할 수 있는 가능성이 제시되었다. 결과적으로 IED 들 간의 효과적인 통신, 특히 프로토콜에 대한 필요성이 강조 되었다. 하지만 최근까지 서로 다른 제작자에 의해 개발된 통신 프로토콜을 사용해 왔고 사용되고 있다. 그렇기 때문에 산업계는 제작자가 서로 다른 IED간 상호 운용성을 제공할 수 있도록 하는 표준 프로토콜을 개발할 필요가 있음을 계속 제기 해 왔다. 공급자가 다른 IED들을 사용할 경우에 호환성의 결여로 인해 복잡하고 비싼 프로토콜 컨버터 장치를 사용해야 하기 때문이다. 이에 1990년 표준화 작업을 시작하여 최근 변전소 자동화용 단일 세계 표준인 IEC61850 을 UCA2.0과 유럽의 경험을 기반으로 IEC 주관아래 개발 되었다. 우리나라도 세계적인 흐름에 따라 IEC 61850 기반의 변전소 자동화 시스템 구축이 필수적이다.

그림 1은 KS C IEC 61850 시리즈의 바탕이 되는 다이어그램을, 그림 2는 IEC 61850에서의 기능과 물리노드, 논리 노드 간의 관계를 설명하는 예를 보여 주고 있다.

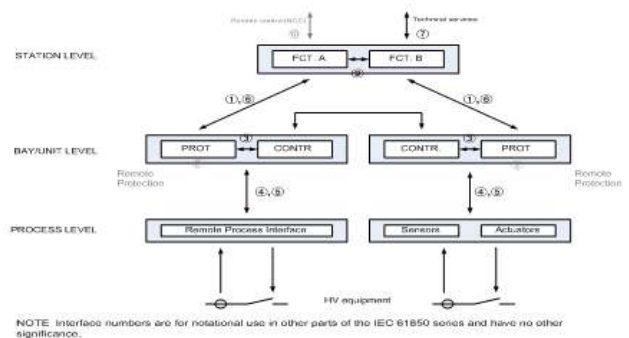


그림 1. 변전소 자동화 시스템의 인터페이스 모델  
Fig 1. Interface model of a substation automation system

변전소 내의 많은 전력기들은 서로 간의 정확한 정보 전달을 위해 통신 서비스를 수행하게 되는데, 이를 위해서는 클럭 동기화는 필수적이다. 일반적으로 변전소 자동화 시스템에서의 시간 정밀도는 하위 계층으로 갈수록 보다 높은 정밀도를 필요로 한다. Station 레벨에서의 정밀도는 사용자에게 동작 시간을 알려주기 위한 수백 [ms] 정도이고, Bay 레벨에서는 이벤트 타임스탬핑을 위해 수 [ms]정도, 그리고 프로세서 레벨의 머징유닛에서는 측정된 아날로그 값의 동기화 샘플링을 위해 수 [us]의 정밀도가 필요하다. 표준 이더넷 컨트롤러에서는 약 100 [us]의 클럭 정밀도를 수행할 수 있다. 그러나, 프로세서 레벨에서 아날로그 샘플링 값에 대한 동기화는 약 5[us] 정도의 정확도를 필요로 한다.<sup>[1]</sup>

시간 동기화 통신 프로토콜 중에는 IEEE1588(Precision Time Protocol) 이나 NTP(Network Time Protocol) 등이 있다. 하지만 NTP를 이용하는 경우 측정시스템과 NTP 서버와의 거리에 따라 동기화되는 시간의 오차가 발생한다.<sup>[2]</sup> IRIG-B 시간 코드 포맷은 가장 일반적으로 사용되는 시간 동기화 방법으로 IEEE1588 이나 NTP에 비해 구성이 간단하고 GPS 위성 동기화 방식에 비해 비용이 적게 든다. 본 논문에서는 시간동기화 프로토콜에 대해 알아보고 IEC61850의 프로세서 레벨에서 간단하게 사용할 수 있는 IRIG B 시간 동기화 프로토콜을 이용하여 verilog HDL로 코드를 작성하여 시뮬레이션 및 검증하였다.

### 2. 시간 동기화 프로토콜

#### 2.1 NTP(Network Time Protocol)

NTP는 네트워크로 연결되어 있는 컴퓨터들끼리 클럭 시각을 동기화시키는데 사용되는 프로토콜이다. NTP는 미국 텔라웨어 대학의 데이빗 밀스에 의해 처음 개발되었으나, 이제는 인터넷 표준이 되었다. NTP는 컴퓨터 클럭 시각을 1/1000 초 이하까지 동기화시키기 위해 협정 세계시각(UTC)을 사용한다.<sup>[3]</sup> 시간은 NTP 서버 계층을 통해 분배되는 데, 각 서버는 파일의 최상단에 위치하고 외부 타임 소스(대개 라디오 클럭)에 대한 액세스를 갖고 있는 Primary(stratum 1) 서버를 채택한다. stratum-2 서버는 stratum-1 서버로부터 시간을 얻고, stratum-3 서버는 stratum 2 서버로부터 시간을 얻는 식으로 동기화 된다. 그림 4는 NTP의 통신서비스를 나타내었다.

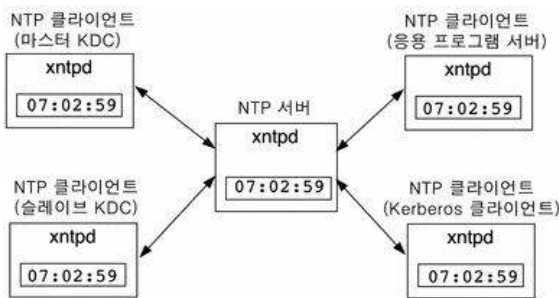


그림 4. NTP의 통신 서비스  
Fig 4. NTP communication service

## 2.2 IEEE1588(Precision Time Protocol)

대부분의 엔지니어들은 원격지의 정확한 동기화 이벤트를 위해 이더넷 통신 기반의 장비를 이용할 수 없다는 것을 알고 있다. 이러한 문제를 해결하기 위해 IEEE는 일부 산업 제어 업체들과 장비 벤더들이 채택한 타임 동기화 표준을 발표했다. IEEE 1588(2002)이라고 불리는 이 표준은 디바이스가 네트워크 상에서 가장 정밀하고 정확한 클럭을 활용할 수 있는 프로토콜을 제공한다. IEEE1588 프로토콜의 동기화 과정은 다음과 같다.

마스터 노드로부터 슬레이브 노드로 Sync 메시지를 전송하게 되고, 이 메시지는 추정된 시간정보를 가지고 있다. 이후에 바로 정확한 시간정보를 가지고 있는 Follow-Up 메시지를 슬레이브 노드로 전송한다. 슬레이브 노드는 오프셋과 정확한 클럭을 계산한다. 시간 동기화 메시지전송에 관한 과정은 그림 5와 같이 나타낼 수 있다.<sup>[4]</sup>

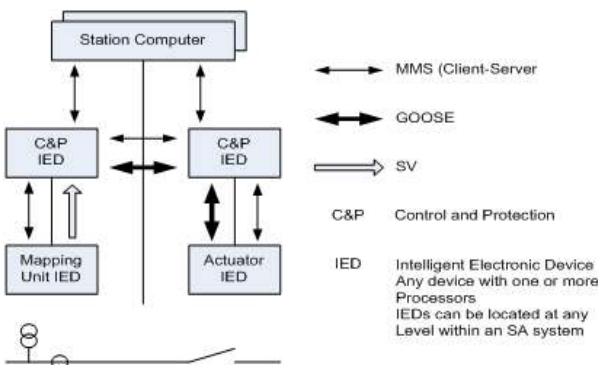


그림 3. IEC 61850 통신 서비스 종류  
Fig 3. Main types of IEC61850 communication service

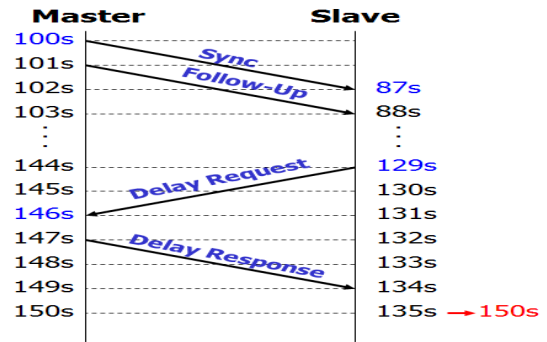


그림 5 IEEE1588 동기화 메시지 교환  
Fig 5. IEEE1588 Synchronization Message Exchange

마스터와 슬레이브 노드의 시간 오차 정보를 보상하기 위해 필요한 시간 정보와 계산식은 다음과 같다.

$$t_{ms} = t_2 - t_1$$

$$t_{sm} = t_4 - t_3$$

$$\text{평균 전파 시간} = \frac{t_{ms} + t_{sm}}{2}$$

슬레이브 노드에서는 슬레이브 오프셋 값을 이용하요 슬레이브의 시간을 마스터 노드와 같게 보정한다.

## 2.3 IRIG 시간 동기화

1956에 미국 Inter Range Instrumentation Group (IRIG)의 TeleCommunication Working Group(TCWG)는 다른 시간 부호 체계를 표준화하기 위하여 명령되었다. IRIG 문서 104-60는 원래 IRIG 체계를 정의하고, IRIG 문서 104-70에 1970년에 수정되고, IRIG 기준 200-70로 나중에 간행했다. 최신 간행물은 200-04이다.<sup>[5]</sup>

### 2.3.1 IRIG Time code

IRIG time code 는 1개의 letter 과 3개의 digit로 이루어져 있는데 letter은 포맷 형식을 나타내고, 3개의 digit은 IRIG 신호의 속성을 나타낸다. 표 1 는 IRIG 규격 200-04에 정의되어 있는 규격 코드 포맷 이름을 나타낸다.<sup>[5]</sup>

표 1 표준 코드 포맷 이름 - IRIG 규격 200-04  
Table 1 Standard Code format name - IRIG standard 200-04

First letter: Rate Designation	A	1k PPS
	B	100 PPS
	D	1 PPM
	E	10 PPS
1st Digit: Form Designation	G	10k PPS
	H	1 PPS
2nd Digit: Carrier Resolution	0	DC level pulse width code, no carrier
	1	Sine wave carrier, amplitude modulated
	2	Manchester modulated
	3	No carrier/index counter interval
	4	100 kHz / 0.01ms resolution
3rd Digit: Coded Expressions	5	1MHz / 1us resolution
	0	BCD, CF, SBS
	1	BCD, CF
	2	BCD
	3	BCD, SBS

### 2.3.2 IRIG B Standard 200-04

IRIG B 규격 200-04 에서는 그림 5 과 같은 시간 포맷을 가진다.

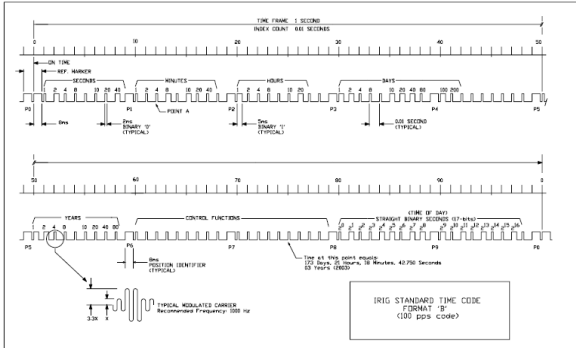


그림 5 IRIG-B Time Code Format

IRIG B 신호는 1초동안 100개의 펄스 받아들여서 각 구간에서 초, 분, 시, 일, 년 정보 등을 순차적으로 판단하게 된다. 판단 방법은 1개의 펄스가 10ms 동안 들어오게 되는데 10ms 중 2ms 가 high 신호로 들어오면 binary zero의 값으로 판단하고 5ms 가 high 신호로 들어오면 binary one 으로 판단한다. 또한 10ms 중 8ms가 high 로 들어오면 position identifiers로 판단한다. IRIG B 신호는 총 10개의 position identifiers가 있고 각각의 위치에 초, 분, 시 등의 정보가 BCD 코드 형식으로 존재한다. [5]

### 2.3.3 IRIG B 시간 동기화 정확도

IRIG-B 시간 신호를 여러 IED에 전송하는 몇 가지 방법이 있다. 가장 일반적인 2가지 IRIG-B 신호 전송 포맷은 변조(IRIG-B1xx) 신호와 복조(IRIG-B0xx) 신호로 전송하는 방법이다. IRIG-B 변조 신호는 1[kHz] 캐리어 신호를 사용할 경우 일반적으로 1[ms] 의 정밀도를 가진다. 그리고 복조 신호의 경우는 GPS 클럭 장치의 정밀도가 지원하는 경우에 [ns] 단위의 정밀도를 제공할 수 있다.

### 2.3.4 IRIG B FPGA 구현

SEL사의 SEL-2407 GPS 위성 동기화 클럭은 IRIG-B 신호 발생 장치로서 IRIG 규격서 200-98을 따르며, IRIG-B 시간 포맷(Modulated IRIG-B12X, Unmodulated IRIG-B00X, X:0,2)을 지원한다.

구현된 IRIG-B 프로토콜은 GPS 위성 클럭 장치로부터 IRIG-B 신호를 수신하여 시각 정보를 추출하여 시간 동기화 신호로 사용한다. 그림 6과 같이 GPS 클럭 장치는 IRIG-B 신호를 모든 IED 노드에 전송하고 각 IED 노드들은 내부에 구현된 IRIG-B 프로토콜을 사용하여 IRIG-B 신호를 수신하여 시간 동기화에 필요한 시간 정보를 추출해 낸다.

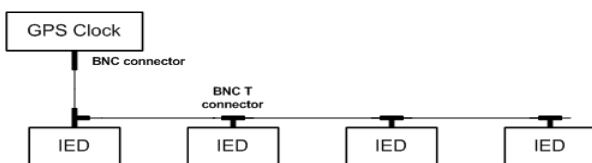


그림 6 High-Accuracy IRIG-B Time Distribution Method

본 논문에서는 SEL-2407 GPS 클럭 장치와 호환성을 맞추기 위해 IRIG 규격서 200-98에 따른 IRIG-B 프로토콜을 Verilog HDL로 구현하였다. IRIG-B 코드를 합성하고 검증하기 위한 툴로서 Altera 사의 Quartus II 를 사용하여 코드를 합성하고 검증 및 시뮬레이션을 수행하였고 그 결과 그림 7과 같이 검증되었다.

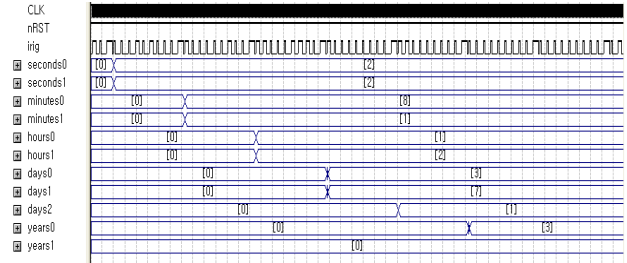


그림 7 IRIG B 시뮬레이션 결과

## 3. 결 론

시스템 동기화를 위한 프로토콜은 여러 가지가 있다. 이중 IRIG B 는 수 [us]의 정확도를 요구하는 프로세서 레벨의 시간 동기화의 기본 적인 조건을 만족하면서 다른 동기화 방식에 비해 구성이 간단하다는 장점이 있다. 본 논문에서는 IRIG B 프로토콜을 사용한 시간 동기화 방법을 제시하였고, verilog HDL기반의 FPGA를 설계하였다. 그리고 IRIG B 신호 발생 장치를 이용하여 설계된 FPGA 를 검증하였다.

이 논문은 산업자원부 지정 울산대학교 네트워크 기반 자동화연구센터의 지원에 의한 것입니다.

## 참 고 문 헌

- [1] F. Engler, T.L. Kern, "IEC 61850 based digital communication as interface to the primary equipment", Cigre 2004 Paris, B3-205, 2004
- [2] Seung-Young Won , "Time Synchronization of the Monitoring data for VoIP User Assessment of Voice Quality Measurement", Kocon, 2005 No.4, Vol.5
- [3] NTP, <http://www.ntp.org/>
- [4] IEEE, "IEEE Standard for a Precision Clock Synchronization Protocol for Networked Measurement and Control Systems", 2002, New York
- [5] IEEE Standard C37.118-2005, "IEEE Standard for Synchrophasors for Power Systems."