

고전력밀도 AC/DC Adapter를 위한 off-time 제어법

강신호, 장준호, 홍성수*, 이준영*
 단국대학교, 삼성전기 (주) P&M 사업부*

Off-time control method for high power density AC/DC Adapter

Shin-ho Kang, Jun-ho Jang, Sung-Soo Hong*, Jun-Young Lee*
 Dankook Univerdity, *Samsung Electro-Mechanics Co., LTI

ABSTRACT

The proposed method offers an improved control method for high power density AC/DC adapter by using more energy efficient electrical equipments. Power factor corrector (PFC) topology is based on boost topology with boundary conduction mode (BCM). DC/DC topology is based on half-bridge topology with newly introduced off-time control method, which helps to reduce size of the semiconductor and the magnetic devices. Test results with 85W AC/DC adapter (18.5V/4.6A) design shows that the measured efficiency is 90% with power density of 36W/in³. It also show low no load power consumption of about 0.5W..

1. 서 론

AC/DC adapter는 Mobile Phones, Note PC, LCD 모니터, 소규모 휴대용 전자제품 등에 광범위하게 사용되고 있다. Adapter는 작은 power를 다루며 재료비 경쟁이 심하기 때문에 PFC를 사용하지 않고 그림 1의 구조가 간단한 Flyback 회로를 채용하고 있지만 size와 효율 관점에서 더 이상의 발전은 없을 것이다.^[1] 게다가 최근 전자기기의 급속한 성장과 더불어 이들 기기들 요구전력이 점점 커져왔다.^{[2][3]} 그리고 이를 공급할 수 있는 작은 size의 고효율 및 고성능의 adapter가 필요하게 되었다.^[4] 또한 전자기기의 요구 전력이 증가함에 따라 harmonic규제에 대한 대응을 검토해야할 시점에 오고 있어 고전력밀도회로 기술 및 실장 기술을 확보할 필요가 있다. 본 논문에서는 고전력밀도 adapter 설계에 적합한 topology와 새로운 off-time 제어법을 제안하여 성능평가 및 고찰해보았다.

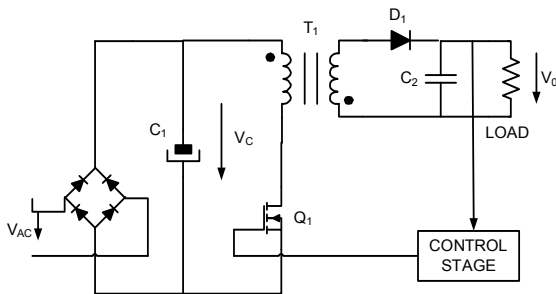


그림 1 Flyback방식의 AC/DC adaptor
 Fig. 1 AC/DC adaptor of Flyback topology

2. 85W Adapter 설계를 위한 topology

2.1. PFC topology & control

표 1은 PFC stage에서 사용될 수 있는 topology들의 특성을 도시하였다. DC/DC stage의 전압 stress와 수동소자의 크기를 고려할 때 Buck topology가 적합하지만 입력전류의 dead-zone이 발생하여 PF가 낮고 스위치를 floating driver를 사용해야 한다. Boost topology는 capacitor size로 인해 전체적인 부피가 커지며 DC/DC stage에 고내압 스위치의 사용으로 스위치의 package가 커지지만 PF가 좋다.

표 1 PFC topology 비교
 Table 1 comparisons of PFC topology

Topology	전류 stress	전압 stress	Capasitor size	Inductor size
Boost	小	大	大	동일제어 방식인 경우 유사
Buck	大	小	小	
Buck-Boost	大	大	中	

표 2는 PFC 제어방식을 비교하였다. CCM은 인덕터의 크기가 커지고 제어 IC가 복잡하다. DCM은 인덕터 size는 작지만 스위칭 손실이 가장 크며 모든 영역에서 DCM조건을 만족하도록 설계하기가 어렵다. BCM은 전류가 0이 되는 점을 감지하여 스위칭하므로 언제나 DCM조건을 만족하며 전용 IC가 있어 설계가 용이하지만 CCM보다는 크다. Adapter application에서는 마그네틱 소자의 크기를 최소한으로 줄여야하고 제어 방식도 단순해야하므로 BCM방식이 적당하다.

표 2 PFC 제어방식 비교
 Table 2 comparisons of PFC control method

Topology	제어기의 복잡성	전류 stress	Capasitor size	Inductor size
CCM	大	小	小	大
BCM	小	中	中	小
DCM	小	大	大	小

2.2 DC/DC topology & contol

표 3은 DC/DC stage에 사용될 수 있는 topology들을 도시하였다. Flyback topology는 구성이 가장 간단하지만 전압과

전류stress가 크고 snubber 회로 등이 추가 되어야 하므로 효율과 size 면에서 불리하다. Forward topology는 Flyback에 비해 변압기 이용도 면과 soft switching이 유리하지만 역시 전압과 전류 stress 관점에서 효율향상에 적합하지가 않고 Full-bridge topology는 스위치 stress면에서 가장 유리하지만 스위치의 구성이 복잡하다. Half-bridge topology는 Full-bridge에 비해 전류 stress가 크다는 단점이 존재하지만 스위치 구성이 간단하고 전압 stress가 작아 스위치의 package를 줄이는데 용이하고 변압기 이용도도 좋아 마그네틱 소자의 사이즈를 줄이는데 용이하다.

표 3 DC/DC topology 비교
Table 3 comparisons of DC/DC topology

Topology	전압 stress	전류 stress	Capasitor size	Inductor size	Transformer size
Flyback	大	大	大	없음	大
Forward	大	大	小	大	中
Half-bridge	小	中	小	中	小
Full-bridge	小	小	小	中	小

표 4는 DC/DC 제어방식을 비교하였다. PWM방식은 duty 변동에 의한 스위치 전류 편향 현상으로 인해 효율 향상 면에서 불리하며 2차측 전압의 변동은 출력단에 SR을 사용하기 어렵게 하여 전체적인 시스템 효율향상에 문제가 있다. 고정 duty 방식은 DC/DC 부의 최적설계를 위해 가장 유리하지만 출력전압의 제어에 문제가 있어 Hysteresis 제어를 추가하여 보완하여야 한다.

표 4 DC/DC 제어방식 비교
Table 4 comparisons of DC/DC control method

제어방식	특징
PWM	Duty 변동으로 인한 스위칭 손실 발생 소형화에 적합한 Half-bridge회로를 사용할 경우 변압기 2차측 전압의 변동으로 Synchronous rectifier(SR)를 사용하기 어려워 효율 저하 발생
Constant-duty + Hysteresis	스위치 stress와 스위칭 손실면에서 유리함.

3. Off-time 제어법

고정 duty법을 사용하면 power stage의 설계를 효율 관점에서 최적 설계가 유리하다.^[4] 출력전압의 regulation이 어려워 Hysteresis제어와 같이 pulse 개수를 제어하는 방법을 추가하여 보완하여야 한다. 그렇지만 이 제어 방법은 특허가 나와있는 상태이기 때문에 새로운 제어 방법이 필요하다. 그림 2에서 보여주는 off-time 제어법은 pulse의 그룹을 결정해 주는 carrier pulse의 폭이 고정되어 있고 그 pulse간의 간격을 조정하여 제어하는 방식이다. 출력 인덕터의 ripple은 carrier 펄스 폭 또는 group pulse의 개수에 의해서 정해진다. group pulse의 개수가 증가하게 되면 출력 인덕터의 ripple이 증가하

여 FET의 스위치 손실이나 인덕터의 core loss등이 증가할 수 있으므로 가급적 작게 사용하는 것이 좋다. 하지만 너무 작은 개수를 사용하면 FET는 hard-switching을 하게 되므로 스위칭 손실 등이 일어나게 되므로 출력 ripple과 스위칭 손실을 절충하여 그림 3에서 보이듯이 1개의 group에 4개의 pulse를 사용하였다

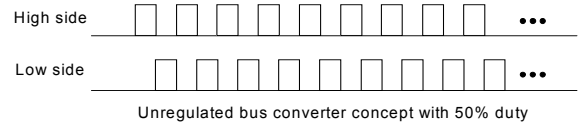


그림 2 Off-time 제어법
Fig. 2 Off-time control method

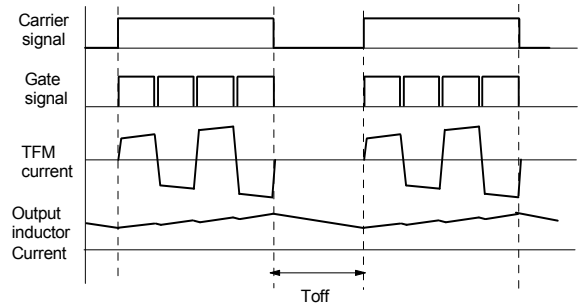


그림 3 한 group에 4개의 pulse를 포함한 스위칭 파형
Fig. 3 Switching waveforms with 4 pulses in one group

4. 제안된 회로

4.1. PFC Stage

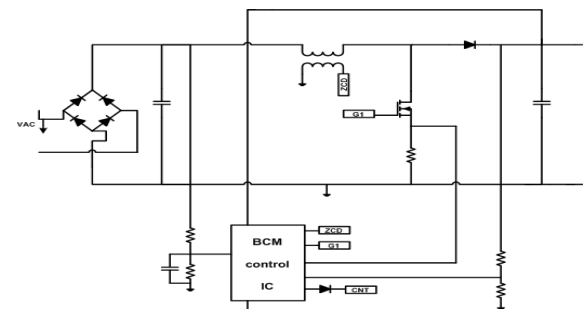


그림 4 PFC stage 회로도
Fig. 4 Circuit of PFC stage

그림 4는 실제로 제안된 PFC stage를 도시하였다. 기본적인 형태의 Boost topology로 하였으며 BCM제어를 위해 전용 IC인 MC33368을 사용하였다. 이 IC는 자체 기동기능이 존재하며 초기 공급 전류도 20mA이상되어 기동이 용이하다. 또한 자체적으로 light load operation시 pulse가 완벽하지 않지만 간헐적으로 동작하는 기능이 있어 DPMS동작에 유리하다.

DPMS의 소비전력을 줄이기 위해 PFC와 DC/DC가 CNT를 통해 carrier pulse와 동기를 시켰다. MC33262는 light load 시 간헐동작과 유사한 동작을 하지만 폭이 작은 pulse들이 발생하므로 이를 캐리어 pulse와 동기를 맞추어 폭이 작은 펄스들을 제거함으로써 대기소비전력을 줄일 수 있다.

4.2. DC/DC Stage

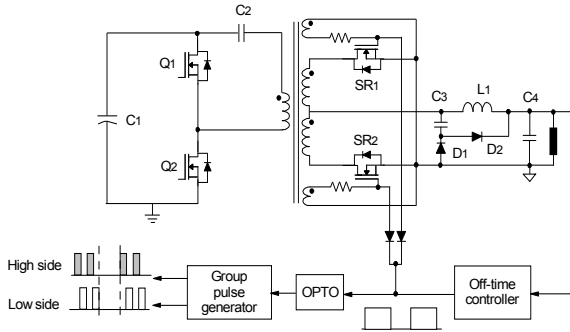


그림 5 DC/DC power stage 회로도
Fig. 5 Circuit of DC/DC power stage

그림 5는 DC/DC stage를 도시하였다. Half-bridge를 기본으로 하고 출력에 SR(Synchronous Rectifier)를 채용하였으며 SR의 내압을 저감시키기 위해 diode 2개와 capacitor 1개로 구성된 DDC snubber를 적용하였다. SR의 구동도 역시 carrier pulse와 동기를 시켰다. 이는 DPMS 동작시 변압기의 magnetizing 전류 및 기생성분에 의한 오동작을 방지하기 SR도 main FET가 동작할 때만 구동되도록 하였다.

5. 실험

실험 사양은 다음과 같다.

- Input voltage : AC 90Vrms~265Vrms
- Output voltage : 18.5V
- Output current : 0~4.6A

85W급의 AC/DC 고전력밀도 adapter로서 main 스위치 Q1과 Q2에 SPD03N50(560V/3.2A)을 사용하였고 SR 스위치에는 IRF7855(60V/9.4mΩ)를 사용하였다. Off-time 제어를 하기 위해서 50%의 고정 duty cycle pulse를 발생시키는 IR2085 IC와 group pulse를 만들기 위해 fixed on-time 제어 IC인 FAN5037을 사용하였고 600V Bootstrap IC인 IR2117을 사용하여 FET를 구동하였다. Prototype의 size는 5cm×4cm×2cm (L×W×H) 이고 36W/in³의 전력밀도가 계산되었다. 구동 주파수는 120Khz이고 트랜스포머와 인덕터는 PQ2016과 toroidal core를 사용하였다. 그림 6은 full load 출력에서 측정 파형을 보여준다. 설계된 adapter는 total size 7.5cm×7.5cm×2.5cm에 입력 필터를 포함하여 모두 실장되었고, 효율은 입력 115Vrms에서 약 90%이다. 그림 7은 load에 따라 측정된 효율을 보여준다. full load에서 PFC stage와 DC/DC stage는 각 95%와 93.5%의 효율이 측정되었다. 무부하시 전력손실 역시 off-time 제어법의 도움으로 약 0.5W를 달성하였다.

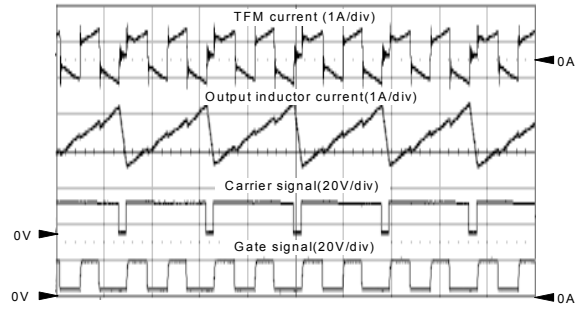


그림 6 실험 파형
Fig. 6 Experimental waveform

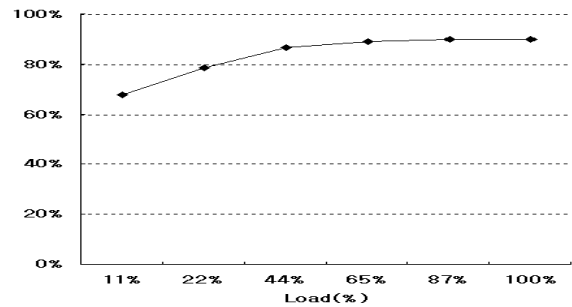


그림 7 115Vrms에서 측정된 효율
Fig. 7 Measured efficiency at 115Vrms

6. 결론

고전력밀도 AC/DC adapter는 BCM제어방식을 적용한 Boost topology와 새롭게 개발된 off-time 제어법을 적용한 Half-bridge topology로 설계하였다. 높은 구동 주파수와 50%고정 duty 구동으로 변압기 size를 줄이고 최적 범위의 반도체 소자의 선택으로 효율을 향상시킬 수 있었다. 85W급으로 설계된 adapter의 실험 결과 약 90% 정도의 효율과 36W/in³의 전력밀도가 측정되었다. 이것은 고전력밀도 adapter로서의 가능성을 보여준다.

이 논문은 삼성전기(주)의 연구비 지원에 의하여 연구되었음

참고 문헌

- [1] R. Ridley, "The Incredible Shrinking Power Supply," *Switching Power Magazine*, pp. 1-6, 2005.
- [2] Y. K. Lo, S. C. Yen, and J. Y., "A High-Efficiency AC-to-DC Adaptor with a Low Standby Power Consumption," *PESC'06*, pp. 1-4, 2006.
- [3] J. H. Choi and Y. S., "The Improved Burst Mode in the Stand-by Operation of Power Supply," *APEC'04*, pp. 426-432, 2004.
- [4] J. M. Zhang, X. G. Xie, and Z. Qian, "A High Efficiency Adaptor with Novel Current Driven Synchronous Rectifier," *INTELEC'03*, pp. 205-210, 2003.