

Double Binary 터보 디코딩을 위한 Improved Max-Log-MAP 알고리즘의 효율적인 설계

권건우¹, 김용태¹, 박정우¹, 백광현², 김석기¹
¹고려대학교 전자전기공학과 ²중앙대학교 전자전기공학부

An Efficient Architecture of an Improved Max-Log-MAP Algorithm for Double Binary Turbo Decoding

Kon-Woo Kwon¹, Yongtae Kim¹, Jeongwoo Park¹, Kwang-Hyun Baek², and Suki Kim¹
¹Department of Electrical Engineering, Korea University, Seoul, Korea
²School of Electrical and Electronics Engineering, Chung-Ang University, Seoul, Korea

Abstract - 이중 이진 (double binary) 터보 디코더는 오류 정정 코드 중 하나로써, 높은 오류 정정 성능으로 인해 IEEE 802.16 표준 (WiMAX)에서 사용되고 있다. Maximum a posteriori probability (MAP) 디코딩 블록은 이중 이진 터보 디코더의 가장 핵심적인 블록으로, 본 논문은 이를 구현하기 위한 알고리즘 중 하나인 improved Max-Log-MAP 알고리즘에 대한 효율적인 하드웨어 구조를 제안한다. 제안하는 하드웨어 구조는 기존의 하드웨어 구조와 비교하였을 때, 오류 정정 성능은 동일한 반면, 구현 복잡도는 감소한다. 0.13um 공정에서 입력 비트폭을 8비트로 가정하고 시물레이션 한 결과, 속도와 칩 면적, 그리고 소비전력 측면에서 각각 8.92%, 18.45%, 그리고 29.93%의 향상을 보인다. 제안하는 구조를 WiMAX 설계에 적용하여 성능 개선을 이끌어낼 수 있다.

1. 서 론

터보 코드는 Shannon의 이론적 한계치에 근접하는 성능 [1] 으로 인해 IEEE 802.16 표준 (WiMAX)와 같은 무선 통신 분야에서 많이 사용되고 있는 오류 정정 코드이다. 더 나아가, 이중 이진 터보 코드는 더 나은 성능으로 인해 무선 통신 분야에서 활발한 연구가 진행되고 있다 [2]. 그림 1은 이중 이진 터보 디코더의 블록도를 나타낸다.

하지만, MAP 디코딩 과정에서의 연산 복잡도가 상대적으로 크고, 처리 시간이 길다는 점은 터보 코드의 단점으로 오류 정정 코드를 필요로 하는 많은 응용 제품의 진입 장벽이 되고 있다. 더욱이, 이중 이진 터보 코드의 연산 복잡도 및 처리 시간은 고유의 터보 코드보다도 더욱 증가한다. 따라서, 실제 VLSI 구현을 위해서는 Max-Log-MAP, SOVA, Log-MAP [3], 혹은 improved Max-Log-MAP [4] 과 같은 원래의 MAP 알고리즘보다 단순화된 형태의 알고리즘들이 사용되고 있다.

본 논문에서는 improved Max-Log-MAP 알고리즘을 보다 효율적으로 설계할 수 있는 하드웨어 구조를 제안한다. 이 구조는 기존의 하드웨어 제안 구조 [4] 와 비교하였을 때, 성능 저하 없이 동작 속도를 증가시키고, 칩 면적 및 소비전력을 감소시킨다. 따라서 제안된 구조는 WiMAX용 이중 이진 코드의 설계에 응용되어 성능 개선을 이끌 수 있다.

2. 본 론

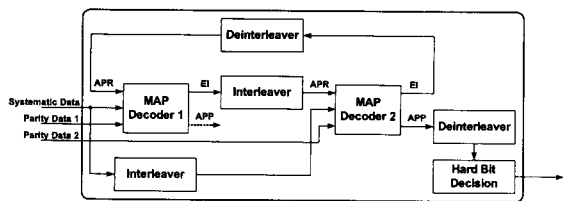
2.1 MAP 알고리즘 및 단순화된 알고리즘

Maximum a posteriori (MAP) 알고리즘을 사용하여 터보 디코더를 설계할 경우, 최적의 오류 정정 성능을 얻을 수 있으나, 구현 복잡도가 너무 크다. 이러한 이유로 비트 에러율 (BER) 성능 감소를 감수하고, 구현 복잡도를 단순화한 알고리즘들이 실질적으로 사용된다고 앞서 언급하였다. 구현 복잡도를 낮추기 위해서 대부분의 알고리즘들은 forward state metric, backward state metric, 그리고 branch state metric을 다음 수식과 같이 로그 영역에서 계산한다:

$$A_k(s) = \ln P(s, y_1, \dots, y_{k-1}) = \ln \sum_{all s'} e^{A_{k-1}(s') + \Gamma_k(s', s)} \quad (1)$$

$$B_{k-1}(s') = \ln P(y_k, \dots, y_N | s') = \ln \sum_{all s} e^{B_k(s) + \Gamma_k(s', s)} \quad (2)$$

$$\Gamma_k(s', s) = \ln \gamma_k(s', s) = \ln P(s, y_k | s'). \quad (3)$$



〈그림 1〉 이중 이진 터보 디코더 구조

또한, (1)과 (2)의 계산을 보다 간단히 하기 위해서 다음과 같이 표현되는 Jacobian logarithm 정리를 이용한다 :

$$\begin{aligned} \ln(e^{\delta_1} + e^{\delta_2}) &= \max(\delta_1, \delta_2) + \ln(1 + e^{-|\delta_2 - \delta_1|}) \\ &= \max(\delta_1, \delta_2) + f_c(|\delta_1 - \delta_2|). \end{aligned} \quad (4)$$

Max-Log-MAP 알고리즘은 (4)의 우변의 두 번째 항, 즉, $f_c(\cdot)$ 를 생략하고 max 연산의 결과만을 반영한다. 이 알고리즘은 VLSI 구현에 적합하지만, 오류 정정 성능은 낮아진다.

Robertson이 제안한 Log-MAP 알고리즘 [3]은 (4)의 우변의 두 번째 항, 즉, $f_c(\cdot)$ 의 복잡한 계산을 피하기 위해서 look-up 테이블을 이용하여 미리 계산된 값을 저장한다. 메모리에 미리 저장한 값을 통해서 $f_c(\cdot)$ 를 추정한다는 점에서 오류 정정 성능은 Max-Log-MAP 알고리즘을 이용했을 때보다 좋아지지만, 다음과 같은 이유로 VLSI 설계에 어려움이 있다. 첫째로, 터보 디코더의 성능 및 하드웨어 복잡도가 look-up 테이블의 크기에 의존하게 된다. 더욱이, 디코딩 과정에서 메모리로부터 필요한 값을 찾고 읽어내는 데 걸리는 시간이 디코딩 처리 시간의 증가로 이어질 수 있다.

Improved Max-Log-MAP 알고리즘 [4]은 $f_c(\cdot)$ 를 효과적으로 추정하기 위해서 Maclaurin 급수를 이용한다. Maclaurin 급수를 이용하여 1차항까지 전개할 경우 다음과 같이 $f_c(\cdot)$ 의 근사값을 표현할 수 있다:

$$f_c(x) = \ln(1 + e^{-x}) \approx \ln 2 - (1/2)x. \quad (5)$$

이 알고리즘은 Log-MAP 알고리즘과 비슷한 성능을 내면서, 동시에 구현 복잡도를 낮출 수 있다는 면에서 VLSI 설계에 적합하다고 볼 수 있다.

본 논문은, improved Max-Log-MAP 알고리즘을 보다 효율적으로 설계할 수 있는 구조를 제안한다. 제안된 구조는 성능을 유지하는 반면, 기존의 하드웨어 구조 [4]보다 하드웨어 복잡도를 낮춘다.

2.2 제안 구조

Improved Max-Log-MAP 알고리즘은 앞서 설명한 바와 같이 Maclaurin 급수의 상수항과 1차항을 이용하여 다음과 같이 forward state metric과 backward state metric을 계산한다:

$$A_k(s) = \widehat{\max}(A_{k-1}(s') + \Gamma_k(s', s)), \quad (6)$$

$$B_{k-1}(s') = \widehat{\max}(B_k(s) + \Gamma_k(s', s)), \quad (7)$$

$$\widehat{\max}(\delta_1, \delta_2) \approx \max(\delta_1, \delta_2) + \max(0, \ln 2 - |\delta_1 - \delta_2|/2). \quad (8)$$

식 (8)을 분석하게 되면, $|\delta_1 - \delta_2|$ 값이 $2\ln 2$ 보다 작을 경우에는 $\widehat{\max}$ 값이 max 연산과는 상관없이 다음과 같이 결정되는 것을 알 수 있다:

$$\widehat{\max}(\delta_1, \delta_2) \approx (\delta_1 + \delta_2 + 2\ln 2)/2 \quad \text{if } |\delta_1 - \delta_2| < 2\ln 2. \quad (9)$$

반면에, 그 외의 범위에서는 Max-Log-MAP 알고리즘과 동일해지는 것 을 (8)의 분석으로부터 알 수 있다. 이러한 두 가지 분석을 바탕으로 (8)을 다음과 같이 표현할 수 있다:

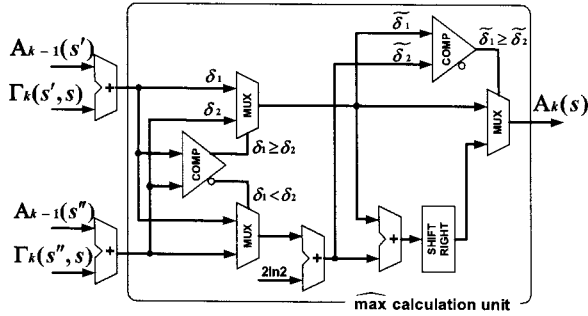
$$\widehat{\max}(\delta_1, \delta_2) \approx \begin{cases} \tilde{\delta}_1 & \text{if } \tilde{\delta}_1 > \tilde{\delta}_2 \\ (\tilde{\delta}_1 + \tilde{\delta}_2)/2 & \text{otherwise} \end{cases}$$

$$\text{where } \tilde{\delta}_1 = \max(\delta_1, \delta_2), \tilde{\delta}_2 = \min(\delta_1, \delta_2) + 2\ln 2. \quad (10)$$

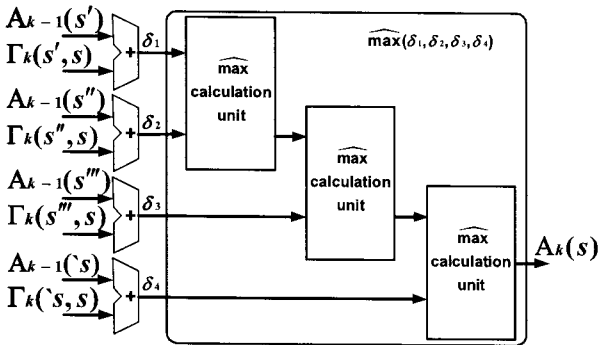
같은 의미의 수식이기 때문에 오류 정정 능력은 동일하지만, (10)에 기반

한 VLSI 설계는 (8)에 포함된 뺄셈 연산 혹은 절대값 연산을 덧셈 연산으로 바꾸고 critical path를 줄이기 때문에 동작 속도 및 칩 면적 측면에서 더 효율적이다. 식 (10)에 기반하여 forward state metric을 구하는 하드웨어 구조를 나타내면 그림 2와 같다.

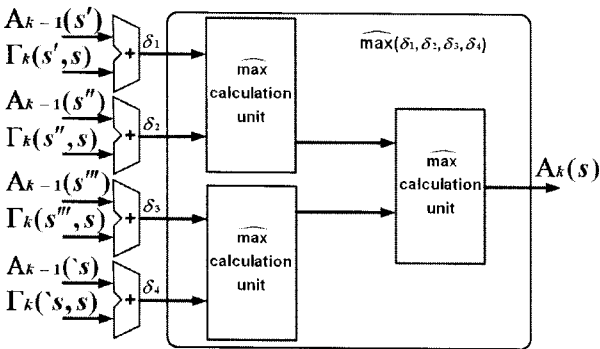
그림 2의 구조는 고유한 터보 디코더를 위한 구조이지만, 이 구조를 그림 3과 같이 직렬로 연결하거나, 혹은 그림 4와 같이 병렬로 연결함으로써 이중 이진 터보 디코더를 구현할 수 있다.



〈그림 2〉 제안한 forward state metric 계산 구조



〈그림 3〉 이중 이진 터보 디코더용 forward state metric 계산 구조1



〈그림 4〉 이중 이진 터보 디코더용 forward state metric 계산 구조2

2.3 구현 결과

제안하는 구조를 이용하여 이중 이진 터보 디코더용 forward state metric 계산기 블록을 0.13um CMOS 공정을 이용하여 구현하였다. 또한, 하드웨어 복잡도 비교를 위해서 기존의 구조 [4]를 바탕으로 한 forward state metric 계산기 블록을 같은 공정에서 구현하였다. 입력 비트폭은 8비트로 가정하였다. 표 1은 성능 비교 결과를 나타낸다. 제안한 구조는 기존 구조와 비교하였을 때 동작 속도, 칩 면적, 그리고 소비전력 측면에서 각각 8.92%, 18.45%, 그리고 29.93%의 개선을 보인다.

〈표 1〉 성능 비교

	기존 구조	제안 구조
공정	0.13um CMOS	
동작 속도	204.0 MHz	222.2 MHz
게이트 수	2460	2006
소비전력	1.47mW @ 200MHz	1.03mW @ 200MHz

3. 결 론

본 논문은 improved Max-Log-MAP 알고리즘을 효율적으로 설계할 수 있는 구조를 제안하였다. 제안된 구조는 기존의 구조와 비교하였을 때 오류 정정 성능은 동일한 반면, 디코딩 처리 시간을 단축하고 하드웨어 복잡도는 줄어든다. 따라서 제안하는 구조를 이용하여 WiMAX 모뎀과 같은 터보 디코더를 필요로 하는 응용 제품을 효과적으로 설계할 수 있다.

[참고 문헌]

- [1] C. Berrou, A. Glavieux, and P. Thitimajshima, "Near Shannon limit error-correcting coding and decoding: Turbo-codes (1)", Proc. IEEE International Conference on Communications, vol. 12, pp. 1064-1070, May 1993.
- [2] C. Berrou, M. Jezequel, C. Douillard, and S. Kerouedan, "The advantages of non-binary Turbo codes", Proc. IEEE Information Theory Workshop, pp. 61-63, Sept. 2001.
- [3] P. Robertson, P. Hoeher, and E. Villebrum, "Optimal and sub-optimal maximum a posteriori algorithms suitable for turbo decoding", Eur. Trans. Telecommunication, vol. 8, no. 2, pp. 119-125, 1997.
- [4] S. Talakoub, L. Sabeti, B. Shahrava, and M. Ahmadi, "An Improved Max-Log-MAP Algorithm for Turbo Decoding and Turbo Equalization", IEEE Trans. on Instrumentation and Measurement, vol. 56, pp. 1058-1063, June 2007.