

CMOS공정으로 집적화된 저항형 지문센서

정승민*

*한신대학교

CMOS Integrated Fingerprint Sensor Based on a Ridge Resistivity

Seung-Min Jung*

*Hanshin University

E-mail : jasmin@hs.ac.kr

요 약

본 논문에서는 개선된 회로를 적용한 256x256 픽셀 저항형 지문센서를 제안하고 있다. 단위 픽셀 수준의 센싱 회로는 가변적인 전류를 전압으로 변환하여 이진 디지털 신호로 만든다. 정전기에 효과적으로 대처할 수 있는 인접 픽셀 간 전기적 차폐 레이아웃 구조를 제안하고 있다. 전체회로는 단위 센서 회로를 확장하여 ASIC 설계방식을 통하여 설계한 뒤 로직 및 회로에 대하여 모의실험을 하였다. 전체회로는 0.35 μ m 표준 CMOS 공정규칙을 적용하여 센서블록은 전주문 방식을 적용하고 전체 칩은 자동배선 툴을 이용하여 반주문 방식으로 레이아웃을 실시하였다.

ABSTRACT

In this paper, we propose 256x256 pixel array fingerprint sensor with an advanced circuits for detecting. The pixel level simple detection circuit converts from a small and variable sensing current to binary voltage out effectively. We minimizes an electrostatic discharge(ESD) influence by applying an effective isolation structure. The sensor circuit blocks were designed and simulated in standard CMOS 0.35 μ m process. Full custom layout is performed in the unit sensor pixel and auto placement and routing is performed in the full chip.

키워드

Ridge Resistivity, Fingerprint Sensor, VLSI circuit, ASIC, pixel, ESD

1. 서 론

지문인식시스템에서 입력은 지문화상을 획득하는 센싱에 관한 부분으로 지문식별에 있어서 가장 중요한 기술이다. 입력방법에는 광학을 이용한 센싱 방법과 비광학을 이용한 센싱방법으로 크게 나누어 질 수 있는데 현재는 광학을 이용한 센싱 장치보다는 반도체 기판위에 설치된 커패시터의 전하량의 변화 또는 열상, 저항의 변화에 따른 지문 센싱 방법에 대한 기술연구가 활발히 진행되어지고 있다. 비광학 방식의 대표적 구현형태인 반도체 센서레이 방식에서는 최근 지문의 골과 마루의 용량의 차이를 감지하

는 capacitive 방식의 지문센서가 연구결과와 주를 이루고 있다[2][3]. 하지만 먼저 개념이 성립된 저항형 방식은 용량형 방식에 비하여 회로구현이 간단하고 이미지 행사도가 높으며 추가공정 없이 표준CMOS공정으로 구현이 가능하다. 다만 이미지 획득에서 어려움이 있고 센서의 패턴을 형성하는데 다소 어려움이 있어 그동안 연구가 지연되고 있었다.

본 논문에서는 저항형 지문센서가 다른 반도체 방식의 지문센서에 비하여 이론적으로 오래 전에 정립이 되었으나 장점에도 불구하고 기술적인 구현이 미약한 점에 착안하여 방식에 있어 단점을 극복하기 위한 연구를 진행하고자 한다.

II. 저항형지문센서의 원리

저항형 방식의 지문센서는 그림 1에서와 같이 피부 특히 지문의 골과 마루의 접촉여부를 이용하여 피부의 저항성(ridge conductivity or resistivity) 차이를 이용하여 이를 전압 혹은 전류로 변환시켜 이미지를 추출하는 방식이다. 실험을 통하여 인간의 피부에 대한 비저항은 습한 경우 100키로옴 내외 이며 건조한 피부의 경우 8메가 옴 정도로 알려져 있다. 지문의 골(valley)의 경우 센서 메탈과의 연결관계가 없으므로 개회로(open circuit)이 된다[4][5].

기존의 저항형 방식은 미약한 신호를 처리하기 위하여 복잡한 회로를 구현해 주어야 한다. 최근 발표된 저항형 지문센서 연구에서는 AGC(automatic gain controller), Current source controller, ADC 등 회로를 이용하여 구현하였으나 이를 각 픽셀별로 집적화 하여 신호처리의 감도를 높이고 노이즈영향을 줄일 수 있도록 센서픽셀 수준의 회로구현은 불가능 하였다[1].

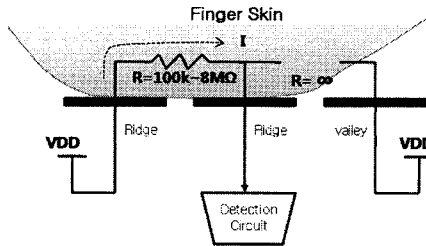


그림 1. 저항형 지문센서의 원리
Fig 1. Principle of resistive fingerprint sensor

III. 센서신호 검출회로설계

그림 2는 제안된 지문센서 아키텍처를 나타낸다. 단위 픽셀은 2개의 센서 메탈로 나뉘어져 있고 상부의 스위치와 하부의 스위치가 동시에 닫히면 검출회로에 전류가 흐른다. 두 개의 슈프트 레지스터를 적용하여 상단에 있는 스위치는 첫 번째 슈프트 레지스터의 출력, 하단에 있는 스위치는 두 번째 슈프트 레지스터의 출력을 적용한다. 이때 저항 R은 지문 피부의 저항 값을 나타낸다. 그림 3은 구현된 단위 센서픽셀의 레이아웃 상 하부에 구현 되어있는 검출회로로서 센싱된 미약한 전류를 받아 출력 디지털 신호를 만들어 준다.

본 논문에서는 기존의 방식과 달리 단위 픽셀별로 검출회로를 하부에 배치하여 센싱과 동시에 처리함으로써 레이아웃상의 길게 연결된 버스타인 전송에 따른 시간지연과 신호왜곡을 최소화 하도록 설계하였다.

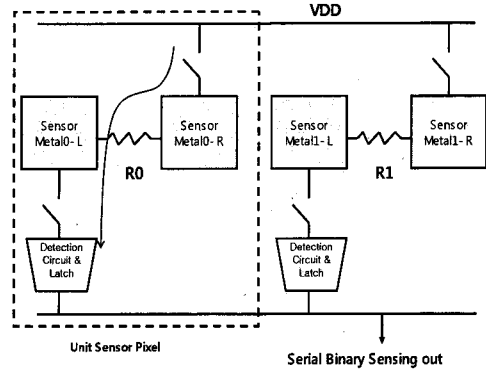


그림 2. 제안된 저항형 지문센서의 아키텍처
Fig 2. Proposed sensor architecture

이 경우 단위 픽셀의 레이아웃 면적을 최소화 하기 위한 회로 설계가 이루어 져야한다. 센서 메탈은 PAD 레이어 마스크를 이용하여 표준 CMOS 반도체 공정을 적용하여 구현할 수 있다. 최적화를 통하여 42μm pitch에 pixel 크기는 40μm x 40μm 로서 604 dpi의 고해상도 지문을 얻을 수 있도록 하고자하였다.

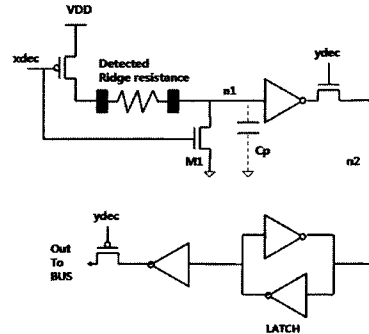


그림 3. 구현된 센서 단위 픽셀 신호처리회로도
Fig 3. Proposed pixel level detection circuit

그림 4는 그림 3에 설계된 단위 신호처리회로의 타이밍 다이어그램을 나타낸다. 검출마루저항(detected ridge resistance)은 지문의 피부저항 값을 나타낸다. 첫 번째 슈프트레지스터의 출력은 xdec에 전달된다. xdec이 논리 "H" 에서 노드 n1은 트랜지스터 M1에 의하여 접지로 방전된다. xdec이 "L"에서는 전원(VDD)에서 지문의 피부 저항을 통하여 전류가 흐르게 되고 이 전류는 기생 용량(capacitance) 인 Cp에 충전되어 서서히 전원 전압가까이 충전된다. 이때 노드 n1의 센싱 인버터는 NMOS와 PMOS의 크기를 조절하여 낮은 논리문턱전압(logic threshold)을 갖게 하여 건조한 지문에 대해서도 빠른 디지털 출력을 얻을 수 있도록 한다. 노드 n1의 센싱 인버터가 동작하는 시간 Ts 는 습한 골 지문에서는 작게, 건조한 ridge 에서는 크게 나타날 것

이다. 인버터출력 신호가 안정화 되면 ydec 신호가 노드 n2의 출력신호를 래치에 저장하게 된다. 신호는 3-state 버퍼를 통해 각 픽셀과 연결된 버스를 통하여 이미지 신호로 전달된다. 한편 제안된 회로에서는 xdec과 ydec간의 시간차인 Td 시간을 외부 마이크로프로세서가 조절함으로써 이미지 질에 따른 탄력적 회로의 동작을 가능하게 할 수 있다. 0.35 μ m CMOS 공정파라미터를 이용하여 HSPICE 시뮬레이션을 실시한 결과 그림 5과 같이 습한 마루에 100 키로 옴 및 건조한 마루의 경우 8매가 옴을 적용한 결과 Ts는 최대 155ns로 나타난다. 지문센서의 상용화된 표면적크기를 감안하여 픽셀 어레이 크기로 256 x 256 센서를 개발할 경우 스캐닝 시간은 10ms 이내로서 1000ms 내외의 전체 알고리즘처리 시간에 비하여 그 영향이 미약함을 알 수 있어 효과적인 검출회로로서 적용이 가능함을 알 수 있다.

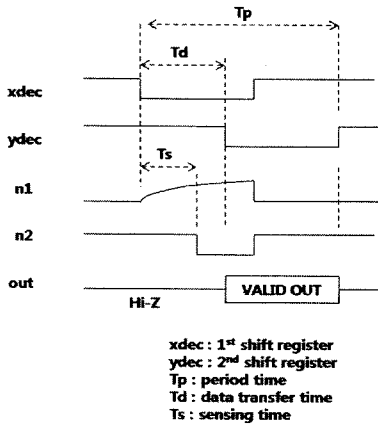


그림 4. 센서 신호처리회로도 타이밍도
 Fig 4. Timing diagram of the detection circuit

그림 6은 0.35 μ m 표준 CMOS 동설 규칙에 따라 구현된 센서 및 검출신호의 레이아웃이다. 40 μ m x 40 μ m 크기로 상부의 4층 금속이 센서로 동작하며 20 μ m x 40 μ m 두 개로 분할되어있다. 그림 7은 수직구조로서 센서금속의 하부에 회로가 구현되어 있으며 상부와 하부를 3층 금속이 양 측면의 접지우물(ground wall)과 연결되어 인접픽셀 및 센서와 회로부가 완전히 차폐된 형태로 구현되었다. 따라서 센서픽셀간의 신호 간섭을 방지하고 정전기(ESD)에 의한 칩고장을 최소화 하도록 설계되었다. 회로의 배선은 폴리층 및 1층, 2층 금속선을 적용하였다.

IV. 전체회로의 설계

설계된 단위 셀을 이용하여 그림 8에 나타난 바같이 256x256 어레이 저항형 지문센서 칩을 설계하였다.

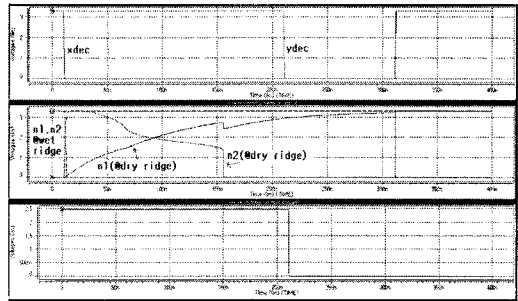


그림 5. 제안된 신호처리회로의 HSPICE 시뮬레이션 결과(0.35 μ m 3.3V typical process / ridge wet and dry 조건)

Fig 5. Simulation result of the detection circuit

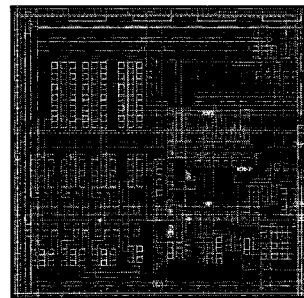


그림 6. 단위 센서 픽셀 레이아웃(40 μ m x 40 μ m)

Fig 6. Unit sensor layout (0.35 μ m CMOS process)

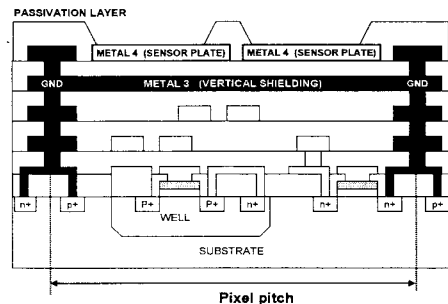


그림 7. 단위 센서 픽셀 수직구조
 Fig 7. Unit sensor vertical structure

xdec 및 ydec 신호를 위한 256 비트 쉬프트 레지스터와 클럭을 제어하기 위한 제어블럭을 적용하였다. 센서 영역은 full custom 방식으로 레이아웃을 실시하였으며 전체칩은 Verilog-HDL을 이용하여 기술한 뒤 로직 시뮬레이션으로 동작을 검증하였다. Synopsys DC를 이용하여 로직합성을 한 뒤 전체 칩 레이아웃은 자동배치 및 배선 툴인 Synopsys Astro를 이용하여 구현하였다. 그림 9에서와 같이 전체 칩 크기는

13,021 μm x 13,012 μm 였으며 약 185만개의 트랜지스터가 집적되었다. 전체 픽셀의 스캔지연시간은 3.3V 표준공정에서 10ms로 나타났다. 전체 칩의 개발 규격은 표 1과 같다.

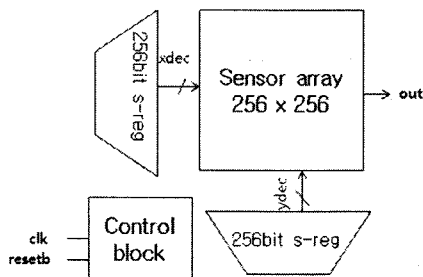


그림 8. 전체 칩 블록 다이어그램
Fig 8. Full chip block diagram

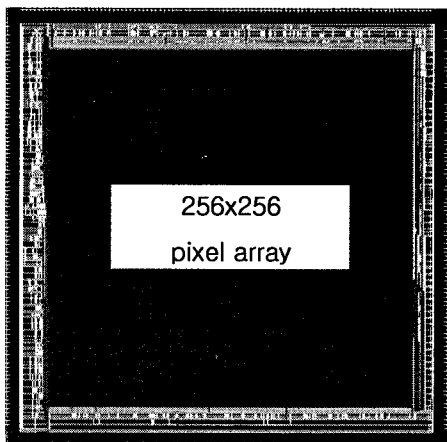


그림 9. 256 x 256 어레이 전체 칩 레이아웃
Fig 9. 256 x 256 pixel array full chip layout

표 1. 칩 규격
Fig 1. chip specification

Process	0.35 μm std CMOS process
Pixel pitch	42 μm
Image resolution	604 dpi
Pxel area	40 μm x 40 μm
Array size	256x256
Sensor area	10,752 μm x 10,752 μm
Sensor metal	twin-metal plate per unit
Power	3.3V
Scanning time	less than 10msec
Chip size	13,021 μm x 13,012 μm
# of TRs	1,850,000

V. 결 론

본 논문에서는 개선된 회로를 적용한 256x256 픽셀 어레이 저항형 지문센서를 회로 및 레이아웃 수준에서 설계하였다. 기존의 회로와 달리 픽셀별 검출신호를 센서금속판 하부에 배치함으로써 신호의 처리를 픽셀수준에서 완료하게 하였다. 단위 픽셀 수준의 센싱 회로는 가변적인 전류를 전압으로 변환하여 이진 디지털 신호로 만든다. 단위픽셀의 수직구조에서는 정전기에 효과적으로 대처할 수 있는 인접 픽셀 간 전기적 차폐 레이아웃 구조를 제안하였다. 전체 회로는 단위 센서 회로를 확장하여 ASIC 설계방식을 통하여 설계한 뒤 로직 및 회로에 대하여 모의실험을 하였다. 전체회로는 0.35 μm 표준 CMOS 공정규칙을 적용하여 센서블록은 전주문 방식을 적용하고 전체 칩은 자동배선 툴을 이용하여 반주문 방식으로 레이아웃을 실시하였다. 전체 칩 크기는 13,021 μm x 13,012 μm 였으며 약 185만개의 트랜지스터가 집적되었다. 전체 픽셀의 스캔지연시간은 3.3V 표준공정에서 10ms로 나타났다. 설계결과를 바탕으로 칩 제작 예정이며 향후 칩 테스트를 통한 성능분석과 함께 노출된 센서 금속의 피부와의 접촉에 따른 경도강화와 같은 후속 연구가 진행될 예정이다.

참고문헌

- [1] Y. Audet, L. Aubray, D. Blouin, "A CMOS Fingerprint Sensor Based on Skin Resistivity," Circuits and Systems, 2006 IEEE North-East Workshop on Volume, Issue , pp269 - 272, June 2006.
- [2] S.-M. Jung, J.-M. Nam, D.-H. Yang, and M.-K Lee "A CMOS Integrated Capacitive Fingerprint Sensor With 32-bit RISC Microcontroller," IEEE Journal of Solid-State Circuits, vol. 40, no. 8, pp. 1745 - 1750, Aug. 2005.
- [3] R. Hashido, A. Suzuki, A. Iwata, T. Okamoto, Y. Satoh, A. Inoue, "A capacitive fingerprint sensor chip using low-temperature poly-Si TFTs on a glass substrate and a novel and unique sensing method", IEEE J. of Solid-state circuits, vol. 38, No. 2, pp274 - 280, Feb. 2003
- [4] O. Vermesan, K. H. Riisnaes, L. Le Pailleur, J. B. Nysaether, M. Bauge, H. Rustad, S. Clausen, L.-C. Blystad, H. Grindvoll, R. Pederson, R. Pezzani, and D. Kaire, "A 500-dpi AC Capacitive Hybrid Flip-Chip CMOS ASIC/Sensor Module for Fingerprint, Navigation, and Pointer Detection With On-Chip Data Processing", IEEE Journal of Solid-State Circuits, vol. 38, no. 12, pp. 2288-2296, Dec. 2003.
- [5] Olavarrieta Fritsche, G., Nakano Miyatake, M., "A simple fingerprint sensor based on ridge conductivity," Design of Mixed-Mode Integrated Circuits and Applications, 1999. Third International Workshop on, Volume , Issue , 1999, pp207 - 209, 1999.