

3차원 포아송방정식을 이용한 FinFET의 해석학적 포텐셜모델

한지형, 정학기, 정동수, 이종인, 권오신
군산대학교 전자정보공학부

Jihyung Han-Hakkee Jung-Dongsoo Jeong-Jongin Lee-Ohshin Kwon
School of Electronic and Information Eng., Kunsan National University

요 약

본 연구에서는 문턱전압이하 전류 및 단채널효과를 해석하기 위하여 필수적인 포텐셜분포를 구하기 위하여 3차원 포아송방정식을 이용하고자 한다. 특히 계산시간을 단축시키고 파라미터의 관련성을 이해하기 쉽도록 해석학적 모델을 제시하고자 한다. 이 모델의 정확성을 증명하기 위하여 3차원 수치해석학적 모델과 비교되었으며 소자의 크기파라미터 및 공정파라미터에 따른 변화에 대하여 설명하였다. 특히 채널 도핑여부에 따라 FinFET의 채널 포텐셜을 구하여 향후 문턱전압이하 전류 해석 및 문턱전압 계산에 이용할 수 있도록 모델을 개발하였다.

Abstract

Three dimensional(3D) Poisson's equation is used to calculate the potential variation in the channel to analyze subthreshold current and short channel effect(SCE). The analytical model has been presented to lessen calculating time and understand the relationship of parameters. The accuracy of this model has been verified by the data from 3D numerical device simulator and variation for dimension and process parameters has been explained. The model has been developed to obtain channel potential of FinFET according to channel doping and to calculate subthreshold current and threshold voltage.

I. 서 론

차세대 고성능, 초미세 소자로 주목받고 있는 FinFET는 우수한 스케일효과에 의하여 20nm이하 차세대 주력 FET소자 제작의 가능성에 대한 연구가 활발히 진행 중에 있다 [1][2]. 벌크형 MOSFET에서 다중게이트 MOSFET로 발전하면서 단위 실리콘면적당 구동전류량은 크게 증가하며 단채널효과 또한 크게 해소시킬 수 있다. 이러한 목적으로 3중게이트 FinFET가 20nm설계규칙을 이용하여 개발되었다[3]. FinFET의 경우 공정상 소스-드레인간 채널이 절연막 위에 좁게 형성되며 게이트는 그 위에 덮여지기 때문에 누설전류를 차단할 수 있다는 장점이 있다. 그러므로 게이트를 이용한 채널전류의 제어가 기존의 MOSFET보다 원활히 이루어진다. FinFET는 3

중게이트 구조로써 모든 게이트의 일함수가 동일하여 동일한 포텐셜상에서 제어할 수 있다. 이러한 3중게이트구조는 3차원 해석을 요구한다. 2차원적 해석이 이용될 수 있는데 이는 탑게이트에 수평으로 도핑농도 등을 해석할 때 이용하고 있다[4]. 아직 도핑된 채널에서의 3차원적 해석을 시도한 적은 없다. 도핑하지 않은 채널의 경우 캐리어 이동도가 증가하는 장점이 있지만 채널이 도핑된다면 문턱전압을 보다 용이하게 제어할 수 있으며 단채널효과도 감소시킬 수 있다. 본 연구에서는 최근 개발된 SOI MOSFET의 포텐셜모델을 개선하여 도핑여부에 따라 채널내 포텐셜을 구하고자 한다. 이 연구에서 구한 포텐셜은 문턱전압 및 문턱전압이하 스윙 등을 연구하는 기본이 될 것이다. 2장에서 이론적 배경을 서술할 것이며 3장에서는 결과를 고찰하고 4장에서 결론을 맺을 것이다.

II. FinFET

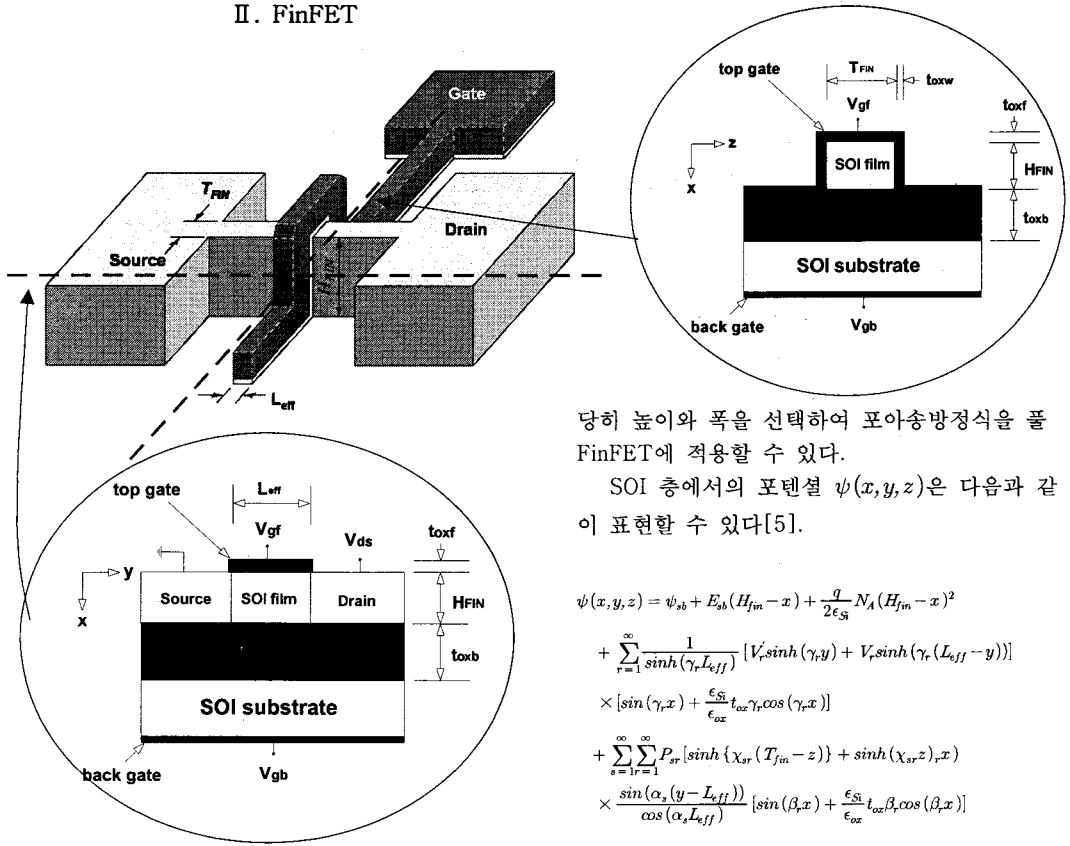


그림 1. FinFET 구조
Fig. 1 Structure of FinFET

그림 1에 본 연구에서 사용한 FinFET구조를 도시하였다. FinFET는 레이어아웃에 있어서 메사형 고립 SOI MOSFET과 동일하다. 두 소자에 있어서 삼면으로 실리콘몸체를 둘러싸고 있다. 그러므로 두 소자에 대하여 동일한 경계조건을 이용하여 포아송방정식을 풀 수 있다. 차이점은 단지 형태이다. FinFET의 경우 실리콘 몸체가 지느러미(fin) 형태이다. 즉, 실리콘 층의 높이가 폭보다 매우 커서 양면에 채널을 제어하는 두개의 게이트를 형성할 수 있다. 반면에 메사형 고립 SOI MOSFET는 상단의 게이트만이 채널의 전류를 제어하고 있다. 채널영역에서 적

당히 높이와 폭을 선택하여 포아송방정식을 풀 FinFET에 적용할 수 있다.

SOI 층에서의 포텐셜 $\psi(x, y, z)$ 은 다음과 같이 표현할 수 있다[5].

$$\begin{aligned} \psi(x, y, z) = & \psi_{sb} + E_{sb}(H_{fin} - x) + \frac{q}{2\epsilon_{Si}} N_A (H_{fin} - x)^2 \\ & + \sum_{r=1}^{\infty} \frac{1}{\sinh(\gamma_r L_{eff})} [V_r \sinh(\gamma_r y) + V_r \sinh(\gamma_r (L_{eff} - y))] \\ & \times [\sin(\gamma_r x) + \frac{\epsilon_{Si}}{\epsilon_{ox}} t_{ox} \gamma_r \cos(\gamma_r x)] \\ & + \sum_{s=1}^{\infty} \sum_{r=1}^{\infty} P_{sr} [\sinh(\chi_{sr} (T_{fin} - z)) + \sinh(\chi_{sr} z), x] \\ & \times \frac{\sin(\alpha_s (y - L_{eff}))}{\cos(\alpha_s L_{eff})} [\sin(\beta_s x) + \frac{\epsilon_{Si}}{\epsilon_{ox}} t_{ox} \beta_s \cos(\beta_s x)] \end{aligned}$$

(1)

N_A 는 채널도핑농도, t_{oxf} 는 앞쪽 게이트의 산화막두께, L_{eff} 는 유효채널길이, T_{fin} 와 H_{fin} 는 SOI층에서의 두께 및 높이(앞 논문에서 W 와 t_{Si} 에 해당), ϵ_{Si} 와 ϵ_{ox} 는 실리콘과 이산화실리콘의 유전율이다. 식(1)에서 표현한 모든 변수들은 전면부와 후면부 게이트바이어스(V_{GF} 와 V_{GB}) 그리고 드레인전압(V_{DS})과 함께 크기 및 물질 변수들이다. 여기서 첫 번째 시그마계산에서는 10번째($r=1$ 에서 $r=10$)까지만 합산하였으며 두 번째 시그마계산에서는 첫째항($r=1, s=1$)만을 사용하였다. 나머지항들은 결과에 큰 영향을 미치지 않았다. 식(1)은 SOI 층에 대하여 개발된 것이지만 N_A 를 n_i 로 대체하면 비도핑 채널을 가진 FinFET에서 사용할 수 있다. 그 외 변수에 대해선 참고문헌[2]을 이용하여 계산하였다.

III. 결과고찰

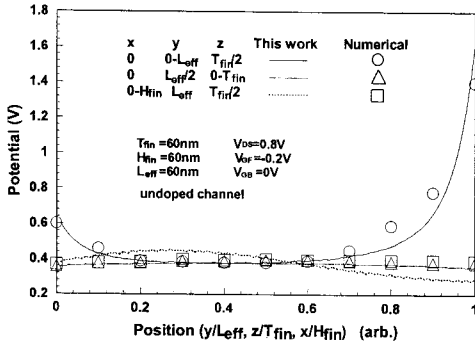


그림 2. 채널이 도핑되지 않았을 때 포텐셜분포
Fig. 2 Potential distribution for undoped channel

그림 2는 채널이 도핑되지 않은 상태에서 상단표면($x=0, z=T_{fin}/2$)에서 채널길이방향($y=0$ 에서 $y=L_{eff}$), 상단표면($x=0, y=L_{eff}/2$)에서 채널폭방향($z=0$ 에서 $z=T_{fin}$) 그리고 게이트상단 중심($y=L_{eff}/2, z=T_{fin}/2$)에서 게이트 높이방향($x=0$ 에서 $x=H_{fin}$)으로, FinFET에 대하여 구한 포텐셜분포 결과이다. 결과가 3D DAVINCI프로그램의 결과[7]와 비교되어 있다. 결과가 잘 일치하는 것으로 미루어 식(1)은 도핑되지 않은 FinFET에 대하여 사용할 수 있을 것이다. 예상할 수 있듯이 채널폭방향의 분포는 $z=T_{fin}/2$ 에서 대칭적임을 알 수 있다. x 와 z 방향은 $L_{eff}/2$ 에서 거의 변화하지 않는다는 것을 알 수 있었다. 즉 소스-드레인의 중간점에서 대칭을 이루고 있다는 것을 알 수 있으며 이는 사이드 게이트가 정확히 대칭적으로 동작함을 알 수 있다. 소스와 드레인간에는 약 0.8V의 전위차가 있으므로 결과에서도 알 수 있듯이 $y=0$ 점과 $y=L_{eff}$ 에서 이에 상응하는 전위차가 발생함을 알 수 있다. 이 전위차에 의하여 캐리어가 소스에서 드레인으로 이동할 것이다.

그림 3에 채널이 $N_A=1.5 \times 10^{16}/cm^3$ 으로 도핑된 FinFET의 포텐셜분포를 도시하였다. 3D 수치해석학적 해[6]와 잘 일치하는 것을 알 수 있다. 그러므로 채널의 도핑여부와 관계없이 식

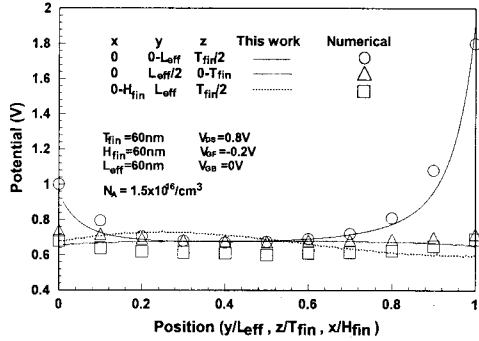
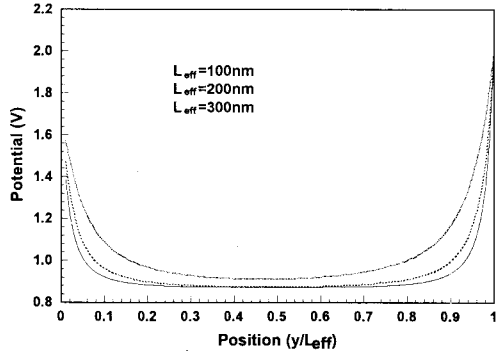


그림 3. 채널이 도핑되었을 때 포텐셜분포
Fig. 3 Potential distribution for doped channel

(1)은 잘 적용되고 있다는 것을 알 수 있다. 그림 2와 비교하면 최소 포텐셜이 증가함을 알 수 있다. 이는 자유전자의 양을 증가시켜 결국 드레인 전류를 증가시키게 될 것이다. 그러나 채널도핑이 증가하면 문턱전압 이동(threshold voltage roll-off)이 증가하여 단채널효과가 커



지기 때문에 또 다른 문제를 야기시킬 것이다.

그림 4. 채널길이에 따른 표면 포텐셜분포
Fig. 4 Surface potential distribution for channel length

그림 4에 $N_A=1 \times 10^{17}/cm^3$ 으로 도핑된 FinFET에서 채널길이에 따른 포텐셜분포의 변화를 도시하였다. $H_{fin}=100nm, t_{oxf}=t_{oxw}=10nm$ 이며 $T_{fin}=300nm$ 의 경우 채널길이 L_{eff} 를 증가시키면서 계산한 결과이다. 단채널효과에 의하여 채널 길이가 감소할 때 최소포텐셜이 증가함을 알 수 있다. 그림 4에서 드레인 전압효과도 관찰할 수 있다. 드레인 전압의 증가는 단채널효과중 드레인

유기장벽감소(Drain induced barrier lowering; DIBL) 효과 때문에 최소 포텐셜을 증가시킬 뿐만 아니라 최소 표면전위를 소스방향으로 이동시킨다는 것을 관찰할 수 있다. 물론 이 효과는 드레인 전압이 증가하면 매우 큰 영향을 미칠 것이다.

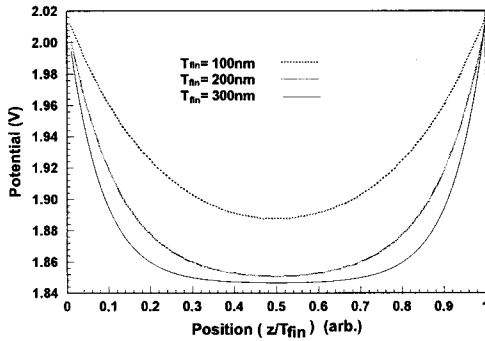


그림 5. 채널길이에 따른 표면 포텐셜분포
Fig. 5 Surface potential distribution for channel length

그림 5에 채널폭 T_{fin} 의 변화에 따른 표면 포텐셜의 변화를 도시하였다. $z = T_{fin}/2$ 를 기준으로 대칭임을 알 수 있다. $z = 0$ 과 $z = T_{fin}$ 에서의 표면포텐셜은 $z = T_{fin}/2$ 에서보다 훨씬 높다는 것을 알 수 있다. 특히 채널폭이 증가할수록 표면포텐셜이 전 영역에 걸쳐 일정하게 분포함을 알 수 있다. 한편 협폭 FinFET의 경우 $z = T_{fin}/2$ 에서 날카로운 최소값을 갖으면서 장폭 FinFET보다 최소값이 증가함을 알 수 있다. 문턱전압은 결국 최소 포텐셜에 좌우되기 때문에 그림 4와 비교해 보면 채널길이보다 채널폭의 변화가 문턱전압에 더 큰 영향을 미친다는 것을 알 수 있다.

IV. 결론

본 연구에서는 채널의 도핑 여부 및 크기변화에 대한 포텐셜분포의 변화를 구하기 위하여 3차원 포아송방정식을 이용한 해석학적 포텐셜모델을 제시하였다. 이 모델의 결과를 3D 소자 시뮬레이터인 DAVINCI의 결과와 비교하여 잘 일치함을 보였다. 채널이 도핑되면 최소표면 포텐셜이 증가함을 알 수 있었으며 채널길이가 증가할수록 포텐셜이

감소하나 포텐셜이 일정한 구간이 증가함을 알 수 있었다. 또한 채널 폭의 변화에 대한 고찰에서도 알 수 있듯이 채널 폭이 증가하면 최소 표면포텐셜이 감소하나 일정한 분포를 갖는 영역이 증가함을 알 수 있다. 이 모델을 이용하여 향후 FinFET의 단채널효과 및 전송특성 그리고 전류-전압특성을 구할 것이다. 결과적으로 이 연구의 모델은 향후 FinFET소자 개발에 이용될 수 있을 것으로 사료된다.

참고 문헌

- [1] D.S.Havaladar, G.Katti, N.DasGupta and A.DasGupta, "Subthreshold Current Model of FinFETs Based on Analytical Solution of 3-D Poisson's Equation," IEEE Trans. Electron Devices, vol. 53, no.4, 2006.
- [2] G.Katti, N.DasGupta and A.DasGupta, "Threshold Voltage Model for Mesa-Isolated Small Geometry Fully Depleted SOI MOSFETs Based on Analytical Solution of 3-D Poisson's Equation," IEEE Trans. Electron Devices, vol. 51, no.7, 2004.
- [3] J.P.Colinge, "Multiple-gate SOI MOSFETs," Solid State Electron., vol. 48, no. 6, pp.897-905,2004.
- [4] J.G.Fossum, M.M.Chowdhury, V.P. Trivedi, T.J.King, Y.K.Choi, J.An and B.Yu, "Physical insights on design and modeling of nanoscale FinFETs," in IEDM Tech. Dig.,pp.679-682, 2003.
- [5] D.S.Havaladar, G.Katti, N.DasGupta and A.DasGupta, "Subthreshold Current Model of FinFETs Based on Analytical Solution of 3D Poisson's Equation," IEEE Trans. Electron Devices, vol. 53, no.4, pp.737-741, 2006.
- [6] Taurus Medici Davinci User's Guide, Synopsis Inc., Mountain View, CA, Dec. 2003. V-2003.