

# MicroTec을 이용한 25nm LDD MOSFET Process 설계

한지형 · 정학기 · 이재형 · 정동수 · 이종인 · 권오신  
군산대학교 전자정보공학부

## Design of the 25nm LDD MOSFET Process using MicroTec Tool

Jihyung Han · Hakkee Jung · Jaehyung Lee · Dongsoo Jeong · Jongin Lee · Ohshin Kwon  
School of Electronic and Information Eng., Kunsan National University

E-mail : hkjung@kunsan.ac.kr

### 요 약

본 연구에서는 MicroTec을 이용하여 25nm LDD MOSFET Process를 구현하였다. LDD MOSFET의 저농도 도핑은 드레인의 끝에서 발생할 수 있는 핫 캐리어 효과를 감소시키는데 도움을 주며, 낮은 접합깊이는 DIBL 효과 및 전하공유와 같은 단채널효과를 감소시키는 중요한 역할을 한다. MicroTec 툴의 Sidif를 사용하여 25nm LDD MOSFET process를 설계하였고, 시뮬레이션 하는 과정과 방법을 설명하였다. 이온주입 양과 에너지의 크기를 증가하면서 전체도핑농도를 비교 분석하였다. 이온주입 양을 증가시키고 에너지의 크기가 커지면 더 강한 에너지가 가해지게되므로 높게 도핑되는 영역이 확장되고 전체 농도분포도 역시 확장되는걸 알 수 있었다.

### I. 서 론

반도체 디바이스 모델링은 전자 공학 산업에서의 표준이 되는 디자인 툴이 되어지고 있으며, 수년 전 이 모델링은 슈퍼컴퓨터에서 수행되어져 왔다. 그러나 현재 많은 상업적인 2D 공정과 디바이스 시뮬레이터들은 워크스테이션을 기본으로 하는 UNIX 시스템에서 사용되어지고 있다. 보통 현재의 배쉬 사이즈를 위해서는 수십 메가 바이트의 메모리가 요구되어왔다. 소프트웨어 수요가 증가하므로 IBM PC까지 확산되어왔으며, 반도체 디바이스의 2D 모델링에 사용되어지는 호환성 소프트웨어 툴들이 개발되어 왔다. 최근 들어 효율적인 프로그램들이 PC에서 사용 가능한 2차원 반도체 공정 디바이스 시뮬레이션들이 개발되어 왔으며, 이 프로그램을 MicroTec이라 한다. Micro Tec은 MOSFET, DMOS, JFET, BJT, IGBT, Schottky, photosensitive 디바이스 등과 같이 이온 주입, 확산, 산화를 포함한 2D 실리콘 공정 모델링을 사용한다. 현재 사용되어지고 있는 물리적 모델은 이동도, 재결합, 임팩트 이온화 등이다. 비록 다른 시뮬레이터에 비해서 간단하더라도 반도체 공정 / 디바이스 디자인 툴로 매우 강력한 시뮬레이터이다. Micro

Tec은 실리콘 공정 디바이스 시뮬레이션을 위해 네 개의 프로그램들로 구성되어 있으며, 이는 Sidif, MergIC, SemSim, SibGraf 이다. SibGraf는 시뮬레이션 결과를 출력하는 프로그램으로 2D와 3D로 나타내며, Sidif는 공정 시뮬레이션, SemSim은 소자 시뮬레이션, MergIC는 Sidif의 결과를 SemSim 입력에 연결시켜주는 인터페이스 역할을 한다. 이 세 개의 시뮬레이터가 함께 연동을 하여 하나의 소자의 특성을 나타낸다[1]. 본 논문에서는 Sidif 시뮬레이터를 사용하여 25nm LDD MOSFET Process 설계하였다.

### II. LDD MOSFET의 구조

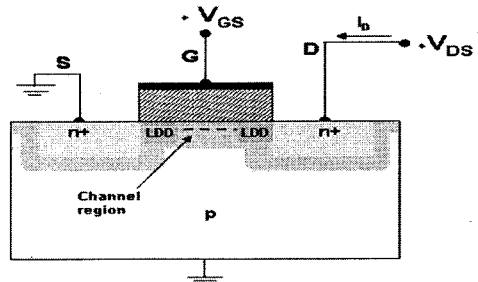


그림1. n채널 LDD MOSFET

일반적인 MOSFET 구조에서 드레인 영역에 강전계가 가해지면 전자가 열적 운동에너지보다 큰 운동에너지를 얻게 된다. 드레인 부근에서 충격이온화가 발생하게 되어 이 과정에서 전자-정공쌍이 발생되어 전자의 경우 양전압이 가해진 드레인 쪽으로 이동되고 정공은 기판으로 이동하여 기판전류가 발생되고 일부 전자는 실리콘-산화막 전위장벽을 뛰어 넘어 게이트 전류를 발생시킨다. 이러한 전자를 핫 캐리어(hot carrier)라 한다. 따라서 핫 캐리어의 영향으로 게이트 전류와 기판전류가 발생되어 소자의 신뢰성에 심각한 문제를 야기시킨다. 이러한 핫 캐리어의 효과를 줄이기 위하여 일반적인 LDD 구조가 제시되었다. 그림 1에 도시한 저도핑 드레인(Lightly Doped Drain) MOSFET은 드레인 영역의 전계를 낮추기 위해서 드레인과 채널이 만나는 지점의 도핑농도를 줄이고 접점부위의 드레인인은 도전층의 감소를 방지하기 위해 기존의 높은 도핑농도를 유지하는 구조이다. LDD에서 저농도 도핑은 드레인의 끝에서 발생할 수 있는 핫 캐리어 효과를 감소시키는데 도움을 주며, 낮은 접합깊이는 DIBL 효과 및 전하공유와 같은 단채널효과를 감소시키는 중요한 역할을 한다.

### III. 시뮬레이션 방법 / 과정

Sidif는 여러 다양한 제조 단계들을 수행하며, VLSI 요소들의 2차원적인 불순물 측면을 계산하는데 사용되어진다[2]. 제조 공정은 여러 개의 공정 단계들을 포함하는데 즉, 순차적인 열처리와 함께 이온 주입, 표면집전 등이 그것이다. 알고리즘은 유한 미분 공식을 사용하여, 직사각형의 메쉬 구조를 갖는다[3]. 사용되어지는 파라미터는 다음과 같다. 기본 Sidif directive 설명이다.

표1. Sidif 기본 directive 설명

이름	설 명	이름	설 명
MESH	Domain과 Mesh 파라미터 설정	PHIM	P의 이온주입
SUBS	Substrate 파라미터 설정	BOIM	B의 이온주입
SOLV	수치해석 컨트롤	ASIM	As의 이온주입
PHDE	P의 증착	OXID	산화 파라미터
BODE	B의 증착	ANNE	열처리 파라미터
ASDE	As의 증착	EPIT	epi-layer 구조

Sidif 모델 파라미터 directive는 BAND, DIFF, OED, DROX, WEOX, LOCO, SEGR이 있다. 모델 파라미터에 대한 설명은 표 2에 나타내었다.

표2. Sidif 모델 파라미터 directive 설명

이름	설 명	이름	설 명
DROX	건식산화 운동율	WEOX	습식산화 운동율
DIFF	As, B, P 의 확산도	LOCO	선택산화 파라미터
OED	산화 증가 확산	SEGR	편식 파라미터
BAND	Bandgap과 intrinsic 캐리어 농도		

MOSFET를 설계하기 위하여 Micro Tec의 Project setting 을 클릭한다. Project setting에서는 directive와 서브 directive 그리고 파라미터값을 지정할 수 있다. 가장 상단의 폴더를 마우스 오른쪽 버튼을 클릭하여 Add directive를 선택한다. Add directive를 선택하면 Sidif basic directives가 나타난다. 여기서 Domain and Mesh, Substrate, Boron implant, Arsenic implant, Annealing 5개의 directives를 사용한다. 각각의 directive에 문제에 주어진 파라미터 값을 입력하기 위해서는 directive 폴더를 마우스 오른쪽 버튼을 클릭하여 Add parameter를 클릭한다. 문제에 주어진 값들을 파라미터값에 입력을 한다. 파라미터 값을 입력하게 되면 directive 폴더 모형이 가운데에 +모양으로 변하게 된다. 파라미터 값을 전부 입력한 상태가 되면 더 이상의 파라미터 값을 추가 할 수는 없다. 파라미터 값을 입력한 후 Save Settings를 클릭하고 Run을 눌러 실행을 한다. 각각의 파라미터의 값들은 다음과 같이 설정한다. 그림 2는 MOSFET에 대한 기본적인 directive 구조를 보여주고 있다.

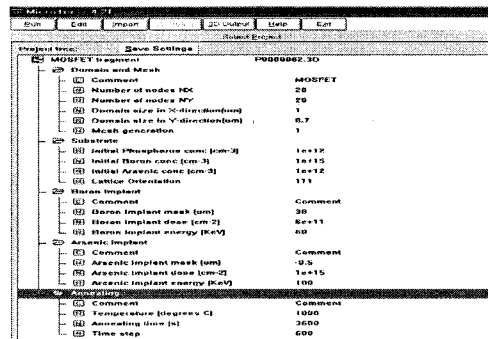


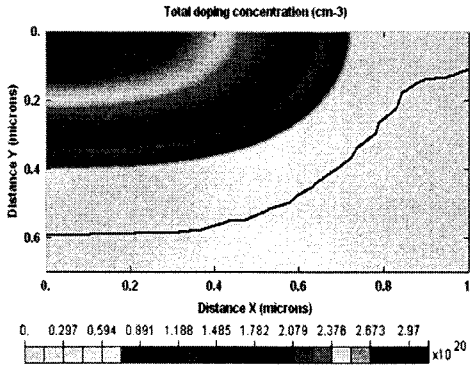
그림 2. Sidif 기본 directive 구조

X방향과 Y방향의 Mesh의 수는 20이다. 좌표의 길이는 1 $\mu$ m 높이는 0.7 $\mu$ m이다. 다음으로는 기판의 파라미터값을 지정한다. P의 농도는 1 $\times 10^{12}$ /cm<sup>3</sup>, B의 농도는 2 $\times 10^{15}$ /cm<sup>3</sup>, As의 농도는 1 $\times 10^{12}$ /cm<sup>3</sup>로 하고 웨이퍼는 (100)방향의 실리콘 웨이퍼를 사용한다. 그 다음은 B와 As를 이온 주입한다. B는 기판을 중심으로 2 $\mu$ m 창을 내어 60KeV 에너지로 6 $\times 10^{12}$ /cm<sup>2</sup> 만큼 도핑하고, As는 2 $\mu$ m 길이의 기판에 중심을 기준으로 하여 1 $\mu$ m 만큼 창을 내어 100KeV 에너지로 1 $\times 10^{16}$ /cm<sup>2</sup>만큼 도핑 한다. LDD 부분은 1.975 $\mu$ m 만큼 창을 내어 100KeV 에너지로 9.9 $\times 10^{12}$ /cm<sup>2</sup>만큼 도핑 한다. 마지막으로 어닐링(열처리)을 1000 $^{\circ}$ C로 60분간 가열하고 초기 시간간격은 10분으로 설정하였다.

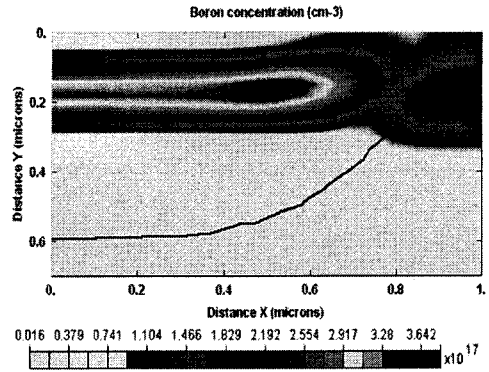
표3. 파라미터값의 이름과 설명

이름	초기설정	Units	설명
NX	30	none	X방향의 Mesh의 노드
NY	30	none	Y방향의 Mesh의 노드
XX	1	$\mu$ m	X방향의 Domain 길이
YY	1	$\mu$ m	Y방향의 Domain 길이
PH	1.0 $\times 10^{12}$	cm <sup>-3</sup>	P의 도핑농도
BO	1.0 $\times 10^{12}$	cm <sup>-3</sup>	B의 도핑농도
AS	1.0 $\times 10^{12}$	cm <sup>-3</sup>	As의 도핑농도
OR	111	none	단결정의 성장방향
XM	1	$\mu$ m	이온주입 마스크 위치
DZ	10 <sup>12</sup>	cm <sup>-2</sup>	이온주입 양
EN	40	KeV	이온주입 에너지
TC	1000	$^{\circ}$ C	열처리 온도
TM	1000	s	열처리 하는 시간
TAU	100	s	열처리 시간간격

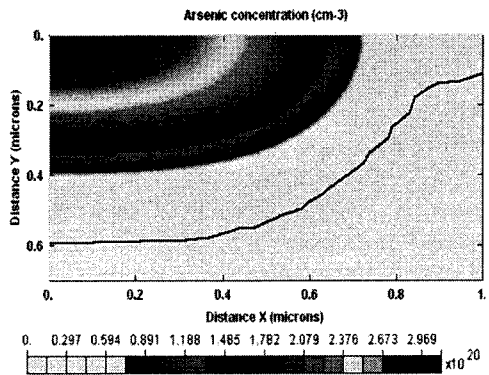
IV. 시뮬레이션 결과



(a)

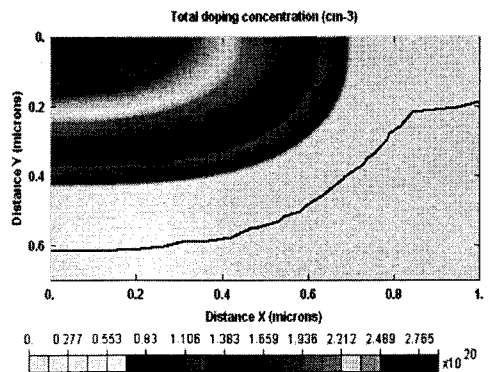


(b)



(c)

그림 3. BOIM : XM=2 $\mu$ m, DZ=6 $\times 10^{12}$ /cm<sup>2</sup>, EN=60KeV, ASIM : XM=0.5 $\mu$ m, DZ=1 $\times 10^{16}$ /cm<sup>2</sup>, EN=100KeV LDD : XM=0.9875, DZ=9.9 $\times 10^{12}$ /cm<sup>2</sup>, EN=100KeV (a) 전체 농도 분포 (b) Born 농도분포, (c) Asenic 농도분포



(a)

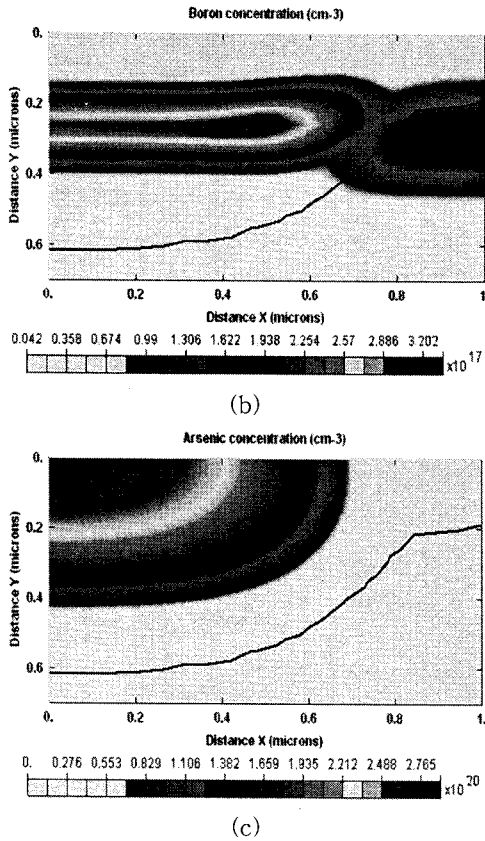


그림 4. BOIM : XM=2 $\mu$ m, DZ=6 $\times 10^{12}$ /cm<sup>2</sup>, EN=100KeV,

ASIM : XM=0.5 $\mu$ m, DZ=1 $\times 10^{16}$ /cm<sup>2</sup>, EN=200KeV  
 LDD : XM=0.9875, DZ=9.9 $\times 10^{12}$ /cm<sup>2</sup>, EN=200KeV

(a) 전체 농도 분포 (b) Born 농도분포,  
 (c) Arsenic 농도분포

본 논문에서는 원소의 도핑값과 에너지 값의 변화에 따른 MOSFET Process의 변화를 분석하였다. 그림 3은 Born을 기판에 2 $\mu$ m를 창을 내어 60KeV에너지로 6 $\times 10^{12}$ /cm<sup>2</sup>만큼 이온주입하고, Arsenic을 기판에 1 $\mu$ m만큼 창을 내어 100KeV 에너지로 1 $\times 10^{16}$ /cm<sup>2</sup>만큼 이온주입을 하였다. LDD 부분은 1.975 $\mu$ m 만큼 창을 내어 100KeV 에너지로 9.9 $\times 10^{12}$ /cm<sup>2</sup>만큼 도핑 하였다. 그림4는 Born을 기판에 2 $\mu$ m를 창을 내어 100KeV 에너지로 6 $\times 10^{12}$ /cm<sup>2</sup>만큼 이온주입하고, Arsenic을 기판에 1 $\mu$ m만큼 창을 내어 200KeV 에너지로 1 $\times 10^{16}$ /cm<sup>2</sup>만큼 이온주입을 하였다. LDD 부분은 1.975 $\mu$ m 만큼 창을 내어 200KeV 에너지로 9.9 $\times 10^{12}$ /cm<sup>2</sup>만큼 도핑 한다. 그림 3과 그림 4의 농도 분포를

비교해보면 전체 도핑농도의 양이 그림 4의 도핑농도가 크다는 것을 알 수 있다. 도핑값의 변화가 전체 도핑농도값에 변화를 주었음을 알 수 있다. 에너지 크기에 따른 농도분포의 위치를 비교해 본 결과(그림 3과 그림 4) 그림 4의 결과 값이 농도분포가 아래쪽으로 더 내려왔음을 알 수 있다 이는 더 강한 에너지를 가해줌으로써 높게 도핑되는 영역이 확장되고 전체 농도분포도 역시 확장되는걸 알 수 있다.

### V. 결 론

본 연구에서는 MicroTec을 이용하여 25nm LDD MOSFET 설계의 가능성을 고찰 하였다. 시뮬레이션 결과에서 보는거와 같이 원소의 도핑량을 늘리고 에너지값을 값을 증가 시켰을 경우 농도분포가 변화 함을 알 수 있었다. 도핑량을 증가 시켰을 경우 전체 도핑농도가 변화함을 알 수 있었고, 에너지를 증가 시켰을 경우 농도분포가 아래쪽으로 내려왔음을 알 수 있었다. 본 연구에서는 MOSFET Process 설계에 대해서만 분석했지만 MOSFET에 IV특성곡선을 분석하기 위해 Device 시뮬레이션을 더 연구해야 한다고 사료된다.

### 참고문헌

- [1] "MicroTec Semiconductor Process and Device Simulator, Version 4.0 for windows", Siborg Systems Inc, pp35-54, 2003.
- [2] M.Sobrecht, A.L.Alexzndrov, "SIDIF-a program for two-dimensional modeling of diffusion and oxidation," Solid-State Electronics, Software Survey Section, vol. 34, No 8, 1991.
- [3] A.L.Alexandrov, M.S.Obrecht, G.V.Gadiyak, "Efficient finite-difference method for numerical modelling of thermal redistribution of interact -ing impurities under oxidizing ambient", Solid State Electronics, vol. 35, 1992, pp.1549-1552.