

저전력 LCD 패널을 위한 수정된 S-R 플립플롭을 가진 새로운 메모리-인-픽셀 설계

류지열*,노석호**

삼성 모바일 디스플레이 Co. Ltd.*, 안동대학교 전자공학과**

A New Design of Memory-in-Pixel with Modified S-R Flip-Flop for Low Power LCD Panel

Jee-Youl Ryu*,Seok-Ho Noh**

Samsung Mobile Display Co. Ltd.*, Andong National University**

E-mail : jeeyoul.ryu@samsung.com

요 약

본 논문은 액정 표시 소자 (liquid crystal display, LCD)의 저소비 전력을 위한 새로운 메모리-인-픽셀 회로 설계를 제안한다. 각 픽셀 (화소)이 한 개의 메모리를 가지고 있기 때문에 이러한 회로는 LCD 동작을 위해 게이트와 소스 구동 회로의 동작 없이도 메모리에 저장된 데이터를 이용하여 8 컬러를 표현할 수 있다. 즉 구동 회로의 동작 없이도 각 화소에 내장된 메모리를 이용하여 데이터를 표현할 수 있기 때문에 LCD 패널의 소비전력을 줄일 수 있다. 각 메모리 회로는 각 화소에 내장된 수정된 S-R 플립플롭(NAND형)으로 구성되어 있고, 플립플롭은 겹치지 않는 클럭 CLK_A와 CLK_B를 이용하여 교류 바이어스를 공급한다. NAND형은 인버터형 메모리에 비해 회로는 더 복잡하지만, 약 50%의 더 낮은 소비전력 특성을 가진다. 96×128의 해상도를 가진 LCD 패널에 대해 인버터형 메모리가 0.037 mW의 소비전력을 보인 반면 제안된 메모리 회로는 단지 0.007 mW의 우수한 소비전력을 보였다.

ABSTRACT

In this paper, a new circuit design named memory-in-pixel for low power consumption of the liquid crystal display (LCD) is presented. Since each pixel has a memory, it is able to express 8 color grades using the data saved in the memory without the operation of the gate and source driver ICs so that it can reduce the power consumption of the LCD panel. A memory circuit consists of modified S-R flip-flop (NAND-type) implemented in the pixel, which can supply AC bias for operating the liquid crystal (LC) with the interlocking clocks (CLK_A and CLK_B). This circuit is more complex than the inverter-type memory circuit, but it has lower power consumption of approximately 50% than the circuit. We have investigated the power consumption both NAND and inverter-type memory circuit using a Smart SPICE for the resolution of 96×128. The estimated power consumption of the inverter-type memory was about 0.037 mW. On the other hand, the NAND-type memory showed power consumption of about 0.007 mW.

키워드

액정 표시 소자, 메모리-인-픽셀, S-R 플립플롭

I. 서 론

최근까지 모바일 액정 표시 소자 (liquid crystal display, LCD) 모듈의 소비 전력 문제는 항상 중요한 이슈 사항이 되어 왔다 [1-4]. LCD 모듈의 소비전력을 이루는 구성요소로는 광원장치(BLU, Back-light Unit), LCD 패널, 게이트 및 소스 구동 집적회로 및 수동/능동 부품으로 구성된 주변 회로를 들 수 있다. 최근 LCD 패널의 소비전력을 줄이기 위한 기술로 MIP (Memory-In-

Pixel)라 불리는 새로운 개념의 회로 구성 기술이 보고되고 있다 [1,5-6]. Hiroyuki Kimura 등 [1]은 게이트와 소스 구동 회로의 동작 없이도 화소 당 1비트 메모리 회로에 저장된 데이터를 이용하여 닷(dot) 당 8 컬러 계조를 표현할 수 있는 MIP 회로를 제안했다. 화소 당 1비트 반전형 (inverter-type) 메모리를 사용하였다. 그들이 제안한 회로는 구조가 매우 간단하고 144(V)x 176(H) 해상도에 대해 기존 LCD 패널이 가진 약 25mW의 소비전력을 81%까지 줄일 수 있었다.

본 논문은 저온 폴리 실리콘 (low temperature poly-silicon, LTPS) 기술을 이용하여 LCD 모듈의 저소비 전력을 위한 새로운 형태의 메모리-인-픽셀 회로 설계를 제안한다. 각 화소 당 한 개의 메모리를 이용하여 데이터를 표현할 수 있기 때문에 이러한 회로는 LCD 동작을 위해 게이트와 소스 구동 회로의 동작 없이도 메모리에 저장된 데이터를 이용하여 8 컬러를 표현할 수 있고 LCD 패널의 소비전력을 줄일 수 있다. 각 메모리 회로는 각 화소에 내장된 수정된 S-R 플립플롭 (NAND형)으로 구성되어 있고, 플립플롭은 겹치지 않는 두 클럭을 이용하여 교류 바이어스를 공급하도록 설계되어 있다. NAND형은 인버터형 메모리에 비해 회로는 더 복잡하지만, 약 50%의 더 낮은 소비전력 특성을 가진다. 96×128 의 해상도를 가진 LCD 패널이 스마트 스파이스 툴을 사용하여 평가되었다.

II. 원리

2.1. 액정 표시 소자

그림 1은 단위 화소 및 등가회로에 대한 수직 구조를 나타낸 것이다 [7]. 단위 화소는 하부 게이트 형의 화소 트랜지스터 (Thin Film Transistor, TFT), 액정 커패시터 C_{lc} , 축적 보조 커패시터 C_s , 게이트 및 데이터 버스 라인과 공동 전극으로 구성되어 있다.

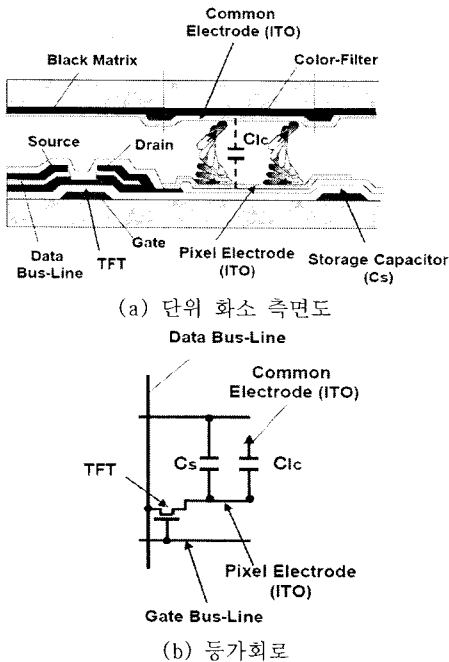


그림 1. 단위 화소 측면도 및 등가회로
Fig. 1. Vertical structure of a pixel and its equivalent circuit.

C_s 는 게이트 금속층, 게이트 절연층 및 indium-tin-oxide (ITO)의 화소 전극으로 구성되

어 있다. 소스 (데이터) 구동 집적회로의 출력 신호는 게이트 버스 라인이 턴 온 (turn on)될 때, 데이터 버스 라인을 통해 전송된다. 화소 TFT는 소스 구동 집적회로의 출력 신호를 C_{lc} 와 C_s 로 전송시키는 역할을 한다. 게이트 버스 라인이 턴 오프 (turn off)될 때, C_s 는 한 프레임 시간 동안 C_{lc} 에 적용되어 있던 현재의 신호를 보존한다.

화소 구동 전압들에 대한 파형이 그림 2에 표현되어 있다 [8]. 그림 2에서 T_f 는 프레임 주기, ΔV 는 기생 성분들(화소 TFT의 게이트와 소스 사이 그리고 게이트와 드레인 사이에 결합으로 인해 각각 발생하는 용량 성분 C_{gs} 및 C_{gd})로 인한 kick-back 전압으로 C_{gs} (또는 C_{gd})에 반비례하는 특성을 나타낸다.

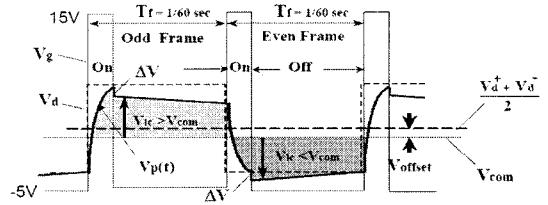


그림 2. 화소 구동 전압 파형
Fig. 2. Waveform of pixel driving voltages.

2.2. 기억 장치 (Memory) 회로

플립플롭은 한 클럭 신호의 상승 또는 하강 모서리에 대해 상태가 바뀌는 저장회로이다. CMOS 집적회로 또는 LTPS SOP (System-On-Panel)/SOG (System-On-Glass) 설계에 사용되는 대부분의 플립플롭은 그림 3(a)에 표현된 교차 결합형 (cross-coupled) 인버터와 같은 기본 구조를 가진다 [8].

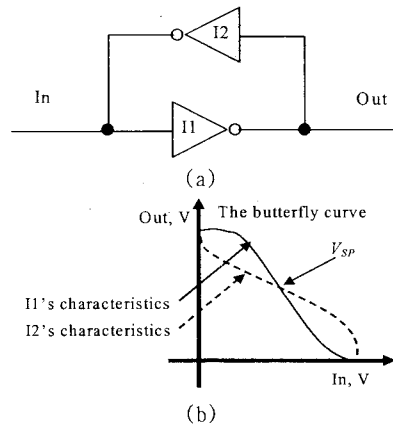


그림 3. (a) 교차 결합형 인버터 (래치) 및 입출력 특성 곡선
Fig. 3. (a) A cross-coupled inverter (a latch) and (b) the input vs. output characteristics.

그림 3(b)는 두 인버터에 대한 전압 전송 특성 (VTCs) 곡선을 나타낸 것이다. I1 곡선의 입력 'In'이 'High' (또는 'Low')로 설정될 때 초기 입력 값이 연속적으로 유지되고, 라인이 열릴 때까지 지속되도록 하기 위해 I2 곡선의 'Out'은 'Low' (또는 'High')로 고정된다. 그림 3에 표현되어 있듯이 I1과 I2 곡선들은 상호 대칭의 입력과 출력을 가지고 있다.

2.3. 메모리-인-픽셀 (Memory-In-Pixel, MIP)

MIP에 대한 개념은 저소비 전력 LCD 모듈을 제공하기 위해 메모리 회로를 TFT 각 화소에 삽입하는 것이다. 각 화소 당 한 개의 메모리를 이용하여 데이터를 표현할 수 있고, LCD 동작을 위해 게이트와 소스 구동 회로의 동작 없이도 메모리에 저장된 데이터를 이용하여 다양한 컬러를 표현할 수 있다. 그림 4는 MIP에 대한 블록도를 나타낸 것이다. 게이트와 소스 신호들은 게이트와 데이터 버스를 통해 각각 전송되고, 클럭 CLK_A와 CLK_B는 연동 관계를 제공한다. 소스와 게이트 신호들이 한 화소에 전달될 때, V_{LC} 노드 전압은 소스 신호에 따라 미리 충전되거나 방전된다. 만약 소스 신호가 'High'일 때 V_{LC} 노드 전압은 스위치 SW_A 를 통해 수정된 S-R 플립플롭에 충전된다. 반면, 소스 신호가 'Low'일 때 반대 특성을 나타낸다.

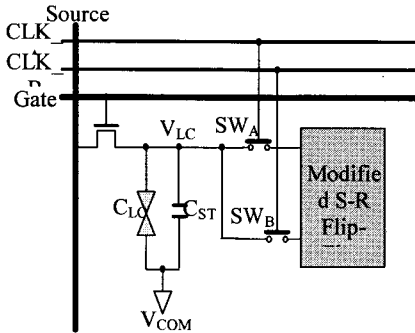


그림 4. MIP 블록도
Fig. 4. A block diagram of the MIP.

MIP에 대한 타이밍도가 그림 5에 표현되어 있다. 먼저 초기 V_{SOURCE} 신호의 레벨을 'High'로 가 정하였다. 클럭 CLK_A가 'High'일 때, V_{SOURCE} 신호가 스위치 SW_A 를 통해 V_{LC} 노드와 MIP에 동시에 적용된다 (즉, 데이터 쓰기 구간). 이러한 상태는 초기 V_{SOURCE} 신호가 수정된 S-R 플립플롭의 입력단에 충전됨을 의미한다. 클럭 CLK_B가 'High'일 때, MIP에 저장된 데이터는 스위치 SW_B 를 통해 방전된다 (즉, 데이터 읽기 구간). 이러한 동작은 CLK_A와 CLK_B에 따라 연속적으로 반복된다. 따라서 일단 MIP에 기억된 V_{SOURCE} 신호는 충전과 방전을 반복하며, V_{LC} 노드 전압을 형성한다.

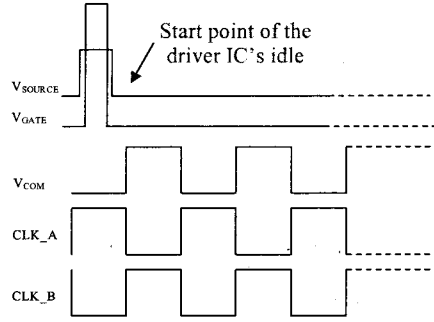


그림 5. MIP 타이밍도
Fig. 5. The timing diagrams of the MIP.

III. 회로 시뮬레이션 및 실험

3.1. 인버터형 MIP

그림 6은 두 개의 인버터, 두 개의 n형 TFTs 및 한 개의 p형 TFT로 구성된 인버터형 MIP 회로를 나타낸 것이다. M3 TFT는 게이트 신호가 'High'일 때, MIP 회로를 초기화한다. V_{LC} 의 새 데이터가 클럭 CLK_A 및 CLK_B의 상태에 따라 인버터에 기록되거나 읽혀진다. 이러한 회로의 전체 전류는 I1, I2 및 I3의 합으로 표현될 수 있다.

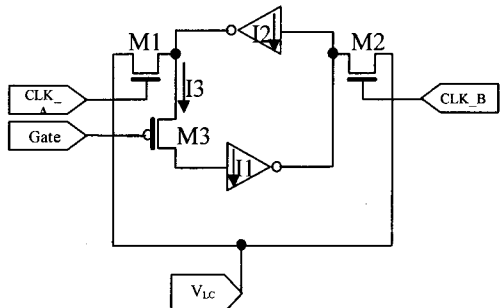


그림 6. 인버터형 MIP
Fig. 6. An inverter-type MIP.

인버터형 MIP에 대한 시뮬레이션 결과가 그림 7에 표현되어 있다. 이러한 회로의 소비전력은 96x128 해상도에 대해 프레임당 대략 0.037mW였다.

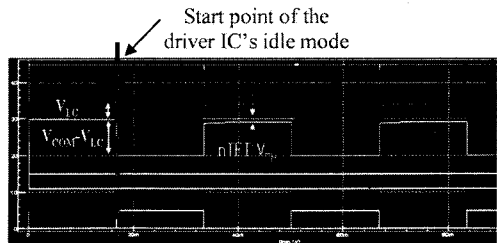


그림 7. 인버터형 MIP에 대한 시뮬레이션 결과
Fig. 7. Simulation results of an inverter-type MIP.

첫 번째 프레임에 표현되어 있듯이 $V_{COM}-V_{CL}$ 은 게이트, 소스 및 V_{COM} 신호에 따라 풀 스위칭 상태를 제공한다. 여기서 V_{LC} 는 액정에 인가된 전압이고, $V_{COM}-V_{CL}$ 은 V_{COM} 과 V_{CL} 간의 전압차를 나타낸 것이다. 그러나 이러한 상황은 M1 TFT의 드레인과 소스의 전압 강하로 인해 idle 모드에서 구동 집적 회로의 출발점 이후에는 풀 스위칭을 하지 않는다. 수정된 S-R 플립플롭 MIP의 경우 전압 강하가 없도록 하기 위해 n형 TFT 스위치를 두 개의 트랜스미션 게이트로 대체하였다.

3.2. 수정된 S-R 플립플롭 MIP

그림 8은 두 개의 NAND 게이트, 두 개의 트랜스미션 게이트 및 한 개의 p형 TFT로 구성된 수정된 S-R 플립플롭 MIP 회로도를 나타낸 것이다. 이러한 회로의 동작 원리는 인버터형 MIP와 일치한다. 회로에 흐르는 전체 전류는 I1, I2 및 I3의 합으로 표현될 수 있다.

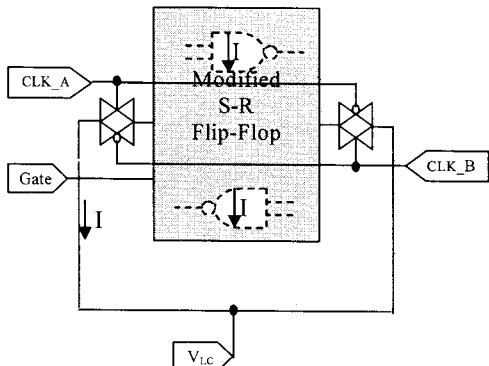


그림 8. 수정된 S-R 플립플롭 MIP

Fig. 8. A modified S-R flip-flop MIP.

수정된 S-R 플립플롭 MIP에 대한 시뮬레이션 결과가 그림 9에 표현되어 있다. 이러한 회로의 소비전력은 96x128 해상도에 대해 프레임당 대략 0.007mW였다.

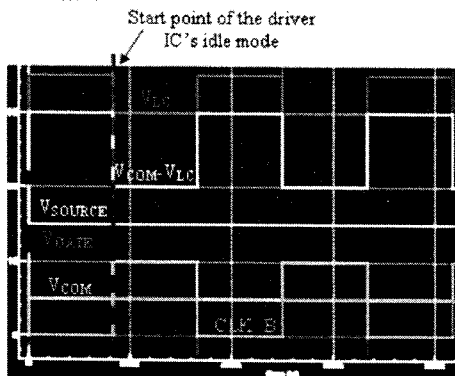


그림 9. 수정된 S-R 플립플롭 MIP에 대한 시뮬레이션 결과

Fig. 9. Simulation results of the modified S-R flip-flop MIP.

결과에서 알 수 있듯이 수정된 S-R 플립플롭 MIP 방식이 인버터형 MIP 방식에 비해 소비전력이 훨씬 낮은 특성을 보였다. 이는 수정된 S-R 플립플롭 MIP 방식의 경우 NAND 게이트의 채널 저항 R_{ON} 이 인버터형 MIP 방식에 비해 더 크기 때문에 NAND 게이트의 V_{DD} 에서 GND로 흐르는 전류가 작은 원인으로 분석할 수 있다. 그림 9에서 알 수 있듯이 인버터형 MIP 방식의 결과 (그림 7)와는 달리 전압 강하가 없는 트랜스미션 게이트를 사용했기 때문에 $V_{COM}-V_{CL}$ 이 일정한 전압차를 가짐을 확인하였다.

V. 결론

LTPS 기술을 이용하여 LCD 모듈의 저소비 전력을 위한 새로운 형태의 메모리-인-픽셀 회로가 제안되었다. 각 화소 당 한 개의 메모리를 이용하여 데이터를 표현할 수 있기 때문에 이러한 회로는 LCD 동작을 위해 게이트와 소스 구동 회로의 동작 없이도 메모리에 저장된 데이터를 이용하여 8 컬러를 표현할 수 있어서 LCD 패널의 소비전력을 줄였다. 각 메모리 회로는 각 화소에 내장된 수정된 S-R 플립플롭 (NAND형)으로 구성되었다. 96x128의 해상도를 가진 LCD 모듈에 대해 인버터형 메모리가 0.037 mW의 소비전력을 보인 반면 제안된 메모리 회로는 단지 0.007 mW의 우수한 소비전력을 보였다. 본 논문에서 제안된 메모리 회로는 더 높은 해상도를 가진 LCD 모듈에서도 더 우수한 소비전력 특성을 보일 것이라 예상할 수 있다.

참고문헌

- [1] H.Kimura, T.Maeds, T.Tsunshima, T.Morita, H.Murata, S. Hirota, H.Sato, SID 01 DIGEST, p.268, 2001.
- [2] S.Yamazaki, Proceedings of the Seventh International Display Workshop, p.313, 2000.
- [3] K.Yoneda et.al., AM-LCD 2000, p.5, 2000.
- [4] H.Tsuchi st. al., SDI 00 DIGEST, p.146, 2000.
- [5] H.Tokioka, M.Agari, M.Inoue, T.Yamamoto, H.Murai, H.Nagata, SID 01 DIGEST, p.280, 2001.
- [6] M.Senda, Y.Tsutsui, R.Yokoyama, K.Yoneda, S.Matsumoto, A.Sasaki, SID 02 DIGEST, p.790, 2002.
- [7] S.S.Kim, H.J.Kim, S.D.Lee, Display Engineering I, p.183, 2005.
- [8] R.J.Baker, CMOS Circuit Design, Layout, and Simulation, p.383, 2005.