

p채널 SONOS 전하트랩 플래시메모리의 제작 및 특성

김병철^{1a} · 김주연²

¹진주산업대학교 전자공학과

²울산과대학 전기전자학부 반도체응용전공

The Fabrication and Characteristics of p-channel SONOS Charge-Trap Flash Memory

Byungcheul Kim^{1a} · Joo-Yeon Kim²

¹Dept. of Electronic Engineering, Jinju National University

²School of Electrical Engineering, Ulsan College

^aE-mail : bckim@jinju.ac.kr

요 약

본 연구에서는 NAND 플래시메모리를 위한 기본 셀로서 p채널 SONOS (silicon-oxide-nitride-oxide-silicon) 트랜지스터를 제작하고 이것의 메모리특성을 조사하였다. SONOS 트랜지스터의 제작은 0.13 μm low power용 standard logic 공정기술을 사용하였다. 게이트 절연막의 두께는 터널 산화막 20 Å, 질화막 14 Å, 그리고 블로킹산화막의 두께는 49 Å이다. 제작된 SONOS 트랜지스터는 낮은 쓰기/지우기 전압, 빠른 지우기 속도, 그리고 비교적 우수한 기억유지특성과 endurance 특성을 나타내었다.

ABSTRACT

In this study, p-channel silicon-oxide-nitride-oxide-silicon (SONOS) transistors are fabricated and characterized as an unit cell for NAND flash memory. The SONOS transistors are fabricated by 0.13 μm low power standard logic process technology. The thicknesses of gate insulators are 20 Å for the tunnel oxide, 14 Å for the nitride layer, and 49 Å for the blocking oxide. The fabricated SONOS transistors show low programming voltage, fast erase speed, and relatively good retention and endurance.

키워드

p채널 SONOS, NAND Flash memory, Charge-trap Flash, Low programming voltage, Fast erase speed

1. 서 론

NAND 플래시메모리는 NOR 플래시메모리보다 셀 면적을 작게 할 수 있기 때문에 고집적적화에 유리하며, 비트단가를 싸게 할 수 있는 장점이 있기 때문에 최근 비약적으로 스케일링이 진행되고 있다[1]. 그러나 플래시메모리를 위한 소자구조로서 현재 주류를 이루고 있는 부유게이트(floating-gate)는 셀의 크기를 축소함에 따라서 다결정실리콘 게이트 간의 커플링효과가 더욱 더 심각해지기 때문에 스케일링 한계에 직면하고 있

다[2,3]. 따라서 45 nm 이하의 스케일링에서는 본질적으로 다결정 실리콘게이트 커플링 간섭이 없는 SONOS (silicon-oxide-nitride-oxide-silicon) 소자가 또 다른 대안으로 주목받고 있다[3].

터널 산화막의 두께가 30 Å 이상인 SONOS NAND 플래시메모리는 FN 터널링에 의해 쓰기와 지우기 동작을 하기 때문에 높은 프로그래밍 전압이 필요하며, 지우기 속도가 느린 것이 단점이다[4]. 따라서 본 연구에서는 NAND 플래시메모리를 위한 기본 셀로서 낮은 프로그래밍 전압과 빠른 지우기 속도를 갖도록 20 Å의 아주 얇

은 터널 산화막을 가진 p채널 SONOS 트랜지스터를 제작하고 이것의 프로그래밍 특성, 기억유지 특성, 그리고 endurance 특성을 조사하였다.

II. 제작공정

p채널 SONOS 제작은 0.13 μm low power-standard logic 공정기술을 기본으로 한 cobalt salicide dual gate 공정을 적용하였다. 공정순서는 그림 1과 같다.

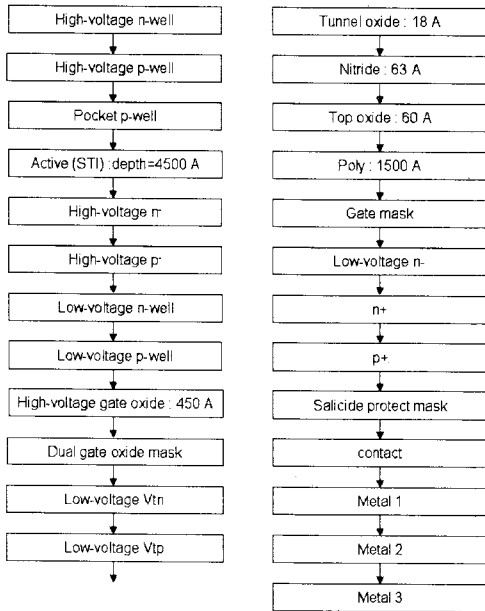


그림 1. 제작공정 흐름도

제작된 SONOS 트랜지스터의 TEM사진을 그림2에 나타내었다.

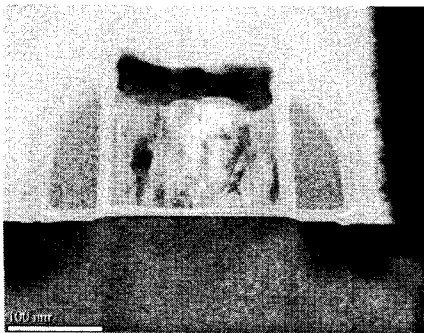


그림 2. 제작된 0.13 μm p채널 SONOS 트랜지스터의 TEM 사진

터널산화막은 NO annealed oxidation을 실시하였으며, 두께는 18 Å이었다. LPCVD질화막은 780 $^{\circ}\text{C}$ 에서 63 Å을 증착하였으며, 블로킹산화막은 래디칼 산화에 의해 60 Å이 되도록 ONO(oxide-nitride-oxide) 게이트 절연막 공정을 진행하였다. 래디칼 산화공정 후 최종적인 ONO의 두께는 터널 산화막 20 Å, 질화막 14 Å, 블로킹산화막 49 Å의 두께를 얻을 수 있었다.

ONO 게이트 절연막의 TEM사진을 그림 3에 나타내었다.

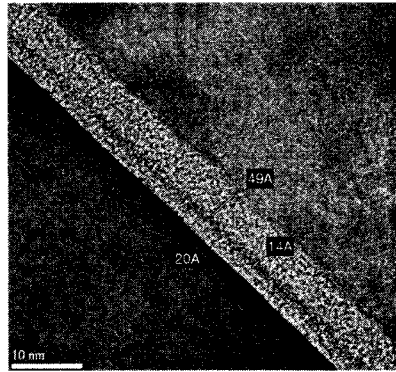


그림 3. ONO 게이트 절연막의 TEM 사진

TEM 사진으로부터 질화막의 두께가 14 Å으로 확인되었으나 블로킹산화막과 질화막 사이에 약 20 Å의 SiON 막이 있을 것으로 추정된다.

III. 결과 및 고찰

제작된 p채널 SONOS 트랜지스터의 쓰기 특성을 그림 4에 나타내었다.

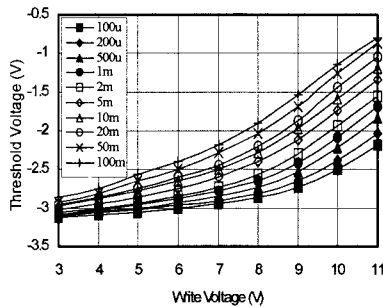


그림 4. p채널 SONOS 트랜지스터의 쓰기 특성.

x축은 쓰기를 위하여 게이트에 인가된 +펄스 전압이며, y축은 쓰기 후 측정된 SONOS 트랜지스터의 문턱전압을 나타내고 있다. 쓰기동작을 위

한 SONOS 트랜지스터의 초기문턱전압은 -3.1 V이다. +11 V/200 μ s의 쓰기 조건에서 1 V 정도의 메모리 윈도우(memory window)를 나타내었다. 제작된 SONOS 트랜지스터의 터널 산화막이 20 Å으로 매우 얇기 때문에 프로그래밍은 direct 터널링을 따른다. 따라서 FN 터널링에 의한 프로그래밍 전압(~20 V)보다는 훨씬 낮은 전압에서 프로그래밍 할 수 있음을 나타내고 있다.

그림 5에는 지우기 특성을 나타내었다.

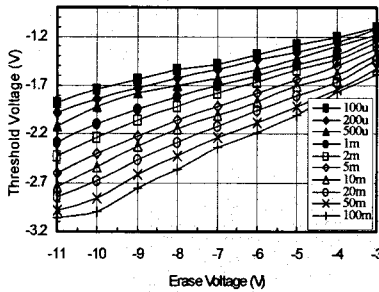


그림 5. p채널 SONOS 트랜지스터의 지우기 특성.

x축은 지우기를 위하여 게이트에 인가된 -펄스 전압이며, y축은 지우기 후 측정된 SONOS 트랜지스터의 문턱전압을 나타내고 있다. 지우기 동작을 위한 SONOS 트랜지스터의 초기문턱전압은 -1.0 V이다. -11 V/200 μ s의 지우기 조건에서 1 V 정도의 메모리 윈도우(memory window)를 나타내었다.

쓰기와 지우기 특성으로부터 제작된 SONOS 트랜지스터는 ± 11 V/200 μ s에서 쓰기와 지우기 동작이 가능함을 알 수 있으며, 최대 메모리 윈도우는 2.7 V이다.

프로그래밍 시간에 따른 쓰기와 지우기 전압에 의한 문턱전압 변화를 그림 6에 나타내었다.

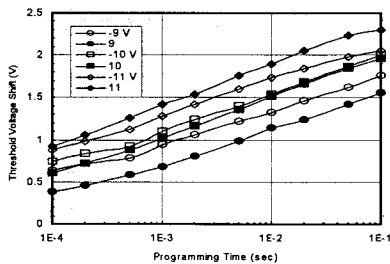


그림 6. 프로그래밍 시간에 따른 쓰기와 지우기 전압에 의한 문턱전압 변화의 비교.

9 V와 10 V의 프로그래밍 전압에서는 쓰기전

압(+)보다 지우기 전압(-)에 의해 트랜지스터의 문턱전압이 더 크게 변화됨을 알 수 있다. 그러나 11 V의 프로그래밍 전압에서는 지우기 전압(-)보다 쓰기전압(+)에 의해 트랜지스터의 문턱전압이 더 크게 변화되는 현상을 나타내었다.

p채널 SONOS 트랜지스터의 기억유지특성을 그림 7에 나타내었다.

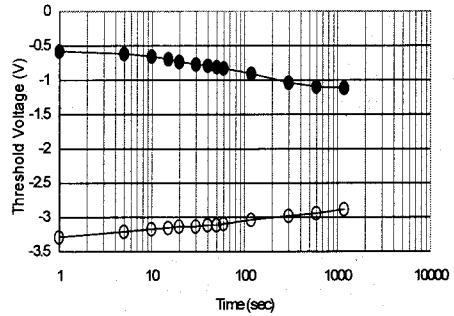


그림 7. p채널 SONOS 트랜지스터의 기억유지 특성.

SONOS 트랜지스터를 프로그래밍 한 후 상온에서 시간이 경과함에 따라서 질화막내에 축적되어 있는 전하의 손실정도를 조사한 것으로서 SONOS 트랜지스터의 문턱전압을 측정하여 평가한다. 쓰기 전압조건은 11 V/100 ms이다.

초기의 메모리 윈도우는 2.7 V이었으며, 1200 초의 시간이 경과한 후 메모리 윈도우는 1.76 V로 감소하였다. 제작된 SONOS 트랜지스터의 터널 산화막이 20 Å으로 매우 얇음에도 불구하고 비교적 우수한 기억유지특성을 보였다. 기억유지특성을 더욱 더 향상시키기 위하여 터널 산화막의 두께를 5 nm 이상으로 두껍게 하면 기억유지특성은 향상되지만 direct 터널링을 이용 할 수 없기 때문에 프로그래밍 전압이 높아지게 된다. 따라서 FN 터널링에 의해 프로그래밍이 되므로 지우기 속도는 느려지게 된다[4].

p채널 SONOS 트랜지스터의 endurance특성을 그림 8에 나타내었다.

SONOS 트랜지스터의 게이트에 쓰기와 지우기 전압을 각각 반복하여 인가 한 후 SONOS 트랜지스터의 문턱전압을 측정하였다. 여기서 쓰기 전압은 +11 V, 지우기 전압은 -11 V이었으며, 프로그래밍 시간은 100 ms이다. 쓰기와 지우기를 반복함에 따라서 쓰기와 지우기 상태의 문턱전압이 모두 증가하는 경향을 나타내었다. 초기의 메모리 윈도우는 1.16 V이었으며, 5000회의 쓰기와 지우기를 반복한 후에 메모리 윈도우는 1.64 V로 증가하였다.

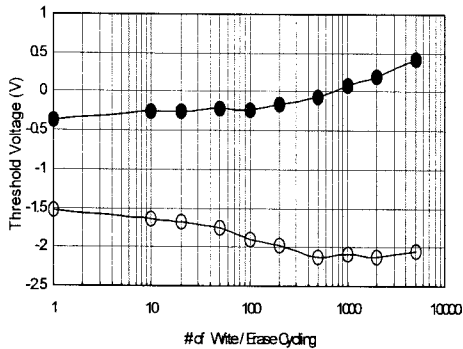


그림 8. p채널 SONOS 트랜지스터의 endurance 특성.

본 연구에서는 p채널 SONOS 트랜지스터를 이용한 2비트 동작에 대한 실험결과를 논의하지 않지만 p채널 SONOS 트랜지스터를 2비트 메모리 셀로 응용할 때 p채널 SONOS 트랜지스터는 읽기동작에서 채널 핫 홀의 영향을 무시할 수 있기 때문에 읽기간섭이 발생하지 않는다는 큰 장점을 가지고 있다[5].

IV. 결 론

NAND 플래시메모리를 위한 기본 셀로서 p채널 SONOS (silicon-oxide-nitride-oxide-silicon) 트랜지스터의 적용 가능성을 조사하였다. 20 Å의 얇은 터널 산화막을 가진 SONOS 트랜지스터는 direct 터널링 메커니즘을 따르기 때문에 FN 터널링에 의한 프로그래밍 전압(~20 V)보다 훨씬 낮은 전압(11 V)에서 빠른 속도(200 μs)로 지우기가 가능함을 알 수 있었다. 기억유지특성과 endurance 특성도 비교적 우수한 결과를 나타내었다. 향후 낮은 프로그래밍 전압, 빠른 지우기 속도와 더불어 우수한 기억유지특성과 endurance 특성을 갖는 메모리 셀에 대한 연구가 더 진행될 예정이다.

참고문헌

- [1] J. H. Park, S. H. Hur, J. H. Lee, J. T. Park, J. S. Sel, J.W. Kim, S. B. Song, J. Y. Lee, J. H. Lee, S. J. Son, Y. S. Kim, M. C. Park, S. J. Chai, J. D. Choi, U. I. Chung, J. T. Moon, K. T. Kim, K. Kim, and B. I. Ryu, "8 Gb MLC(multi-level cell) NAND Flash memory using 63 nm process technology," in *IEDM Tech. Dig.*, 2004, pp. 873-876.
- [2] J. D. Lee, S. H. Hur, and J. D. Choi, "Effects of floating gate interferences on NAND Flash memory cell operation", *IEEE Electron Device Lett.*, vol. 23, no. 5, pp. 264-266, 2002.
- [3] K. Kim, "Technology for sub-50 nm DRAM and NAND Flash manufacturing," in *IEDM Tech. Dig.*, 2005, pp. 333-336.
- [4] H. T. Lue, Y. H. Shih, K. Y. Hsieh, R. Liu, and C. Y. Lu, "Novel soft erase and re-fill methods for a P⁺-poly gate nitride-trapping non-volatile memory device with excellent endurance and retention properties," in *Proc. IRPS*, 2005, pp. 168-174.
- [5] H.-T. Lue, S.-Y. Wang, E.-K. Lai, M.-T. Wu, L.-W. Yang, K.-C. Chen, J. Ku, K.-Y. Hsieh, R. Liu, and C.-Y. Lu, "A novel p-channel NAND-type Flash memory with 2-bit/cell operation and high programming throughput (>20 MB/sec)," in *IEDM Tech. Dig.*, 2005, pp. 341-344.