

Ultrathin-Body (UTB) Strained-Si-on-Insulator (sSOI) MOSFET에서 채널두께에 따른 전자이동도 변화

김관수¹, 최철종², 정종완³, 조원주¹

¹광운대학교 전자재료공학과, ²한국전자통신연구원, ³세종대학교 나노신소재공학부

Silicon-on-Insulator (SOI) 기술은 단채널 효과를 억제시킬 수 있는 가장 대표적인 기술이다. 특히, Strained-Si-on-Insulator (sSOI) 기술과 Ultrathin-Body (UTB) 기술은 캐리어의 이동도를 향상시키는 기술로 현재 많은 연구가 진행되고 있다. 본 논문에서는 10 nm 이하의 채널두께를 가지는 UTB-sSOI MOSFET을 제작하고 채널 두께 변화에 따른 전자의 이동도 특성을 살펴보았다. sSOI MOSFET은 상부 실리콘의 두께가 40 nm이고, 약 0.7 %의 tensile strain이 걸려있는 SOITEC사의 기판을 사용하였다. 게이트 산화막은 열산화방식을 이용하여 약 8 nm 성장시켰으며, 게이트 전극으로는 in-situ phosphorus doped poly-Si 박막을 LPCVD 방법으로 약 100 nm 증착하였다. 마지막으로 플라즈마 도핑방법으로 얇은 접합깊이를 가지는 소스와 드레인을 형성하였다.

채널의 두께가 약 40 nm인 SOI/sSOI nMOSFET은 70 mV/dec 이하의 우수한 subthreshold 특성을 나타내었으며, 특히 SOI MOSFET보다 약 1.5 배 우수한 $300 \text{ cm}^2/\text{Vs}$ 의 높은 이동도 특성을 가진다. 이 같은 이동도의 향상은 0.7 %의 tensile strain에 의한 subband modulation 때문이다. 그러나 실온에서 TMAH (Tetramethy Ammonium Hydroxide) 용액을 이용하여 채널영역을 선택적으로 10 nm 이하로 형성하였을 때 UTB-sSOI MOSFET의 이동도 특성은 단조롭게 감소하였다. 이 같은 이동도의 감소는 채널두께가 감소함에 따라 반전층의 두께가 감소하고, inter-valley phonon scattering이 증가하기 때문이다.