

SiO₂/Si₃N₄ 적층 터널링 산화막을 이용한 Nano Floating Gate 비휘발성 메모리 소자의 특성 개선

조원주¹, 정종완²

¹광운대학교 전자재료공학과, ²세종대학교 나노신소재공학부

플래시 메모리는 디지털 카메라, 휴대전화기와 같은 각종 휴대용 정보기기 및 대용량 하드 디스크에 널리 이용되는 비휘발성 메모리 소자로서, 유비쿼터스 정보사회의 막대한 정보량을 저장 및 처리하기 위하여 소자의 동작 속도 및 집적도를 향상시키고 동작 전압을 줄이기 위해서 터널링 절연막의 특성을 확보해야만 한다. 만약, 터널링 절연막이 너무 얇을 경우에는 프로그램 속도는 빠르게 할 수 있지만, 데이터를 유지하는 retention 특성에서는 치명적인 문제가 발생한다. 현재의 기술로서 Program/Erase 속도와 Retention 특성을 모두 만족할 수 있는 플래시 메모리의 터널링 산화막 두께의 이론적인 한계는 약 8 nm 이며, 이러한 두께의 한계가 Flash 메모리의 scaling을 막는 가장 큰 장벽이 되고 있다. 본 연구에서는 기존 플래시 메모리의 터널링 절연막에 사용되는 단층의 실리콘 산화막(SiO₂)를 대신하여 유전율과 밴드갭이 서로 다른 절연막을 적층시킴으로써 게이트 전계에 대한 터널링 전류의 감도를 개선시키고, 낮은 전압에서 Program/Erase 속도와 Retention 특성을 만족시킬 수 있는 적층 구조의 터널링 절연막에 대해서 시뮬레이션을 통해서 조사하였다. 소자 시뮬레이션에 이용된 절연막은 p-type의 실리콘 기판 위에 실리콘 산화막과 실리콘 질화막(Si₃N₄)을 적층시킨 구조이며, 유효 산화막 두께(EOT: Effective Oxide Thickness)가 5 nm가 되도록 설정하였다. 그 결과, 그림에서 보는 바와 같이 동일한 EOT를 가지더라도 SiO₂ 단층으로 이루어진 절연막은 낮은 전압에서 큰 누설전류를 보이므로 데이터 유지 특성에 문제가 있음을 알 수 있다. 한편, SiO₂/Si₃N₄ 적층으로 이루어진 절연막은 낮은 전압에서는 낮은 누설전류를 보이는 반면, 전압에 터널링 전류의 증가가 커지는 것을 볼 수 있다. 또한, SiO₂의 두께가 감소할 수록 전계에 대한 터널링 전류의 감도를 개선되는 것을 볼 수 있다. 따라서, SiO₂/Si₃N₄ 적층 터널링 절연막을 적용하면 보다 낮은 전압에서 Program/Erase속도와 Retention특성을 만족하는 플래시 메모리 소자의 제작이 가능하다.

