

# SOI의 Interface trap이 1T-DRAM의 특성에 미치는 영향연구

정종완<sup>1</sup>, 조원주<sup>2</sup>

<sup>1</sup>세종대학교 나노공학과, <sup>2</sup>광운대학교 전자재료 공학과

Capacitor가 없는 transistor만을 사용하는 DRAM (capacitorless DRAM, 1T-DRAM)은 SOI transistor의 floating body effect를 이용한 소자로서 hole의 축적 여부에 따라 "1"과 "0"을 구분하며, capacitor가 없으므로 DRAM scaling에 매우 유리하다. 1T-DRAM의 연구는 sensing 방법, scaling을 향상하기 위한 이중게이트 1T-DRAM 연구와 Fully Depleted SOI (FDSOI) 1T-DRAM에 집중되어왔다. 아직까지 SOI 물질 자체의 특성이 1T-DRAM의 특성에 미치는 영향에 대한 연구는 거의 전무하다. 본 논문에서는 SOI 기판의 backside interface의 interface trap charge가 1T-DRAM의 특성에 미치는 영향을 2D 소자 시뮬레이션을 통해 알아보았다. 그림.1에서 볼수 있듯이, Backside interface trap은 kink effect를 완화시킨다. 그림.2는 interface trap은 "1" write시의 drain current를 감소시켜, sensing margin을 감소시킴을 보여주고 있다. 따라서 감소되는 hole을 만회하기 위해서는 drain전압의 증가가 필요하며 따라서 power 소모를 증가시킬 수 있으므로 SOI-BOX의 backside interface의 정확한 control이 필요함을 알 수 있다.

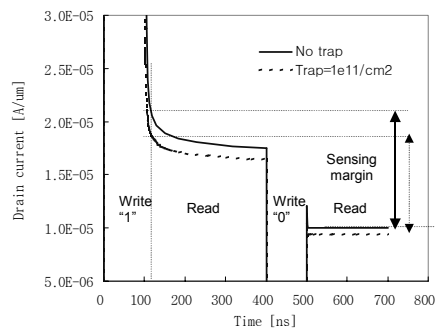
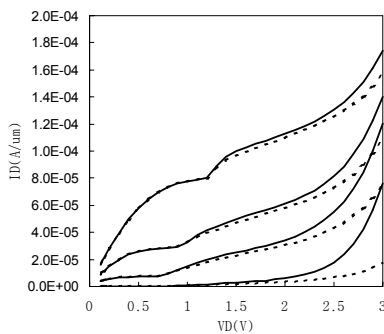


그림.1 interface에 의한 Kink 특성의 비교. 그림.2 interface trap에 의한 sensing margin 평가 (실선: no trap, 점선: Trap고려)

## 참고 문헌

1. S. Okhonin, M. Nagoga, J. M. Sallese, and P. Fazan, IEEE, EDL, NO 2, pp85-87, 2002