

# 단순빔형 MEMS 스위치를 위한 새로운 고효율 제조 공정 개발 Study of efficiency fabrication process for simple cantilever MEMS switch

\*성기은<sup>1</sup>, 유지영<sup>1</sup>, #이세현<sup>1</sup>

\*K. Sung<sup>1</sup>, J. Y. Young<sup>1</sup>, #S. Rhee<sup>1</sup>(srhee@hanyang.ac.kr)

<sup>1</sup> 한양대학교 기계공학부

Key words : RF MEMS Switch, Micro Fabrication, MEMS Process

## 1. 서론

최근 소개된 MEMS 스위치는 기존의 단점이었던 높은 구동 전압과 느린 스위칭 속도를 극복하였다.[1] 5V 미만인 4.5V 에서 구동 가능하고 스위칭 시간도 150nsec 로 기존 MEMS 스위치들이 1000~10msec 사이에서 동작하던 것과 비교해보면 백만배 정도 빠른 속도이다. 그러면서도 MEMS 스위치의 다른 장점들은 그대로 유지할 수 있었다. 그러나 문제는 제조 공정이다. 단순한 형상의 MEMS 스위치의 경우 약 8 단계의 공정과 6 개 정도의 마스크만 있으면 제작이 가능하다. 이 새로운 방식의 MEMS 스위치는 제조 공정이 매우 복잡하다. 최소한 14 단계 이상의 과정을 거쳐야 하고 마스크도 최소한 10 개 이상 필요할 것으로 생각된다. 이러한 일련의 공정들은 CMOS 공정과의 통합을 매우 어렵게 한다. 또한 복잡한 공정은 그만큼 수율을 낮추는 원인이 된다.

본 연구에서 제안된 방법은 기존의 단순한 형상의 MEMS 스위치 제조 공정을 개선하여 기본 공정을 제외하고 기존의 6 단계의 공정을 4 단계로 줄였으며 사용되는 마스크의 수도 4 개로 줄였다. 이것을 가능하게 하기 위해서 새로운 공정 조건을 개발하였다.

## 2. 효율적인 MEMS 스위치 제조 공정

단순한 형상을 갖는 외팔보 형태의 저항접촉식 직렬형 RF MEMS 스위치를 제작하는 일반적인 공정은 다음과 같다. 절연층 위에 전선 역할을 하는 하부 전극을 형성하기 위한 금속 박막 공정을 수행한다. 금속 박막 패턴이 형성되면 희생층의 적층 작업을 한다. 희생층은 폴리머 계열이나 SiO<sub>2</sub> 으로 만들어진다. 희생층은 두 번에 걸쳐 사진 식각 작업을 필요로 한다. 희생층에는 외팔보의 기둥 자리와 스위치의 접점(dimple)을 만들어야 하기 때문이다[2]. 이 두 부분의 깊이가 다르기 때문에 2 개의 마스크를 사용해서 2 번의 공정을 수행해야 한다. 희생층 작업이 완료되면 접점을 만들기 위한 금속막 공정을 수행한다. 접점이 생성되면 SiN<sub>x</sub> 을 이용하여 외팔보의 몸통을 만드는 작업을 수행한다. 외팔보가 완성되면 마지막으로 상부 전극을 만드는 공정을 수행한다. 작업이 완료되면 희생층을 제거해 외팔보를 완성하게 된다. 전체 공정에서 박막을 형성하고 사진 식각을 하는 공정은 하부 전극층, 희생층, 접점층, 외팔보층, 상부전극 층 등 5 번이 필요하고 여기에 추가하여 희생층에는 한 번더 사진 식각 작업을 해야 한다. 박막 증착은 5 번, 사진 식각 작업은 6 번이 필요하고 마스크는 6 개가 필요하다.

본 연구에서는 제작 공정을 간소화 하기 위해서 Fig. 1 과 같은 방법으로 공정을 개선하였다. 하부 전극 공정과 희생층을 적층하고 외팔보의 기둥을 위한 사진 식각 작업을 하는 것까지는 동일하다. 그러나 제안된 공정에서는 접점을 위한 식각 작업을 따로 하지 않고 접점을 만들기 위한 금속층 작업도 수행하지 않는다. 외팔보를 위한 SiN<sub>x</sub> 층을 적층하고 이 층을 식각 할 때 동시에 접점을 위한 식각을 같이 수행한다. 그 뒤 상부전극을 형성하는 방법은 동일하다. 다만 상부 전극을 형성하면서 동시에 접점도 형성한다. 이 방법을 사용하면 박막형성 작업은 4 번만 수행

하면 되고 사진 식각 작업도 4 번만 수행하면 된다. 또한 마스크의 개수도 4 개로 줄일 수 있다.

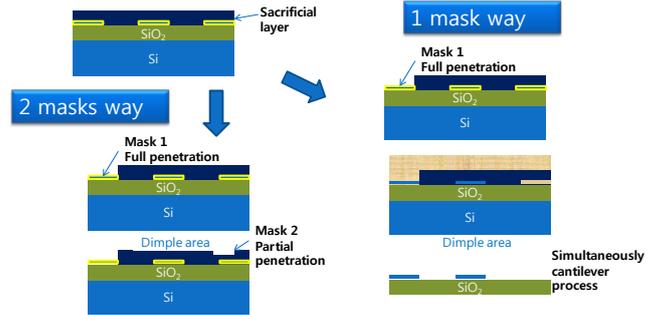


Fig. 1 Dimple fabrication process

이러한 새로운 공정의 핵심은 접점을 형성하는 방법의 차이에서 기인한다. Fig. 1 은 이러한 방법의 차이를 보여준다. 희생층에 2 개의 마스크가 필요한 기존에는 접점을 형성하기 위해서 희생층에 접점의 자리를 만들고 그 곳에 직접 금속을 만드는 방법을 사용한다. 새로운 방법은 희생층에서 한 개의 마스크만 필요하고 접점은 외팔보 층과 같은 마스크를 사용해서 공정을 진행함으로써 마스크의 개수를 줄일 수 있다. 또한 접점을 위한 금속 층을 상부 전극 층과 동시에 처리 하는 것이 가능해지기 때문에 접점을 형성하기 위한 금속층 공정을 절약 할 수 있는 장점이 있다.

새로운 공정을 적용하기 위해서는 두 가지 전제 조건이 만족해야 한다. 하나는 상부전극을 위한 금속층 적층시 접점위치까지 깊이 침투해야 하고 이것이 상부까지 연결되어 고정되어야 한다. 균일한 증착률을 보여주는 스퍼터링을 이용해 상부전극을 적층하면 이러한 문제를 해결 할 수 있다.

두번째 문제는 외팔보의 몸체를 위한 SiN<sub>x</sub> 의 식각 작업에서 동시에 접점을 위한 식각을 수행해야 하는 것이다. 이것을 해결하기 위해서 실험을 통해 새로운 공정 조건을 찾고 확인했다.

## 3. 새로운 공정 방법을 위한 식각방법 개선

Fig. 2 와 같이 적층된 막들은 하부에 층이 있는 것과 없는 것에 따라 울퉁불퉁한 모양을 갖게 된다. Fig. 2 은 외팔보를 위한 SiN<sub>x</sub> 층이 적층되고 이것을 식각하기 위해 PR 층이 도포되고 현상까지 된 상태이다. 이 상태에서 RIE 법을 사용해서 SiN<sub>x</sub> 층과 접점을 위한 SiO<sub>2</sub> 층을 동시에 식각해야 한다. RIE 를 사용하는 이유는 SiN<sub>x</sub> 과 SiO<sub>2</sub> 을 같은 조건에서 식각하는 것이 가능하기 때문이다. 또한 동일한 조건에서 SiO<sub>2</sub> 의 식각율이 SiN<sub>x</sub> 보다 작다.

Fig. 3 은 원하는 결과를 보여준다. SiN<sub>x</sub> 층은 모두 제거되어야 하며 접점 부분은 정확히 원하는 높이 만큼 식각되어야 한다. SiN<sub>x</sub> 이 식각되어야 하는 부분 밑에는 금으로 이루어진 전극이 존재하기 때문에 SiN<sub>x</sub> 이 완전히 식각된 후에 계속 식각 작업을 실시하더라도 금 막에는 큰 피해를 입히지 못한다. 따라서 SiN<sub>x</sub> 이 완전히 식각 될 수 있도록 층분이 제거해주면 된다. 그러나 접점을 위한 SiO<sub>2</sub> 의 식각

은 정확한 깊이 만큼 식각하는 것이 중요하다.

SiN<sub>x</sub> 을 완전히 제거하기 위해서는 계획대로 쌓여진 높이 이외에도 아래 층에 의해 울퉁불퉁하게 되어 보통 보다 높게 적층된 부분도 충분히 제거해야 한다. 그러나 접점을 위한 SiO<sub>2</sub> 층도 동시에 식각하고 있기 때문에 식각할 수 있는 시간에는 한계가 있다.

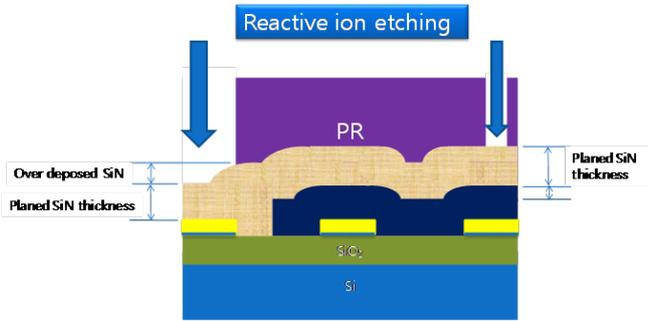


Fig. 2 Real deposition status

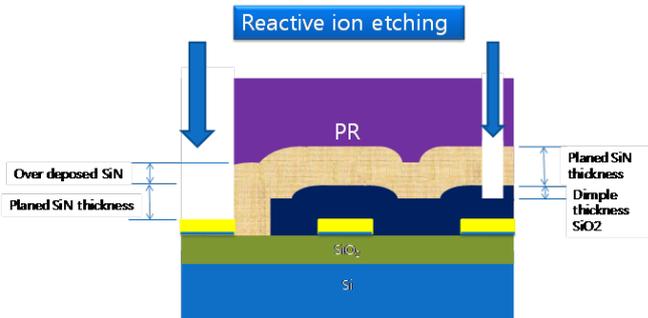


Fig. 3 Etching objective

이 시간을 정확히 찾기 위해 3 개의 웨이퍼에서 SiN<sub>x</sub> 층의 적층 작업후 각 부분에서 SiO<sub>2</sub> 과 SiN<sub>x</sub> 층의 두께를 계측하는 실험을 실시하였다. 하부에 금 박막이 있는 경우 높이 측정이 불가능 하기 때문에 금이 없는 부분을 택해서 계측하였다. SiN<sub>x</sub> 은 15000Å 의 조건으로 적층되었다. 1 번, 2 번 위치에서는 대략 비슷한 결과를 보여준다. 그러나 3 번 위치에서는 최고 1800Å 까지 더 적층된 결과를 알 수 있다.

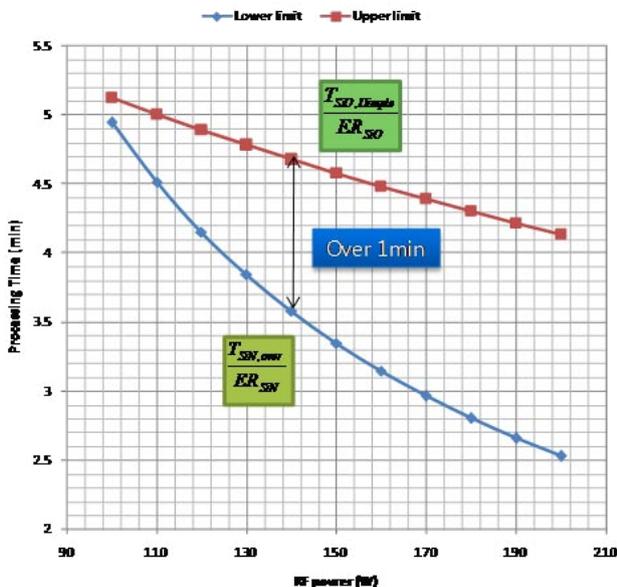


Fig. 4 Processing time and RF power

RIE 방법의 경우 RF 파워가 증가하면 식각율이 증가하는데 SiN<sub>x</sub> 과 SiO<sub>2</sub> 의 비율이 서로 다른 것으로 알려져 있다.

정확한 식각율을 확인하기 위해 기준 공정 조건인 압력 55mTorr, O2 5sccm, CF4 50sccm 의 조건에서 RF 파워를 100, 150, 200(W)로 바꾸며 SiN<sub>x</sub> 과 SiO<sub>2</sub> 의 식각율을 계측하였다. RF 파워가 증가하면서 SiN<sub>x</sub> 의 식각율의 증가가 SiO<sub>2</sub> 의 식각율의 증가 보다 4 배 이상 큰 것을 확인 할 수 있다.

SiN<sub>x</sub> 층을 모두 제거하면서 정확히 접점의 SiO<sub>2</sub> 층을 식각하기 위해서 과적층된 SiN<sub>x</sub> 의 최대값은 3000Å, 접점의 크기를 3000Å 으로 두고 식각율 식을 그래프로 그리면 Fig. 4 가 된다. 각각의 RF 파워에서 과적층된 SiN<sub>x</sub> 을 제거하기 위해서는 아래 선 이상의 시간을 식각하면 된다. 그리고 SiO<sub>2</sub> 에서 정확한 접점의 크기를 식각하기 위해서는 위쪽의 그래프의 시간만큼 식각을 수행하면 된다. 따라서 100~200W 구간 어디에서 식각을 수행해도 되고 RF 파워가 클 수록 빠른 수행이 가능하다.

확실히 SiN<sub>x</sub> 을 제거하면서 접점을 형성하기 위해서 두 시간의 차가 1 분 이상 생기는 RF 파워 이상이 안정적이다. 이러한 RF 파워는 134W 이고 가장 가까운 실험점인 150W 를 최적 조건으로 선택하였다. 이 최적 조건은 Table 1 에서 확인할 수 있다.

Table 1 SiNx with dimple etching RIE recipe

Legend	value
O2(sccm)	5
CF4(sccm)	50
Pressure(mTorr)	55
RF power(W)	150
SiNx:Etching rate(Å/min)	900
SiO2:Etching rate(Å/min)	666

#### 4. 결론

RF MEMS 스위치를 최소한의 공정으로 제조하기 위해 새로운 방식의 제조 방법을 제안하고 새로운 방법에 사용하기 위한 새로운 공정 조건을 찾았다.

신호 전달을 위한 접점의 제작 방법을 개선하여 기존의 6 단계의 공정을 4 단계로 감소시켰고 사용되는 마스크의 수도 6 개에서 4 개로 줄였다. 이 방법은 기존에 접점을 위해 따로 식각을 하고 공정을 진행하던 것을 접점 공정을 다른 공정속에 포함시켜 동시에 진행 할 수 있도록 하여 접점 공정을 줄일 수 있었다.

개선된 제작 방법을 적용하기 위해 기존의 공정을 개선하여 새로운 제작 방법을 사용할 수 있도록 하였다. 새로운 접점 공정에 적합한 공정을 만들기 위해 SiN<sub>x</sub> 의 적층 현상을 실험을 통해 파악하고 이것을 정확히 식각 할 수 있는 공정 조건을 실험을 통해 찾았다.

#### 후기

본 연구는 서울특별시의 전략산업 혁신 클러스터 육성 지원사업 및 2007 년 두뇌한국 21 사업의 지원으로 수행되었음.

#### 참고문헌

- S. D. Lee, et al, "An RF-MEMS Switch With Low-Actuation Voltage and High Reliability", Journal of Microelectromechanical Systems, 15(6), 1605-1611, 2006
- Gabriel M. Rebeiz, "RF MEMS THEORY, DESIGN, AND TECHNOLOGY", WILEY INTER-SCIENCE, 2003..