

서멀 비아 설계에 따른 PCB의 방열특성 Thermal Via Design for Heat Dissipation in PCB

*#김종운¹, 가오산¹, 홍주표¹, 정찬엽², 최석문¹, 이성¹

*#J. W. Kim(jw26.kim@samsung.com)¹, S. Gao¹, J. P. Hong¹, C. Y. Chung², S. M. Choi¹, S. Yi¹

¹ 삼성전기 중앙연구소 PKG팀, ² 삼성전기 HDI사업팀 HDI개발그룹

Key words : Thermal via, Printed circuit board, Heat dissipation, Electronic packaging

1. 서론

전자기기의 소형화와 고성능화가 요구됨에 따라, 휴대폰이나 network module 등에 실장되는 chip의 발열이 커지는 반면, heat sink의 역할을 하는 기판의 두께와 면적은 제한되고 있다. 이에 따른 chip 온도의 상승은 chip 성능을 저하시킬 뿐만 아니라 기계적 신뢰성을 악화시키고 휴대 기기의 경우 사용자에게 불편감을 주는 원인이 될 수 있다. 따라서 chip에서 발생하는 열을 효과적으로 방출시키기 위한 방열(heat dissipation) 설계는 전자 packaging에 중요한 이슈가 되고 있다.

Chip에서 발생하는 열은 전도(convection)를 통해 기판으로 전달되고, 기판과 chip의 표면에서 대류(convection)를 통해 외부의 공기로 배출된다. 그런데 전기적 신호를 전달하기 위한 인쇄회로기판(printed circuit board, PCB)에서 절연층의 낮은 열전도도(thermal conductivity) 때문에 heat spreading이 원활하게 이루어지기 어려우며, 소형 제품에는 대류특성 향상을 위한 냉각 장치의 추가도 어렵다. 이러한 문제를 해결하고자 두께 방향의 열전도 향상을 위해 구리 서멀 비아(thermal via)를 추가할 수 있는데, 고밀도의 전기 배선 때문에 그 위치와 숫자가 제한된다. 또한 면내 방향의 열전도 향상을 위한 금속 코어(metal core)를 적용하기도 한다. 따라서 thermal via 설계와 core 재료에 따른 방열 특성을 파악하는 것이 필요하다.

본 연구에서는, 발열 chip이 실장된 PCB의 열전달 유한요소해석(finite element analysis)을 수행하여 package의 온도 분포를 simulation하였다. Thermal via의 위치와 밀도, 그리고 core 재료를 달리 하여 chip 온도에 미치는 영향을 알아보았다.

2. 모델링

PCB는 core층을 중심으로 절연층과 구리 회로층이 번갈아 적층되고 표면에 SR(solder resist)층이 코팅된 구조를 가지며 회로층간의 전기적 및 열적 연결을 위한 via가 형성되어 있다. Fig. 1은 chip이 실장된 PCB의 개략도를 나타낸다. Chip과 PCB의 표면적과 두께를 유지하도록 2차원 축대칭 모델의 치수를 결정하였으며, ABAQUS 6.7(SIMULIA Inc., USA)을 사용하여 과도(transient) 열전달 유한요소해석을 수행하였다.

Fig. 2는 thermal via가 PTH(plate-through hole)로서 표현된 유한요소모델을 나타낸다. PCB에 대한 PTH의 부피비를 PTH sectional density로 정의하였다. 절연층과 SR층의 재료는 각각 glass/epoxy 복합재료와 epoxy 수지가 사용되었고, core 재료로는 glass/epoxy 복합재료, 알루미늄, 구리를 사용하였다. 열전달 해석에 필요한 각 재료의 밀도, 비열, 열전도도 물성치는 측정치 및 문헌자료 [1]를 활용하였다.

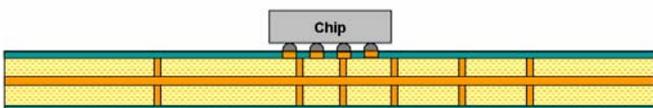


Fig. 1 Schematic of the package

발열은 chip 내부에서 균일한 body heat flux로 주었고, 경계 조건은 표면에서 외부 공기와의 온도 차에 비례하는 surface heat flux로 주었다. 이 때, 대류 열전달계수(convective heat transfer coefficient)는 $6 \text{ W/m}^2\text{K}$ [2]이었고, 시간에 따라 변화하는 외부 공기의 온도는 Fig. 3의 측정치를 사용하였다.

3. 해석 결과

PCB의 방열특성에 대한 예비 simulation을 다음과 같이 수행하였다. Core 재료가 알루미늄이고 PTH가 균일하게 분포할 경우에 15분 경과 시의 온도 분포를 Fig. 4에 나타내었다. PTH sectional density가 0, 0.01, 0.1로 커질수록 균일한 온도 분포를 보이며, chip의 상부 표면에 형성되는 최고 온도가 감소하는 것을 알 수 있다. Fig. 5는 chip 상부 표면 온도가 시간 경과에 따라 상승하다가 15분 정도부터 일정해지며, PTH가 많아질수록 chip 온도는 감소하는 것을 보여준다. Figs. 6과 7은 SR층의 개폐와 PTH 위치에 대한 해석 결과를 나타내며, chip과 PCB를 연결하는 PTH가 방열 특성에 지배적인 영향을 주는 것을 알 수 있다.

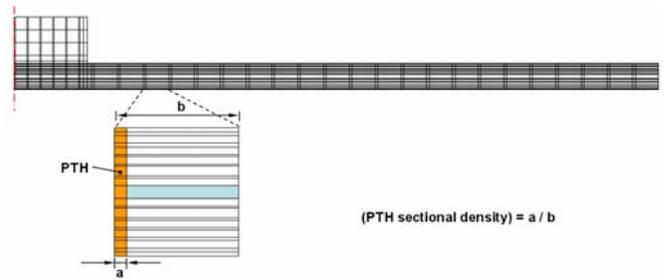


Fig. 2 Finite element model of the package

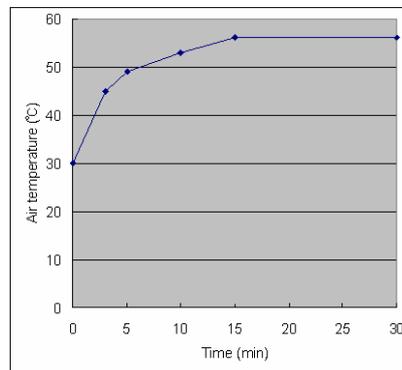


Fig. 3 Temperature profile of ambient air

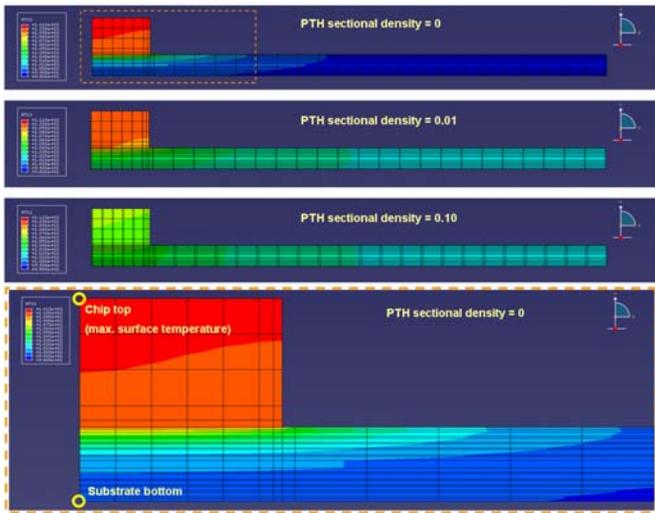


Fig. 4 Temperature distribution at 15 min. from pre-simulation

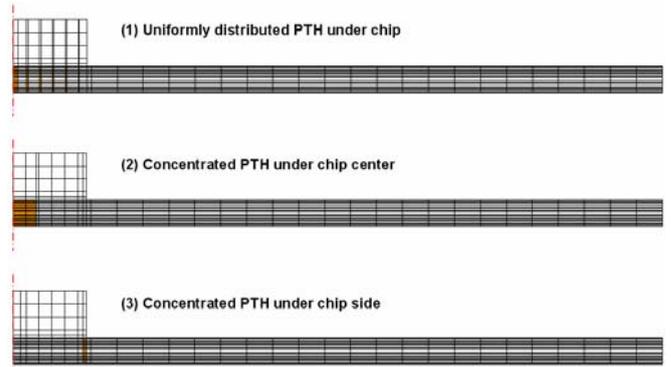


Fig. 8 Finite element models of PTH locations

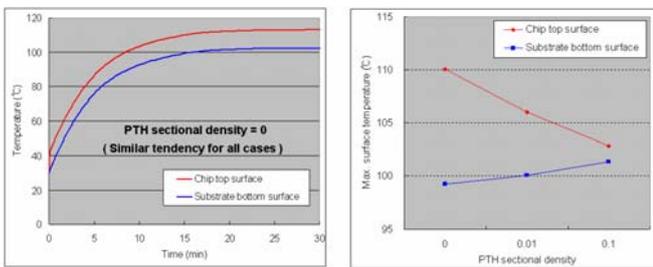
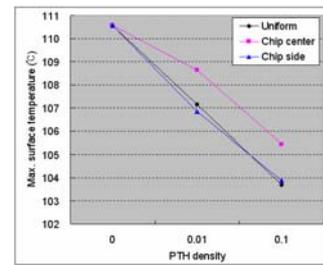
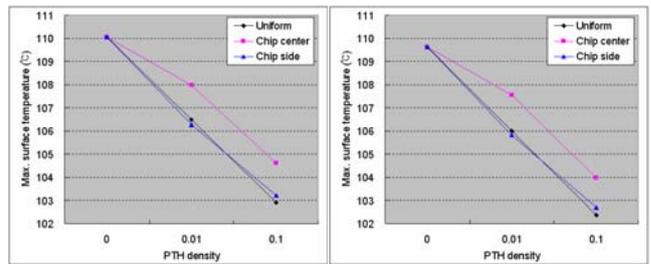


Fig. 5 Temperatures from pre-simulation



(a) Glass/epoxy core



(b) Al core

(c) Cu core

Fig. 9 Chip temperatures w. r. t. PTH location and PTH sectional density: (a) Glass/epoxy core; (b) Al core; (c) Cu core

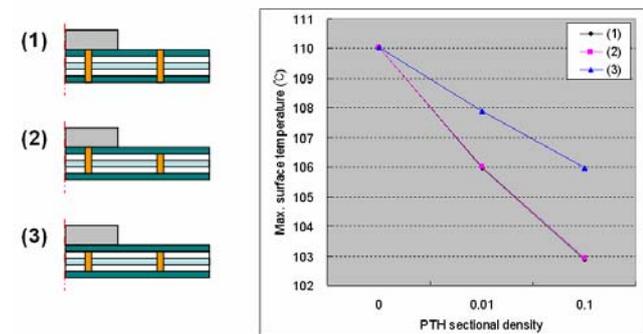


Fig. 6 Chip temperatures w. r. t. opening of SR layer

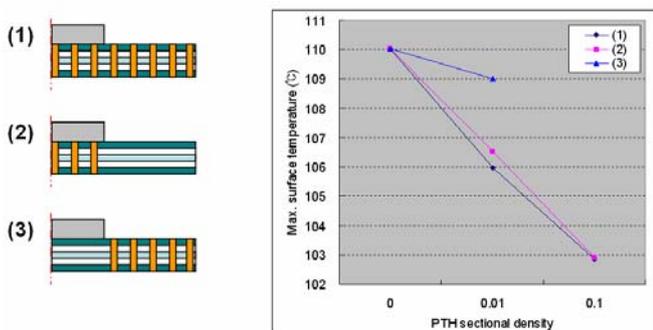


Fig. 7 Chip temperatures w. r. t. PTH location

이상의 예비 simulation 으로부터, PTH 는 SR 층을 통과하고, chip 하부의 PTH 만 고려하며, 15 분 경과시의 chip 상부 표면 온도로서 PCB 의 방열특성을 비교하고자 하였다. 실제 parameter 로는 core 재료, PTH 위치, PTH sectional density 를 고려하였다. Fig. 8 과 같이 PTH 위치가 chip 하부에 균일하게 분포, chip 중앙의 하부에 집중, chip 가장자리의 하부에 집중될 때를 비교하였다. Fig. 9 에 parameter 에 따른 chip 온도 해석 결과를 나타내었다. Core 재료의 열전도도가 높

은 순서인 구리, 알루미늄, glass/epoxy 순서로 chip 온도가 감소되었다. PTH 위치는 chip 하부에 균일하게 분포하거나 chip 중앙 하부에 집중되었을 때 chip 온도가 낮았다. 이는 Fig. 4 와 같이 chip 가장자리의 온도가 중앙보다 낮아서 PTH 의 영향이 비교적 적기 때문이다. 또한 다른 parameter 보다 PTH sectional density 의 증가로써 chip 온도를 가장 많이 낮출 수 있었다.

4. 결론

본 연구에서는 열전달 simulation 을 통해 thermal via 의 개수와 위치, core 재료에 따른 방열특성을 비교하였다. 이로부터, chip 하부의 thermal via 를 최대한 늘리는 것이 중요하고, 그 다음으로 thermal via 를 chip 중앙 하부에 집중하거나 chip 하부에 균일하게 배치하는 것이 유리하며, 열전도도가 높은 core 재료를 사용하여 chip 온도를 감소시킬 수 있음을 알 수 있었다.

참고문헌

- Hsu J. T. and Vu-Quoc L., "A Rational Formulation of Thermal Circuit Models for Electrothermal Simulation – Part II: Model Reduction Techniques," IEEE Transactions on Circuits and Systems, **43**, 733-744, 1996.
- Bar-Cohen A., "Bounding Relations for Natural Convection Heat Transfer from Vertical Printed Circuit Boards," Proceeding of the IEEE, **73**, 1388-1395, 1985.