

CIB 패키지의 휨 해석 Warpage simulation of CIB packages

*이상혁¹, #김선경², 강남기³, 박세훈³

*S. H. Lee¹, #S. K. Kim(sunkkim@snut.ac.kr)², N. K. Kang³, S. H. Park³

¹서울산업대학교 나노아이티 공학과, ²서울산업대학교 금형설계학과, ³전자부품연구원

Key words : CIB Package, Cip-in-Board, Warpage, Simulation

1. 서론

최근 디지털 IT (Information Technology) 기기의 고성능 기반아래 PCB(Printed circuit board) 인쇄 회로기판은 과거에는 단순히 전기적인 신호를 전달하는 회로판으로 비교적 제작이 용이한 제품으로 인식되었으나, 실장 되는 칩의 사이즈가 작아지고 라인간의 피치 및 선 폭이 급격히 좁아짐에 따라 고도의 제작기술이 요구되고 있다. 특히 PCB 가 차지하는 면적의 대부분이 전자 제품의 크기를 점유하고 있어서, PCB 를 얼마나 작고 얇게 만들 수 있는가가 경박, 단순한 제품을 구현하는데 큰 관건이 되고 있다. 또한 마이크로시스템(Microsystem)의 패키징(Packaging)기술 전반에 큰 영향을 미치고 있다. 그 중 CIB(Chip in Board)기술은 PCB 위에 실장 하던 칩을 PCB 내층에 삽입해 PCB 내부 자체에서 역할을 수행 할 수 있도록 고안된 것이다. [1] 그런데 CIB 공정이 진행된 후 휨이 발생하여 신뢰성을 저하시킨다. 하지만 전자기적 문제의 해결을 위한 기술적인 방안들은 많이 알려져 있으나 기계적인 문제, 즉 응력과 변형의 문제에 관한 기술적인 방안 연구는 미흡하다. 따라서 본 연구에서는 CIB 패키지의 휨 시뮬레이션(Warpage Simulation)을 통해 수치를 모사 하여 시행착오 방식으로 이루어지고 있는 설계 방식을 체계적이고 정량화된 방식으로 개선할 수 있도록 연구해 보았다.

2. CIB 공정

CIB 공정은 Fig1 을 통해 나타내고 있다. Fig1 a) 첫 번째 단계로 프리프레그(FR4) 3 장의 양면에 동박을 열압착 공정을 통해 붙였다. Fig1 b) 그리고 Chip Cavity 부분을 가공하고 동박 부분을 CIB 의 휨을 고려해서 폭 1mm로 칩을 둘러싸도록 설계해서 에칭을 했다. 칩 사이즈는 가로 10mm, 세로 10mm 이다. Fig1 b) 다음 단계로 칩을 집어넣고 양면에 반경화 상태의 FR4 와 그 위에 동박을 올리고 열압착한 뒤 윗 부분의 동박 패턴을 에칭 한다 Fig1 d) 마지막 단계로 Via 가공과 도금을 하면 CIB 를 완성하게 된다. 완성된 CIB 의 두께는 270 μm 이다. 이런 공정 과정에서 Via 가공과 도금과정 전에 CIB 패키지의 휨이 발생한다. 따라서 본 연구에서는 Via 가공과 도금과정은 해석에 고려하지 않고, 열압착에서 온도가 190 $^{\circ}\text{C}$ 에서 90 $^{\circ}\text{C}$ 로 떨어지는 것을 고려하여 해석 하였다. 해석은 휨을 고려해서 넣었던 폭 1mm 의 동박을 포함하는 모델의 해석값과 포함하지 않는 모델의 해석값을 비교하고 칩 사이즈의 변화에 따른 CIB 휨를 해석하고 값을 비교 하였다.

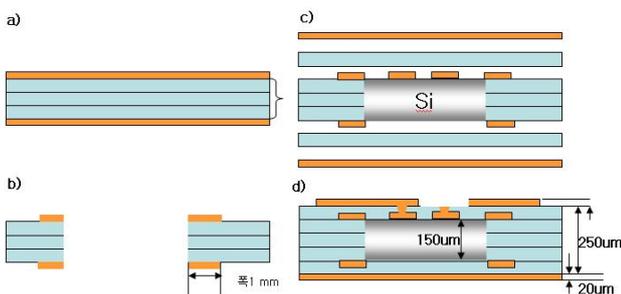


Fig 1. CIB (Chip-in-Board) Process

3. 시뮬레이션 모델링

휨 해석을 위한 CIB 의 3-D 모델링은 간단하지 않다. 동패턴의 형상은 전자 아트 워크 모델링 툴인 2-D ECAD(Electronic Computer-aided Design)에서 구성된다. ECAD 에서 구성된 모델을 3-D MCAD(Machanical Computer-aided Design)로 전환해야 한다. ECAD 에서 동패턴의 폴리라인(Polyline)을 생성하였다. 그리고 그 파일을 2-D MCAD 로 불러들여 라인들을 영역으로 전환하고, 마지막으로 3-D MCAD 에서 얇은 솔리드 3-D 모델로 전환하였다. [2] Fig2. 을 보면 MCAD 를 이용하여 만들어진 형상을 볼 수 있다.

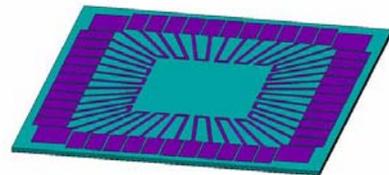


Fig 2. Three-dimensional model for the considered CIB

CIB 휨 시뮬레이션은 아주 조밀한 메시(Mesh) 조직을 요구한다. 여기서 중요한 문제점은 동층과 절연층 사이의 노드(Node)의 공유인데 위아래 패턴이 다르기 때문에 공유되기 어렵다. CIB 휨의 시뮬레이션을 위해 ANSYS 를 사용하였다. 불 일치 하는 메시 형상으로 인해 MPC(Multi-Point Constraint)알고리즘을 사용했다.[2] 동패턴의 메시는 3-D Shell 요소(Element) SHELL181 을 사용하였고 절연층의 메시는 3-D Solid 요소 SOLID187 을 사용했다. 해석을 위해 사용한 요소들은 선형 형상의 기능과 선형 탄성체 해석을 하기에는 매우 좋다.

경계조건(Boundary Condition)은 모델의 바닥면 가운데 부분 네 점을 고정했다. 그리고 열은 CIB 열압착 조건에서 사용된 190 $^{\circ}\text{C}$ 에서 90 $^{\circ}\text{C}$ 로 식혀짐을 고려하였다. CIB의 치수는 가로 18mm, 세로 18mm 이다. 동박의 물성치 CTE(Coefficient Thermal Expansion)값은 x방향, y방향으로 18.92E-6 $\mu\text{E}/^{\circ}\text{C}$, 16.33E-6 $\mu\text{E}/^{\circ}\text{C}$ 이고 탄성계수(Young's modules)는 82.74GPa, 82.74GPa이며 포아송비(Poisson's ratio)는 0.33 이다. 절연체(FR4)의 물성은 각각 20.45E-6 $\mu\text{E}/^{\circ}\text{C}$, 25.11E-6 $\mu\text{E}/^{\circ}\text{C}$ 이고 15.17GPa, 12.41GPa이며 0.16 이다. 칩(Si)의 물성은 각각 26E-6 $\mu\text{E}/^{\circ}\text{C}$ 이고 12.9GPa 이며 0.28 이다. 본 연구에서 휨 측정값은 Z축 변형의 최고값과 최저값의 차이로 한다. 따라서 ($=z_{\text{max}} - z_{\text{min}}$)으로 값을 정할 수 있다. 물성치는 문헌에서 사용된 물성치들을 사용하였고 이런 물성치들은 휨의 경향과 상대적인 크기에 크게 작용하지 않으므로 안전하다. 대략 13 만개 노드들을 휨 해석을 하는데 사용하였다. 계산은 선형적 탄성문제를 풀 수 있는 구조 해석 툴 안에서 실시 되었다. 해석 계산 시간은 PC에서 30 분안에 계산 되었다.

4. 휨 해석 결과

먼저 휨을 고려해서 넣었던 폭 1mm 동박을 포함하지 않은 CIB 와 포함한 기존의 CIB 의 휨을 비교 해석해 보았다. Fig 3 을 보면 모델의 차이를 알 수 있다.

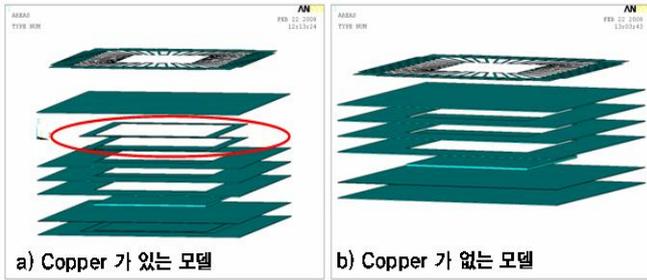


Fig 3. Compare of CIB simulation Model

해석 결과를 Fig 4 를 통해서 보면 휨의 경향은 유사함을 볼 수 있다. Fig 4 a)는 동박을 포함한 경우이고 b)는 포함하지 않은 경우이다. 동박을 포함한 CIB 의 측정값은 0.089mm 였고 포함하지 않은 CIB 의 측정값은 0.1mm 였다. 따라서 휨의 크기는 포함하지 않은 CIB 가 포함한 CIB 보다 더 큼을 알 수 있다.

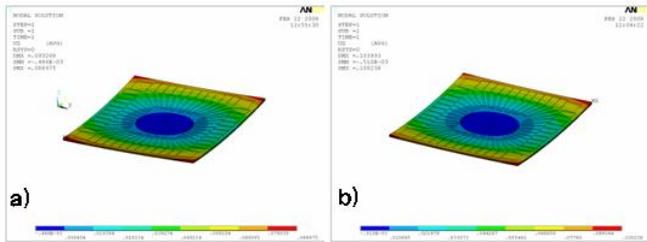


Fig 4. Result of CIB simulation

해석결과 동박을 포함한 경우가 포함하지 않은 경우보다 휨이 작음을 알 수 있다. 따라서 동박을 포함한 모델에서 칩 사이즈를 가로 3mm 세로 3mm 인 경우와 각각 5mm, 8mm, 10mm 인 경우를 해석하여 비교해 보았다. 해석 결과 휨의 경향은 유사함을 Fig 5 를 통해서 볼 수 있다. 순서대로 Fig 5 a)는 3mm 이고 b)는 5mm, c)는 8mm, d)는 10mm 일 경우의 해석 결과 형상이다. CIB 의 측정값은 Table 1 에 나타냈다. 그리고 그에 따른 비교를 Fig 6 을 통해 볼 수 있다. 비교 결과 칩 사이즈가 작을수록 휨이 더 커짐을 알 수 있다. 그리고 8mm 와 10mm 일 경우의 휨 값은 거의 유사하나 8mm 경우에 더 휨이 작았다.

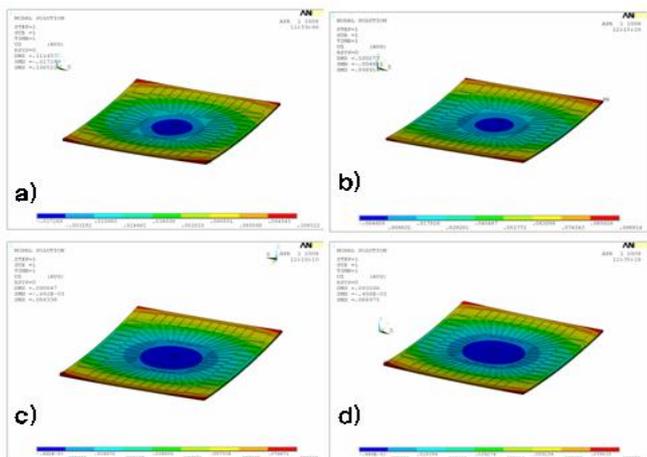


Fig 5. Result of CIB simulation follow Chip size

Table 1. Warpage value of CIB simulation

Chip size	Z-displacement	Z-displacement	Warpage value
	MAX	MIN	
3mm	0.108522	-0.17269	0.281212
5mm	0.096914	-0.004655	0.101569
8mm	0.086338	-0.000662	0.087
10mm	0.088975	-0.000486	0.08946

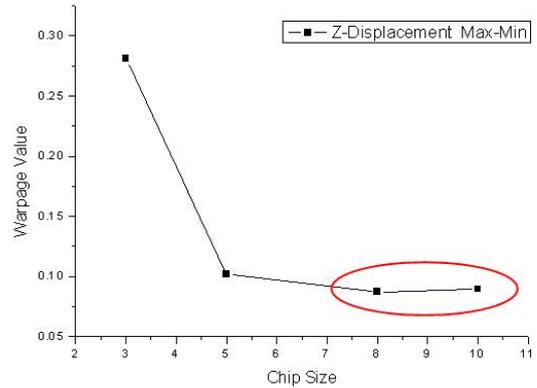


Fig 6. Compare of warpage values

5. 결론

본 연구에서는 CIB 휨 해석은 기계적인 문제, 즉 변형의 문제에 관한 기술적인 방안을 위해 연구 되었다. CIB 휨에 영향을 미칠 수 있는 여러 조건들을 해석을 통해 확인 하였다. 먼저 칩을 둘러싼 폭 1mm 동 패턴이 있는 CIB 는 없는 CIB 보다 휨 값이 낮음을 알 수 있었다. 따라서 폭 1mm 의 동 패턴이 있는 상태에서 칩 사이즈의 변화를 주어 해석을 실시하였다. 칩 사이즈에 따른 CIB 의 휨 값은 칩 사이즈가 작을수록 휨 값이 커졌다. 그리고 칩 사이즈가 8mm 와 10mm 인 경우에는 휨 값이 거의 유사하였으나 8mm 경우에 더 작음을 비교할 수 있었다. 본 연구의 CIB 휨 해석을 통해서 설계를 체계적이고 정량화 하여 CIB 설계의 시행착오를 줄일 수 있게 되었다.

6. 후기

본 논문은 서울테크노파크의 차세대 패키징 공정·장비 실용화 사업의 일환으로 지식경제부 지원을 받아 수행되었으며, 이에 관계자 여러분께 감사드립니다.

참고문헌

1. R.Tuominen., J.K.Kivilahti., "A Novel IMB Technology for Active and Passive Components" Espoo,Finland,269-273, 2000
2. Sun Kyoung Kim, Sang-Hyuk Lee, "Optimal design of dummy pattern for minimizing PWB warpage" IPDO,US,2007
3. P. Hutapea, J. L. Grenestedt, M. Modi, M. Mello, K. Frutsky, "Prediction of microelectronic substrate warpage using homogenized finite element models", Microelectronic Engineering 83, 557-569,2006
4. A. Aintila, J. Sarkka., J.K.Kivilahti., "Development of High-Density Interconnection Techniques for Contactless Smart Cards" Espoo,Finland, 55-60, 2000