

## HfO<sub>2</sub>와 AlO<sub>3</sub>를 이용한 터널링 절연막의 전기적 특성

오세만<sup>1</sup>, 박군호<sup>1</sup>, 정명호<sup>1</sup>, 김관수<sup>1</sup>, 정종완<sup>2</sup>, 조원주<sup>1</sup>

<sup>1</sup>광운대학교 전자재료공학과, <sup>2</sup>세종대 나노공학과

급속도로 발전하고 있는 mobile 제품 및 멀티미디어 제품에 포함되는 메모리 소자와 초고속, 초고 집적, 멀티미디어 기능을 갖춘 정보통신 하드웨어의 성능을 획기적으로 향상 시킬 수 있는 기반 기술 중 하나인 비휘발성 메모리 소자의 터널링 절연막에 관한 연구(TBE-tunnel barrier engineering)는 소자의 크기를 30nm이하로 줄이고 우수한 동작 특성을 확보하기 위한 필수적인 non-classical CMOS기술로써, 최근 많은 관심을 모으고 있다. 본 연구에서는 high-k 물질을 터널링 절연막으로 사용함으로써 소자의 특성을 향상시키는 방법에 대하여 연구하였다.

n-type과 p-type Si wafer위에 thermal oxide를 2 nm 성장 시킨 후, 다양한 두께의 high-k 물질 (Al<sub>2</sub>O<sub>3</sub>, HfO<sub>2</sub>)을 증착하여 MOS (Metal Oxide Silicon) Capacitor 구조의 시료를 제작 하고, 절연막의 특성을 조사 하였다. Al<sub>2</sub>O<sub>3</sub>막과 HfO<sub>2</sub>막은 ALD (Atomic Layer Deposition) 장비를 이용하여 각각 430 °C와 300 °C에서 증착하였다. 다음으로 E-beam evaporator를 이용하여 약 150 nm 의 Al을 증착하고 photo lithography 공정을 이용하여 310 μm × 230 μm 크기의 게이트 전극을 형성하였다. 마지막으로 제작된 MOS Capacitor의 current-voltage, capacitance-voltage, CCS 특성을 관찰하였다.

그 결과, 그림과 같이 HfO<sub>2</sub>와 SiO<sub>2</sub> 적층 절연막은 기존의 단일 SiO<sub>2</sub> 절연막에 비하여 높은 터널링 특성을 가지는 것을 확인 하였다. 또한 HfO<sub>2</sub> layer를 일정 두께 이상 적층 하였을 경우에는 charge trap layer로 작용하는 것을 확인 하였으며 이를 이용하여 고성능의 새로운 비휘발성 메모리를 제작 의 가능성을 보였다.

감사의 글

본 연구는 지식경제부 주관 차세대 테라비트급 비휘발성 메모리 개발 사업의 지원에 의해 연구되었음.