

Mixed-mode 시뮬레이션을 이용한 SiC DMOSFET의 스위칭 특성 분석

강민석¹, 최창용¹, 방욱², 김상철², 김남균², 구상모^{1*}
 광운대학교¹, 한국전기연구원²

Mixed-mode simulation of switching characteristics of SiC DMOSFETs

Min-Seok Kang¹, Chang-Yong Choi¹, Wook Bang², Sang-Chul Kim², Nam-Kyun Kim², Sang-Mo Koo^{1*}
 Kwangwoon Univ.¹, Korea Electrotechnology Research Institute (KERI)²

*Corresponding Author : smkoo@kw.ac.kr

Abstract : SiC power device possesses attractive features, such as high breakdown voltage, high-speed switching capability, and high temperature operation. In general, device design has a significant effect on the switching characteristics. It is known that in SiC power MOSFET, the JFET region width is one of the most important parameters. In this paper, we demonstrated that the switching performance of DMOSFET is dependent on the width of the JFET region by using 2-D Mixed-mode simulations. The 4H-SiC DMOSFETs with a JFET region designed to block 800 V were optimized for minimum loss by adjusting the parameters of the n JFET region, CSL, and n-drift layer. It has been found that the JFET region reduces specific on-resistance and therefore the switching characteristics depend on the JFET region.

Key Words : Silicon Carbide, Switching, 4H-SiC, DMOSFET, JFET

1. 서론

최근에 고온, 고출력 및 고주파를 위한 반도체 전력 소자의 요구가 급증함에 따라 전자회로의 중요 소자로 탄화규소(4H-SiC)에 관해 많은 연구가 진행되고 있다. 4H-SiC는 ~3.2eV 정도의 높은 에너지 밴드 갭을 갖고 있으며 실리콘보다 절연파괴 강도가 약 10배 이상, 열전도도는 약 3배 정도 높아서 고전압 전력 소자로서 높은 열적 안정성과 열전도성을 가지는 차세대 재료이다. SiC를 전력 소자로서 사용할 경우 높은 항복전압, 빠른 스위칭 속도, 고온에서 동작할 수 있는 특징을 가진다. 최근 SiC 전력반도체 스위칭 소자를 개발하려고 노력하고 있다.

본 연구에서는 4H-SiC DMOSFET 소자를 포함하는 스위칭 회로를 시뮬레이션하여 소자의 구조에 따른 스위칭 특성을 분석해보았다.

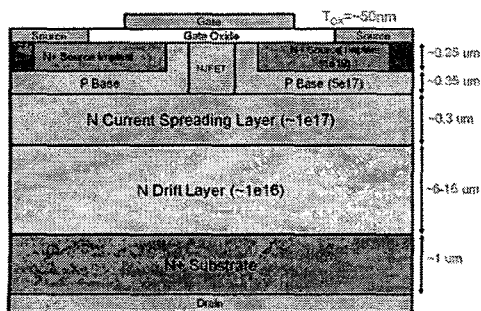


그림 1. 4H-SiC DMOSFET 구조도

2. 실험

그림 1은 본 연구에서 사용된 800V 4H-SiC DMOSFET의 단면 구조를 나타냈다. current spreading layer (CSL)는 p-base 영역 모서리의 전류 집중을 감소시키고, drift layer의 conductivity modulation을 증가시키며, JFET 영역은 전력용 소자의 전체 온-저항을 감소시킴으로써 스위칭 특성을 향상시키는 역할을 한다. 소자의 최적화를 위하여 2차원 수치해석 기반 소자 시뮬레이터를 이용하여 n-drift layer, CSL, JFET 영역의 두께와 도핑농도를 조절하여 시뮬레이션 하였으며, 완성된 SiC DMOSFET의 정적인 특성을 분석하여 JFET 영역의 폭(W_J)에 따른 스위칭 특성의 변화를 분석하였다.

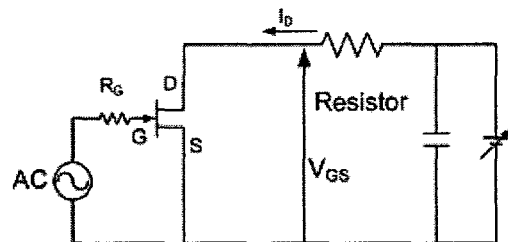


그림 2. Resistive Load Circuit

그림 2와 같은 스위칭 특성 시뮬레이션을 수행하기 위해서 소자를 포함하는 회로 시뮬레이터인 Silvaco사의 Mixed-Mode 모듈을 사용하였다. Mixed-mode는 SPICE 넷리스트에 맞는 회로 서술에 따라 소자를 배치하고, Atlas

2D 모델을 조합하여 물리적으로 설계된 소자의 회로 특성을 분석할 수 있는 시뮬레이터이다. SiC DMOSFET의 W_J 에 따라 turn-on 시간을 기준으로 스위칭 특성을 분석하였다.

3. 결과 및 검토

전력소자에서 turn-on 동작 속도는 소자가 turn-on시 드레인 전류가 전도하기 전에 소자의 입력 캐패시턴스를 충전하는데 걸리는 시간과 소자 내부의 저항 성분의 합에 의해서 결정짓게 된다.

그림 3은 시간에 따른 드레인 전류와 드레인 전압의 변화를 나타내고 있다. 그 결과, 그림 3(a)에서 W_J 는 $1\mu\text{m}$ 일 때의 turn-on 동작 속도는 20ns 이고, 그림 3(b)에서 W_J 는 $2\mu\text{m}$ 일 때는 12ns 로 스위칭 시간이 8ns 차이가 생김을 확인하였다. 소자의 turn-on 동작 속도는 W_J 가 길어짐에 따라 빨라지고 있는데, 이는 W_J 가 길어짐에 따라 소자의 온-저항 감소에 기인한 것으로 예상된다. turn-on 동작 속도가 느려지는 이유는 W_J 가 감소함에 따라 P base와의 접합에 의한 depletion 영역이 줄어들어 소자의 온-저항 증가에 기인한 것으로 판단된다.

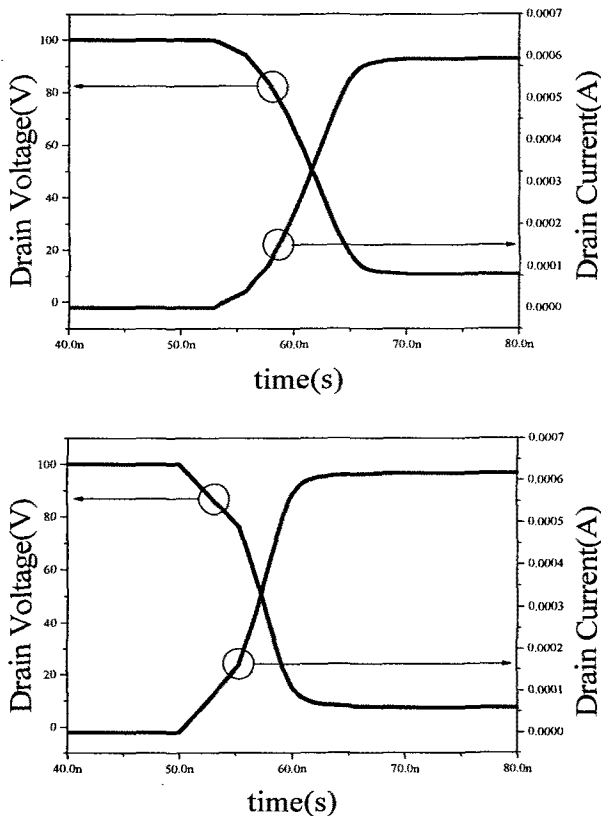


그림 3. JFET 영역의 폭에 따른 turn-on 특성 (a) JFET region $1\mu\text{m}$ (b) JFET region $2\mu\text{m}$

또한 2D 시뮬레이터를 이용하여 W_J 에 따른 SiC DMOSFET의 I-V 특성을 분석하였다. 그림 4에서와 같이 W_J 가 $1\mu\text{m}$ 에서 $2\mu\text{m}$ 로 길어질 때 소자의 온-저항은 65% 감소함을 나타내었다. W_J 가 길어짐에 따라 온-저항이 감

소하여 스위칭 특성이 향상되는데 기여하는 것을 확인할 수 있다.

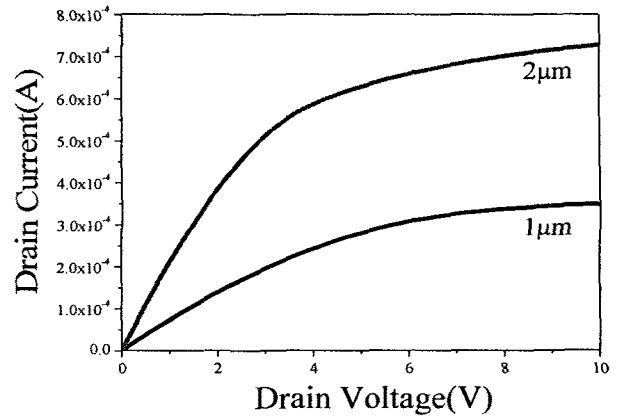


그림 4. JFET 영역의 폭에 따른 I-V 특성의 변화

본 연구를 통하여 4H-SiC DMOSFET의 Drift 영역, CSL, JFET 영역의 도핑 농도와 두께를 변화시켜 온-저항으로 인한 손실을 최소화함으로써 스위칭 특성을 개선할 수 있다고 판단된다.

4. 결론

본 연구에서는 4H-SiC DMOSFET 소자를 포함하는 회로를 Mixed-mode를 사용하여 시뮬레이션을 통해 스위칭 특성을 확인하였다. 시뮬레이션을 수행하여 스위칭 특성을 W_J 변수로서 turn-on시 transient 특성을 조사하였다. W_J 가 $1\mu\text{m}$ 에서 $2\mu\text{m}$ 증가하였을 때 스위칭 속도는 8ns 향상하였다. 소자의 정적인 특성을 2D 시뮬레이터를 사용하여 확인하였는데, W_J 가 $1\mu\text{m}$ 에서 $2\mu\text{m}$ 로 길어질 때 소자의 온-저항은 65% 감소하였다. 따라서 W_J 변화는 온-저항에 영향을 미치며, 소자의 스위칭 속도를 변화시킨다. 그러므로 소자의 JFET 영역은 스위칭 동작 속도를 향상시키는데 영향을 미친다.

감사의 글

본 논문은 산업자원부가 지원하는 국가 반도체연구사업인 “시스템집적반도체기반기술개발사업 (시스템IC2010)”을 통해 개발된 결과임을 밝힙니다.

참고 문헌

- [1] Tomohiro Tamaki, Ginger G. Walden, Yang Sui, and James A. Cooper, IEEE TRANSACTIONS ON ELECTRON DEVICES, Vol. 55, pp. 1920-1928, 2008.
- [2] Sei-Hyung Ryu, Anant Agarwal, James Richmond, John Palmour, Nelson Saks, and John Williams, IEEE ELECTRON DEVICE LETTERS, Vol. 23, pp. 321-313, 2002.
- [3] Asmita Saha and James A. Cooper, IEEE TRANSACTIONS ON ELECTRON DEVICE, Vol. 54, pp. 2786-2791, 2007.