

## Oxidized-SiN으로 형성된 4H-SiC MOS capacitor의 전기적 특성

문정현\*, 김창현\*, 이도현\*, 방욱, 김남균, 김형준\*

\*서울대학교, 한국전기연구원

### Electrical properties of Metal-Oxide-Semiconductor (MOS) capacitor formed by oxidized-SiN

Jeong Hyun Moon\*, Chang Hyun Kim\*, Do Hyun Lee\*, Wook Bahng, Nam-Kyun Kim, Hyeong Joon Kim\*

\*Seoul National Univ., Korea Electrotechnology Research Institute

**Abstract :** We have fabricated advanced metal-oxide-semiconductor (MOS) capacitors with thin ( $\approx 10$  nm) Inductive-Coupled Plasma (ICP) CVD  $\text{Si}_x\text{N}_y$  dielectric layers and investigated electrical properties of nitrated  $\text{SiO}_2/4\text{H-SiC}$  interface after oxidizing the  $\text{Si}_x\text{N}_y$  in dry oxidation and/or  $\text{N}_2$  annealing. An improvement of electrical properties have been revealed in capacitance-voltage (C-V) and current density-electrical field (J-E) measurements if compared with non-annealed oxidized-SiN. The improvements of SiC MOS capacitors formed by oxidized-SiN have been explained in this paper.

**Key Words :** 4H-SiC, MOS capacitor, Oxidized-SiN,  $\text{N}_2$  annealing

#### 1. 서 론

광대역 반도체 재료(SiC, AlN, GaN, ZnSe, Diamond 등) 가운데 SiC는 원소 주기율표에서 4족 원소 중 원자번호가 작은 Si와 C가 강한 공유결합을 이루고 있는 화합물이다. 따라서 SiC는 가벼우면서도 우수한 기계적 성질, 열적 안정성, 내산화성 및 부식저항성 등을 가지고 있으므로 오래 전부터 발열체 및 고온 구조용 재료로 널리 사용되어 왔다. Si를 이용한 소자는 도핑된 상태에서 다수 캐리어의 온도의존성 때문에 주로 밴드갭 (1.12 eV)에 의한 제한 등 작용온도가 200 °C 이하로 한정되지만 SiC를 이용하면 600°C의 고온 환경 하에서도 동작 가능한 소자를 실현 할 수 있다. 400 °C의 온도에서도 접합 누설전류의 값이 작은 관계로 이 파라미터는 무시할 수 있어서 고온 안정성을 뒷받침하고 있다. 또한 SiC는 고 전계에서 전자의 포화 표동 속도가 Si이나 GaAs보다 2 배정도 크고, 전자 이동도, 열전도도(thermal conductivity)가 높으며 실온에서 항복전계가 Si나 GaAs보다 10 배 정도 높기 때문에 고주파, 전력용 재료로서 매우 유망하다. Wide bandgap을 갖는 재료로서 GaN도 많은 연구가 되고 있으나 GaN에 비해 4H-SiC의 경우 열전도도가 5배가 높으며 homogeneous epi layer를 얻을 수 있고 자연 산화막을 비교적 쉽게 형성 할 수 있는 장점을 갖고 있다[1].

이 중 자연 산화막을 형성할 수 있다는 점은 SiC의 큰 장점 중의 하나로서 밴드갭이 넓은 반도체 중에서 유일하다. SiC에서는 주로 1100 °C이상의 고온에서 건식 혹은 습식 산화할 경우 수십 nm 두께의 산화막을 얻을 수 있으며 실리콘에서 얻을 수 있는 산화막 특성과 견줄 정도의 양질의 산화막을 형성할 수 있다. 산화공정을 통하여 산화막을 얻을 수 있다는 것은 실리콘에서 열산화막을 이용한 여러 전력소자들 즉 파워 MOSFET, IGBT, MOS controlled thyristors(MTCs) 등을 SiC에서도 구현할 수 있다는 의미이다. 그러나 Si보다 약 10 ~ 100배 정도 높은 계면준위를 갖는 것으로 보고되고 있다[2, 3].

질화처리를 이용한 SiC/SiO<sub>2</sub>의 높은 계면결함준위를 줄이기 위한 노력은 1997년에 SiC의 산화막 형성에 처음

시도 되어 2003년에 와서는 대부분의 산화막 연구가 질화처리된 산화막 중심으로 재편되었다[4]. 이와 더불어 2000년 이후부터 NO 또는 N<sub>2</sub>O 가스를 이용한 질화처리된 산화막은 성장속도가 늦다는 단점 때문에 질소(N)를 직접 SiC에 이온주입하여 이를 산화를 시켜 새로운 질화 방법이 개발되기도 하였고 Si에서 활발히 연구되고 있는 high- $\kappa$  ( $\text{Al}_2\text{O}_3$ ,  $\text{HfO}_2$ ,  $\text{La}_2\text{O}_3$ , AlN 등) 게이트 절연막을 이용하는 기술도 도입되었으나 직접적인 소자 적용 기술로는 현재까지는 체계화 되지 못하고 있는 실정이다[6]. 2007년도 초반까지 4H-SiC MOSFET 전자의 이동도는 2 ~ 50  $\text{cm}^2/\text{V}\cdot\text{sec}$  정도로 실리콘에 비해 상당히 낮은 것으로 보고되고 있다[7].

따라서 본 연구에서는 질화처리된 산화막을 기르기 위한 새로운 방법으로 질화막을 dry oxidation과  $\text{N}_2$  annealing을 통하여 성장된 oxidized-SiN의 전기적 특성을 평가하였고, 이로 인한 계면 특성 개선의 연구를 하였다.

#### 2. 실험

에피 두께 10  $\mu\text{m}$ 를 갖는 고농도 Si-face 4H-SiC 기판을 RCA 세정한 후 ICP-CVD system을 이용하여 10 nm SiN을 증착하였다. SiN이 증착된 시편들을 dry oxidation 및  $\text{N}_2$  annealing을 각각 진행한 후 게이트 전극을 형성하고 하부 전극을 형성하였다. C-V, I-V 측정은 Keithley LCR meter와 HP4156B를 사용하였고 고온 측정용 probe station을 사용하여 전기적 평가를 진행하였다.

표 1. Oxidized-SiN 샘플에 대한 annealing 시간 및 두께결과

Sample label	Dry oxidation (1100°C, 30min)	Annealing Time (min)	Thickness (cm)
OS8	Dry	0	$7.33 \times 10^{-7}$
OS9	Dry	60	$1.04 \times 10^{-6}$
OS10	Dry	120	$1.13 \times 10^{-6}$

### 3. 결과 및 검토

그림 1 (a)은 Oxidized-SiN의 annealing 시간에 따른 시편의 C-V 특성 결과이다. OS8 샘플의 경우 hysteresis가 큰 반면 OS 9, 10 샘플의 경우 상대적으로 크게 줄어드는 경향을 확인하였다. 이러한 hysteresis의 특성은 SiC의 MOS system에서 near interface trap의 영향으로 보고되고 있다. 또한 상온에서 Hi-lo frequency C-V로 측정된 interface trap density ( $D_{it}$ )의 결과 (그림 1 (b)로부터 60 min annealing된 샘플이 가장 낮은  $D_{it}$ 를 나타내었다.

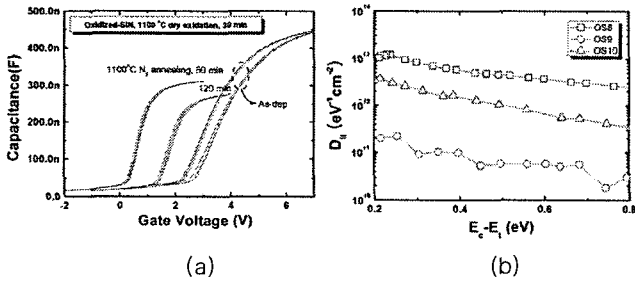


그림 1. (a) high frequency C-V 측정 결과, (b) 상온에서 hi-lo C-V로 측정된  $D_{it}$  결과.

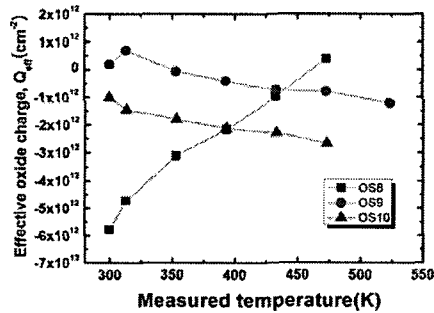


그림 2. 측정 온도에 따른 effective oxide charge,  $Q_{eff}$  변화

그림 2는 온도변화(300-523K)에 따른 effective oxide charge density ( $Q_{eff}$ ) 결과이다. 일반적으로  $Q_{eff}$ 는 mobile charge( $Q_m$ ), oxide charge( $Q_i$ ), oxide fixed charge( $Q_f$ ), interface charge( $Q_{it}$ )의 총합으로 구성되고 SiC의 경우 대부분의  $Q_{eff}$ 의 주된 변수는  $Q_{it}$ 로 보고되고 있고 상온에서 측정된  $Q_{eff}$ 는 그림 1(b)의  $D_{it}$  결과와 일치하고 있다. 상온에서 고온으로 변화된 온도에 따라서 OS9, 10 샘플의 경우  $Q_{eff}$ 가 negative charge density가 증가하였다. 이는 상온 일때보다 고온일때  $Q_{eff}$ 에 대하여 측정되는  $D_{it}$ 가 증가하기 때문에 negative charge density가 증가하는 것으로 판단된다. 하지만 OS8의 경우 이와는 반대의 경향을 나타내었다. 즉 온도가 올라갈수록  $Q_{eff}$ 가 negative에서 positive로 바뀌면서 그 양 또한 줄어드는 경향을 나타내었다. 이는 SiN layer를 dry oxidation 이후 일어난 SiON/SiC의 계면에 불안정한 계면 결함이 생성된 것으로 판단되고 이는 Oxygen이 부족한 상태 또는 N이 관계된 계면결함일 수도 있을거라 판단된다. 이 부분에 대한 면밀한 분석이 진행될 예정이다.

그림 3 (a)의 경우 J-E 측정을 통하여 Time Zero Dielectric Breakdown (TZDB) 특성을 확인한 결과 OS9, 10이 OS 8의 결과보다 월등히 높아지는 것을 확인하였다. 온도에 따른 Fowler-Nordheim plot을 통하여 barrier height를 계산한 결과 60 min 동안 annealing된 OS9의 특성이 가장 안정적인 계면 특성을 나타내었다 (그림 3 (b)). 이는 안정하고 우수한 계면 특성을 갖는 Oxidized-SiN을 형성하기 위하여 dry oxidation 이후 annealing을 통하여 불균일한 Si-O-N이 균일하고 안정된 Si-O-N으로 계면상태가 향상된 것으로 판단된다.

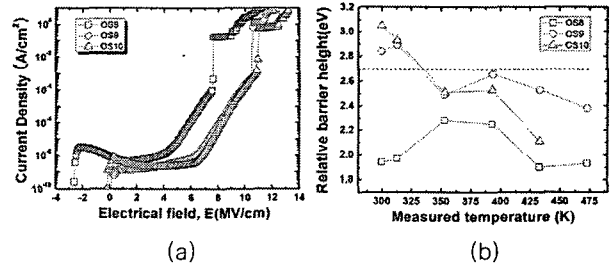


그림 3. (a) current density-electric field (J-E) 측정 결과, (b) F-N plot을 통한 측정 온도에 따른 barrier height.

### 4. 결론

본 연구에서는 annealing 시간에 따른 oxidized-SiN을 이용하여 제작된 4H-SiC MOS capacitor의 전기적 평가를 진행하였다. annealing된 시편의 경우 C-V 특성,  $D_{it}$ ,  $Q_{eff}$  평가 결과가 non-annealing된 시편보다 크게 향상됨을 확인하였고 TZDB와 온도에 따른 barrier height의 특성 또한 annealing된 시편의 특성이 향상됨을 확인하였다. 특히 60 min 동안 annealing된 시편이 가장 우수한 계면 특성 및 신뢰성을 나타내었다.

### 감사의 글

본 연구는 전력IT사업단을 통해 지식경제부의 전력산업기술개발사업으로부터 지원받아 수행되었습니다.

### 참고 문헌

- [1] J. A. Cooper, Jr., M. R. Melloch, J. M. Woodall, J. Spitz, K. J. Schoen and J. P. Henning: III-Nitrides and Related Materials, eds. G. Pensil, H. Morkoç, B. Monemar and E. Janzén. (Trans Tech Publications Ltd, Switzerland-Germany-UK-USA, 1998), p.895
- [2] V. V. Afanas'ev, M. Bassler, G. Pensl, and M. Schulz: Phys. Stat. sol(a). Vol. 162 (1992), p.321
- [3] V.V Afanas'ev et al: Appl. Phys. Lett. Vol. 68 (1996) p.2141
- [4] P. Jamet, S. Dimitrijevic, and P. Tanner: J. Appl. Phys. Vol.90 (2001) p.5058
- [5] G. Pensl et al: Phys. stat. sol (b) Vol.7 (2008) p.1378
- [6] G. Y. Chung et al: J. Phy. condensed matter Vol. 15 (2003), p s1857