

Zigbee시스템에 적용 하기위해 PCSNIM 기법을 사용한 가변 이득 저잡음 증폭기 설계 연구

A study on the Design of Gain Variable Low Noise amplifier using PCSNIM techniques for Zigbee System

최 혁 재*, 최 진 규*, 김 형 석*

Hyuk-Jae Choi, Jin-Kyu Choi, Hyeong-Seok Kim

Abstract

In this paper, the techniques and design focus of flexible gain control of LAN(Low Noise Amplifier) using the TSMC 0.18um CMOS process. The design frequency set up a standard on 2.4GHz that is used in Zigbee system. The design concepts a basic Cascode LNA techniques and a switching circuit consisted of 4 NMOS of load resistance, which convert the output impedance by tuning on or off. The result show the gain change by NMOS operated switch. The simulation result is that Gain is 14.07dB-16.79dB and NF(Noise Figure) is 1.06dB-1.09dB.

Keywords : Gain-Variable, Low Noise Amplifier, Cascode, PCSNIM

I. 서 론

우리의 생활을 편리하게 하기 위해 휴대용 무선 장치들이 빠른 기술 발전과 더불어 RF 무선통신과 관련된 부문 역시 최근 크게 활용 영역이 넓어지고 있다. 무선 장치들 중 안테나를 통해 들어온 신호들의 크기가 모두 다르기 때문에 원하는 출력을 얻기 위하여 사용자의 선택이 필요하게 된다. 이를 위해 RF무선 통신에서 최근 많이 대두 되고 있는 2.4GHz 대역의 Zigbee시스템에서 적용 가능하도록 주파수 대역을 선택하였다.

저잡음 증폭기는 RF통신 시스템에서 안테나를 통해 전달되어 수많은 잡음이 섞인 미약한 신호를 최대한 잡음을 제외하고 정보가 담긴 신호만을 증폭하는 회로이다. 수신단에서 저잡음 증폭기는 첫 단에 위치하여 혼합기나 전압 제어발전기 등 다른 수신단 소자로 신호를 전달해 주는 역할을 한다. 그러므로 사용자가 원하는 사양을 만족하여 신호를 전달할 수 있어야 하기 때문에 수신기 전체의 성능을 좌우한다.

저잡음 증폭기는 잡음과 신호 왜곡을 줄이는 것을 중요시해야 할 뿐 아니라 동작 주파수나 각 주파수 표준에 따른 수신기 이득 등의 선택성들도 고려하여 설계하여야 한다. 그러나 RF수신기에서는 동작 주파수를 변화 시키는 것은 어렵다. 따라서 본 논문에서는 저잡음 증폭기의 이득을 변화시키는 것에 초점을 맞추어 이득의 가변성을 가진 저잡음 증폭기의 회로를 구현하였다[1-3].

본 논문에서는 TSMC 0.18 μ m 공정을 사용하여 고주파

저잡음 증폭기 설계에서 주파수 특성을 향상시키는 Cascode 방식을 이용하였으며, 부하 저항에 NMOS 4개를 스위치로 동작시킴으로써 부하저항과 같은 역할로 출력 임피던스를 변화시켜 이득이 가변할 수 있도록 회로를 구현하였다.

II. 본 론

1. Cascode 구조의 저잡음 증폭기 설계 방법

Cascode 구조는 공통 소스 방식의 M1과 공통 게이트 방식의 M2가 합쳐진 구조이다.

트랜지스터 M2를 이용하여 트랜지스터 M1의 게이트와 드레인 사이의 밀러 커패시턴스를 감소시켜 주파수 특성을 향상시키기 때문에 고주파 회로에서 많이 사용되고 있다. M1과 M2는 같은 바이어스 전류를 사용함으로써 전체 전력 소비가 줄어들게 된다. 이는 Zigbee 시스템의 특징인 저전력 소비를 고려하여 설계한 결과이다.

M2는 앞에서 언급한 데로 공통 게이트 구조로서 출력과 입력 사이의 격리도를 증가시켜준다. 즉, 저잡음 증폭기 뒷단에 바로 연결되는 혼합기로부터 LO 신호가 들어오는 것을 최대한 억제하는 특징을 갖는다[4].

Cascode 구조에서 저잡음 증폭기의 가장 중요한 요소인 잡음지수는 바이어스 전류와 거의 무관하고, 단지 게이트와 소스의 저항과 인덕터의 입력임피던스의 값에 의해 결정된다. 이는 Cascode 저잡음 증폭기를 최소화된 입력임피던스에 의해 저전력으로 설계할 수 있다는 것을 의미한다.

Cascode 구조의 저잡음 증폭기를 설계하는 방법은 크게 4가지로 나눌 수 있다. 먼저, 최소의 NF인 NF_{min}을 구현하기 위한 임피던스인 Z_{opt} 에 맞추어 입력단의 임피던스

접수일자 : 2009년 8월 07일
 최종완료 : 2009년 8월 07일
 *중앙대학교 전자전기공학부
 교신처, E-mail : kimcaf2@cau.ac.kr

매칭을 하는 classical noise matching(CNM) 방법이 있다 [5]. 이는 최소의 NF를 구현할 수 있지만 일반적으로 입력 매칭이 맞지 않는 단점이 있다. 두 번째는 인덕터를 사용한 series feedback을 통해, 입력 매칭과 노이즈 매칭을 동시에 만족시키는 simultaneous noise and input matching(SNIM) 방법이 있다[6]. 또한, 일정한 전력 소모를 유지하면서 노이즈 매칭 포인트인 Z_{opt} 에 임피던스 매칭을 하는 power-constrained noise optimization(PCNO) 방법[7], 그리고 일정한 전력 소모를 유지하면서 입력 매칭과 노이즈 매칭을 동시에 만족시키는 power-constrained simultaneous noise input matching(PCSNIM) 방법이 있다 [8]. 본 논문에서는 전력 소모를 적게 하며 입력 매칭과 노이즈 매칭을 동시에 만족시킬 수 있는 PCSNIM 방법을 사용하여 LNA를 설계하였다.

LNA를 설계하기 위해 TSMC에서 제공하는 0.18um 라이브러리를 사용하였다.

그림 1.은 PCSNIM방법을 사용한 Cascode 구조의 저잡음 증폭기에 대한 기본적인 회로도를 나타내었다.

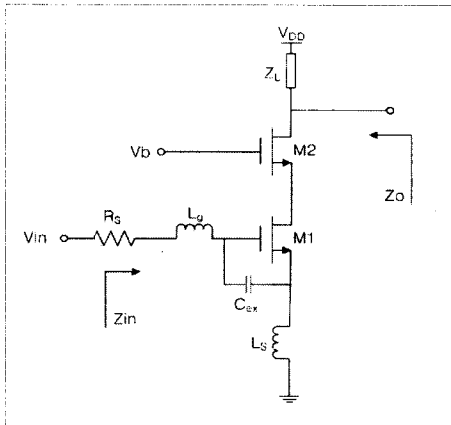


그림 1. PCSNIM을 적용한 Cascode 저잡음 증폭기
Fig 1. LNA of Cascode structure using PCSNIM

PCSNIM구조는 그림에서 보는 것과 같이 일반적인 Cascode 구조의 LNA에 C_{ex} 가 추가된 형태이다. 이는 적은 전력을 소모하기 위해서는 Transistor의 크기, 즉 C_{gs} 가 작아야 하는데, 이는 곧 큰 L_s 값을 필요로 하게 된다. 하지만, L_s 가 커지게 되면 NFmin이 증가하게 되므로 NF 특성이 나빠지게 된다. 이를 방지하기 위해 추가적인 C_{ex} 를 연결함으로써, NF가 커지는 것을 방지할 수 있다. 하지만, C_{ex} 가 커진다면, 이득이 낮아지기 때문에 적절한 값의 C_{ex} 와 L_s 를 선택하는 것이 중요하다[9].

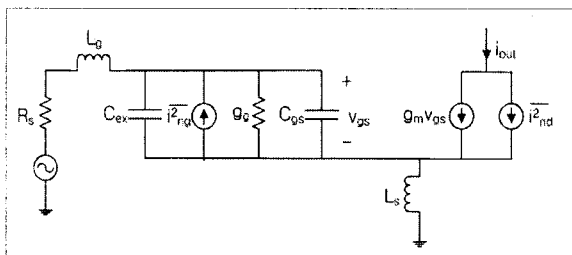


그림 2. 그림 1.의 소신호 등가모델
Fig. 2. Small signal equivalent circuit of Fig. 1

그림 2는 그림1.의 소신호 등가모델을 표현한 것이다.

그림 2에서 $\overline{i_{nd}^2}$ 은 channel thermal noise 전류를 나타내며, $\overline{i_{ng}^2}$ 는 gate-induced noise 전류를 나타낸다. channel thermal noise 전류와 gate-induced noise 전류는 서로 상관관계가 있으며 상관 계수는 식 (1)로 나타낼 수 있다.

$$c \equiv \frac{\overline{i_{ng} \cdot i_{nd}^*}}{\sqrt{\overline{i_{ng}^2}} \cdot \sqrt{\overline{i_{nd}^2}}} \quad (1)$$

그림 2.의 소신호 등가회로에서 noise parameter를 계산하면 식(2) - 식(4)와 같다.

$$R_n = \frac{\gamma}{\alpha} \frac{1}{g_m} \quad (2)$$

$$Z_{opt} = \frac{\alpha \sqrt{\frac{\delta}{5\gamma(1-|c|^2)}} + j \left(\frac{C_t}{C_{gs}} + \alpha |c| \sqrt{\frac{\delta}{5\gamma}} \right)}{w C_{gs} \left\{ \frac{\alpha^2 \delta}{5\gamma(1-|c|^2)} + \left(\frac{C_t}{C_{gs}} + \alpha |c| \sqrt{\frac{\delta}{5\gamma}} \right)^2 \right\}} - s L_s \quad (3)$$

$$NF_{min} = 1 + \frac{2}{\sqrt{5}} \frac{w}{w_T} \sqrt{\gamma \delta (1-|c|^2)} \quad (4)$$

그림 2.에서 LNA의 입력 임피던스는 식 (5)로 나타낼 수 있다.

$$Z_{in} = s L_s + \frac{1}{s C_t} + \frac{g_m L_s}{C_t} \quad (5)$$

변수들은 표 1에 정리하였다.

표 1. 식(1)-(5) 대한 변수목록
Table 1. List of parameter about Eq.(1)-(5)

symbols	Definition and Value
C_{gs}	트랜지스터 M1의 게이트-소스 커패시터
C_t	$C_t = C_{gs} + C_{ex}$
g_m	트랜지스터 M1의 transconductance
ω_0	동작 주파수
ω_T	차단 주파수
δ	long channel devices constant, value=4/3
γ	long channel devices constant, value=2/3
α	long channel devices constant, value=1

2. 가변 이득 기법을 활용한 저잡음 증폭기 회로 설계

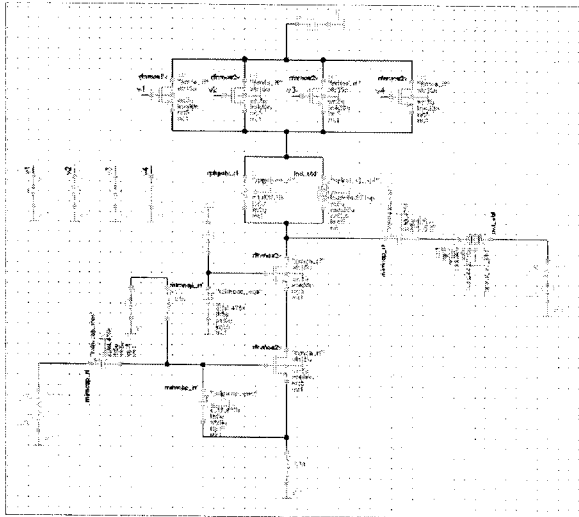


그림 3. 설계한 저잡음 증폭기의 회로도
Fig. 3. Schematic of designed LNA

그림 3은 가변 이득 기법을 이용한 저잡음 증폭기를 설계한 회로도이다.

4개의 병렬 트랜지스터 M3, M4, M5, M6이 각각 동작됨으로써 부하 저항인 R_L 와 합쳐져 이득을 제어 한다.[10] 낮은 이득을 원할 경우 1개의 트랜지스터만 동작시키고, 반대로 안테나에서 수신된 신호가 낮은 때에는 모든 트랜지스터를 동작시켜 높은 이득을 얻을 수 있도록 한다.

또한, 잡음 지수와 이득을 향상시키기 위해 L_s 는 본딩 와이어 기법을 사용하여 설계하였다[11]. 이는 인덕터가 실제 레이아웃 되는 회로에서 많은 부피를 차지하는데 소자의 크기를 줄이는데도 도움이 된다.

3. 설계 및 시뮬레이션 결과

Cascode 구조는 입력과 출력단 사이의 격리도가 크기 때문에 매칭 하는 경우 서로에게 큰 영향을 미치지 않는다. 앞에서 언급 했듯이 일단 입력단은 잡음 지수를 최소화하기 위해 인덕터와 저항 성분을 최소화 하는 것이 좋다. 또한, RF 신호에 섞여 있을지 모르는 DC 성분을 제거 하기 위해 DC 차단 역할을 하는 캐패시터를 입력과 출력단에 포함해야 한다.

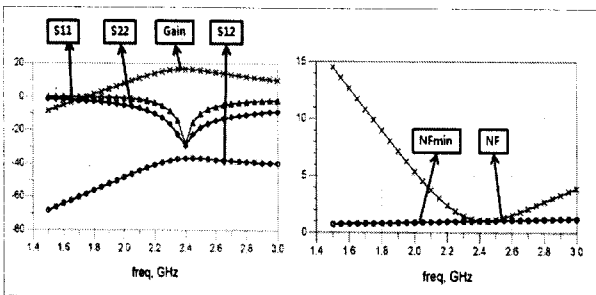


그림 4. MOSFET를 모두 켜줄 때 시뮬레이션 결과
Fig. 4. Simulation result at high gain

그림 4와 그림 5에서 나타난 시뮬레이션 결과는 가변 이득을 위한 NMOS를 모두 동작 시켰을 때와 하나만 동작 시켰을 때의 시뮬레이션 결과이다. 표 2는 모든 트랜지스터를 동작시켰을 경우와 하나의 트랜지스터만을 동작 시켰을 경우를 비교하여 나타내었다. 표 2에서 보는 것과 같이 높은 이득과 낮은 이득 일 경우를 비교했을 때 약 2.7dB의 가변 이득을 가진 것을 확인 할 수 있고, 잡음 지수의 지표는 크게 변동 없이 이득만 조절 할 수 있다는 것을 알 수 있다.

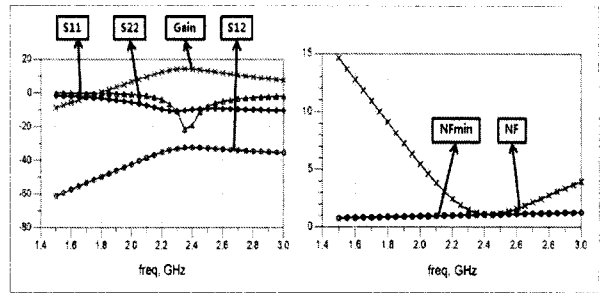


그림 5. MOSFET를 하나만 켜줄 때 시뮬레이션 결과
Fig. 5. Simulation result at low gain

표 2. 높은 이득과 낮은 이득의 시뮬레이션 결과 비교
Table 2. Compare between high and low gain

	High Gain	Low Gain
S11(dB)	-28.111	-19.013
S22(dB)	-29.157	-9.690
S12(dB)	-36.837	-32.257
Gain(dB)	16.796	14.074
NF(dB)	1.064	1.091
Power(mW)	14.47	12.42

III. 결 론

본 논문에서는 2.4GHz 주파수 대역에서 이득을 제어 할 수 있는 가변 이득 저잡음 증폭기의 회로를 구현하였다. Zigbee 시스템은 저전력 특성을 갖기 때문에 Cascode 구조를 이용하여 트랜지스터에 하나의 바이어스 전류를 사용하고, 부하 저항의 크기를 조절하여 소비전력을 최소화 하였다. 그리고 안테나를 통해 들어온 신호들의 크기가 모두 다르기 때문에 원하는 출력을 얻기 위하여 사용자의 선택에 따라 4개의 스위치 트랜지스터로 가변성을 갖도록 구현 하였다. 구현된 회로의 시뮬레이션 결과, 2.4GHz 대역에서 이득의 동작범위가 14.07dB-16.79dB로 약 2.7dB정도의 가변 이득 특성과 잡음 지수 1.06dB-1.09dB 정도임을 확인 하였다.

설계자의 목적에 따라 스위치 트랜지스터의 추가를 통해 제어하고자하는 이득의 범위를 확대하는 것도 가능하다. 잡음 지수를 고려하고, 스위치 트랜지스터의 추가로 이득을 높이는데 한계가 있기 때문에 이득의 최고치를 높일 필요가 있는 경우에 출력 신호에 공통 소스 증폭기 구조를 추가함으로써 출력단 신호의 최대크기를 증가시키고 입력

단 신호의 세기에 따라 스위치 트랜지스터의 이득을 제어하여 출력신호의 크기를 일정하게 유지할 수 있도록 하는 것이 효과적인 것으로 사료된다.

감사의 글

본 연구 보고서는 정보통신부출연금으로 ETRI, SoC 산업진흥센터에서 수행한 IT-SoC 핵심설계인력양성 사업의 연구결과입니다.

[참고 문헌]

- [1] Youn-Seik Hwang, "Design of 2~2.4GHz Variable Gain LNA and 2.4 GHz Low Power Folded RF Front-End", 한국정보통신대학교 석사학위논문, 2006
- [2] Y.S. Wang and L.-H. Lu, "5.7 GHz low-power variable-gain LNA in 0.18 um CMOS", *Electronics Letters Volume 41*, Issue 20, p66 - 68, 20 Jan. 2005
- [3] Tsang, T., and El-Gamal, M.: "Gain and frequency controllable sub-1 V5.8 GHz CMOS LNA". *IEEE Int. Symp. on Circuits and Systems, Scottsdale, AZ, USA*, p795 - 798, 2002
- [4] 임명희, "Optimal Design of LNA with Internal Tuning Circuit", 충북대학교 석사학위 논문, 2003
- [5] H. A. Haus et al., "Representation of noise in linear two ports", *Proc. IRE*, vol. 48, pp.69-74, Jan. 1960
- [6] S. P. Voinigescu et al., "A scalable high-frequency noise model for bipolar transistors with application optimal transistor sizing for low-noise amplifier design", *IEEE J. Solid-State Circuits*, vol. 32, pp. 1430-1439, Sept. 1997
- [7] D. K. Shaeffer et al., "A 1.5V, 1.5GHz CMOS low noise amplifier", *IEEE J. Solid-State Circuits*, vol. 32, pp. 745-758, May 1997
- [8] P. Andreani et al., "Noise Optimization of an inductively degenerated CMOS low noise amplifier", *IEEE Trans. Circuits Syst.*, vol. 48, pp. 835-841, Sept. 2001
- [9] Trung-Kien Nguyen et al., "CMOS Low-Noise Amplifier Design Optimization Techniques", *IEEE Trans. Microwave Theory Tech.*, vol. 52, pp. 1433-1442, May, 2004
- [10] H.C.Lai, Z.M.Lin, "A Low Noise Gain-Variable LNA for 802.11a WLAN", *Electron Devices and Solid-State Circuits, 2007. EDSSC 2007. IEEE Conference on*, p973-976, 20-22 Dec. 2007
- [11] 고재형, "LNA 잡음 특성 개선을 위한 PGS 구조를 갖는 On-Chip 인덕터 설계에 관한 연구", 중앙대학교 석사학위 논문, 2008

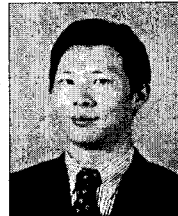


최혁재

2009년 서울산업대학교 전자정보공학과 졸업
2009년 중앙대학교 공과대학원 입학
2009년~현재 중앙대학교 공과대학 전자전기공학부 석사과정 재학 중

<관심분야> RFIC circuit Design, RFID 시스템 연구

<e-mail> hjchoi0822@naver.com



최진규

2007년 중앙대학교 전자전기공학과 졸업
2009년 중앙대학교 공과대학원 입학
2009년~현재 중앙대학교 전자전기공학부 석사과정 재학 중

<관심분야> RF 및 무선통신, RFIC circuit Design

<e-mail> bluezone1384@hotmail.com



김형석

1985년 서울대학교 전기공학 공학사 졸업
1987년 서울대학교 전기공학 공학 석사 졸업
1990년 서울대학교 전기공학 공학 박사 졸업
1990-2002 순천향대학교 정보기술공학부 부교수

1997-1998 R.P.I 미국 방문교수

2002~현재 중앙대학교 전자전기공학부 교수

<관심분야> 전자장 및 수치해석, RF 및 마이크로웨이브 소자 해석 및 설계

<e-mail> kimcaf2@cau.ac.kr