
BTB를 이용한 프로세서 기반 멀티미디어 응용 SoC 설계

정윤진 · 이병엽 · 류광기

한밭대학교 정보통신전문대학원

A Design of Multimedia Application SoC based with Processor using BTB

Younjin Jung · Byungyup Lee · Kwangki Ryoo

Graduate School of Information and Communication, Hanbat National University

E-mail : yjjung39@gmail.com, roll83@hotmail.com, kkryoo@hanbat.ac.kr

요 약

본 논문에서는 멀티미디어 어플리케이션을 위한 BTB(Branch Target Buffer)를 이용한 RISC 프로세서 기반 SoC 플랫폼의 ASIC 설계에 대해 기술한다. 제안된 SoC 플랫폼은 성능 개선을 위해 BTB를 포함하며 분기 명령어 패치 시 분기할 타깃 주소를 BTB에 저장함으로써 예측 주소의 명령어를 미리 패치, 파이프라인의 지연을 최소화하였다. 또한, 다양한 멀티미디어 어플리케이션을 위해 VGA 제어기, AC97 제어기, UART 제어기, SRAM 인터페이스, 디버그 인터페이스를 포함한다. 구현된 플랫폼은 다양한 테스트 프로그램을 사용하여 시뮬레이션을 수행하였으며, Xilinx VIRTEX-4 XC4VLX80 FPGA를 이용해 기능 및 타이밍 검증을 수행하였다. 최종적으로 Chartered 0.18um 공정을 이용하여 단일 ASIC 칩으로 구현되었으며 100MHz에서 정상 동작함을 확인하였고, 이전 OpenRISC 마이크로프로세서를 사용한 플랫폼과의 비교를 위해 산술연산 및 AC97 테스트 프로그램을 이용한 시뮬레이션 결과 5~9%의 성능향상을 확인하였다.

ABSTRACT

This paper describes ASIC design of Multimedia application SoC platform based RISC processor with BTB(Branch Target Buffer). For performance enhancement of platform, we use a simple branch prediction scheme, BTB structure, that stores a target address for branch instruction to remove pipeline hazard. Also, the platform includes a number of peripheral such as VGA controller, AC97 controller, UART controller, SRAM interface and Debug interface. The platform is designed and verified on a Xilinx VERTEX-4 FPGA using a number of test programs for functional tests and timing constraints. Finally, the platform is implemented into a single ASIC chip which can be operated at 100MHz clock frequency using the Chartered 0.18um process. As a result of performance estimation, the proposed platform shows about 5~9% performance improvement in comparison with the previous SoC Platform.

키워드

ASIC, SoC Platform, Multimedia, BTB, OpenRISC

1. 서 론

최근 반도체 설계 기술의 발달과 공정 및 집적 기술의 발달로 SoC와 여러 IP에 대한 많은 관심과 연구가 진행 중이며 특히, 프로세서는 임베디드 시스템과 SoC에 필수 요소로서 시스템의 성능을 결정하는 가장 중요한 컴포넌트이다. 따라서 다양한 IP, SoC에 임베디드 될 수 있는 프로세서

에 대한 연구와 실제 이들을 이용한 플랫폼을 설계 및 검증하여 쉽고 빠르게 응용 SoC를 개발할 필요성이 증가되었다. 이러한 플랫폼 기반 설계 방법의 장점은 하드웨어 IP를 쉽게 수정, 추가, 제거 할 수 있다는 것과 하드웨어, 소프트웨어의 동시 개발이 가능하다는 점이다. 따라서 플랫폼은 설계자가 설계에 필요한 노력과 시간을 최소로 줄이면서 차별화된 제품을 개발할 수 있는 다양

* 본 연구는 IDEC의 지원, 중소기업청의 산학협력실 지원사업 및 ETRI, 시스템반도체산업진흥센터의 IT SoC 핵심설계인력양성사업의 연구결과임.

한 기능을 제공한다.

이에 따라 본 논문에서는 쉽고 빠르게 멀티미디어 응용 SoC를 개발하기 위해 구현한 SoC 플랫폼을 제안하고 각 하드웨어 블록의 설계 및 검증결과, 임베디드 프로세서의 성능향상을 위한 분기 예측 알고리즘과 구현, 성능평가에 대해 기술한다.

II. 플랫폼의 구성

제안된 플랫폼은 OpenRISC 프로세서를 기반으로 이미지 디스플레이를 위한 VGA 제어를 비롯하여 사운드 재생을 위한 AC97 제어, 외부와의 직렬통신을 위한 UART, 외부 메모리와의 데이터 송수신을 위한 SRAM 인터페이스, 시스템 디버깅 및 프로그램 다운로드를 위한 디버그 인터페이스, 이 모든 주변장치의 프로세서의 연결을 위한 매트릭스 구조의 32비트 WISHBONE 버스가 구현되었다. 그림 1은 설계된 플랫폼 구조를 보여준다.

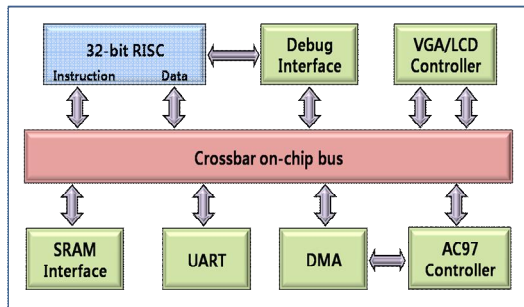


그림 1 멀티미디어 응용 SoC 플랫폼 구조

설계된 플랫폼은 32비트 RISC 프로세서가 시스템의 주 마스터 역할을 하고 있으며, 프로세서 성능향상을 위한 Branch Target Buffer를 내장하여 분기명령에 따른 명령어 사이클 손실을 줄였다. 플랫폼 설계를 위해 사용한 OpenRISC 1200 프로세서는 누구나 쉽게 재사용 할 수 있고 수정 가능한 LGPL 기반으로 다양한 측면에서 SoC 설계에 활용이 가능하다는 장점이 있다. 또한 합성 가능한 Verilog HDL 언어로 기술되어 있기 때문에 특정 공정을 사용하여 SoC 및 어플리케이션 시스템을 설계하고자 할 경우, 설계 스펙에 맞추어 칩 제작이 가능하다. OpenRISC는 명령어/데이터 버스 및 메모리가 분리된 하버드 구조의 MIPS기반 프로세서이다. 5단 파이프라인 구조로 되어 있으며 임베디드시스템을 타겟으로 실시간 운영체제 지원을 위한 메모리 관리 장치를 지원하고 프로세서 내에 곱셈 및 누산기 유닛을 통해 기본적인 DSP 기능을 지원한다. 또한, 프로세서를 구성하는 로직들의 게이트 수가 비교적 작고 저전력을 위한 파워 관리 블록과 외부 시스템과의 인터페이스를 통한 쉽고 빠른 디버깅 환경, 프로그램 가

능한 인터럽트 인식 및 처리, WISHBONE 표준 인터페이스를 통해 명령어 및 데이터 인터페이스를 구성하여 IP들의 추가 및 수정이 용이하다 [1][2].

또한, 제안된 플랫폼에서는 여러 컴포넌트간의 통신을 위해 매트릭스 구조의 WISHBONE 온 칩 버스를 사용하였다. Crossbar 온 칩 버스는 최대 8개의 마스터와 16개의 슬레이브 연결이 가능하며, 이들은 각각 다른 마스터와 슬레이브들 사이에서 병렬적인 통신을 한다. 마스터는 상위 4bit로 슬레이브를 선택하게 되며, 슬레이브 인터페이스 내부에 버스 중재기가 존재하여 다수의 마스터가 동일한 슬레이브에 접근할 때 우선순위에 근거하여 버스 사용권한을 부여함으로써 마스터와 슬레이브간의 통신이 원활히 이루어진다.

VGA 컨트롤러 블록은 플랫폼에 VGA출력기능을 부여하므로, 이를 통해 이미지 디스플레이를 필요로 하는 다양한 어플리케이션에 적용이 가능하다. 예를 들면 비디오 플레이어 또는 비디오 게임기로 시스템을 구성할 수 있다. 그림 2는 VGA 컨트롤러의 내부 블록도를 나타낸다.

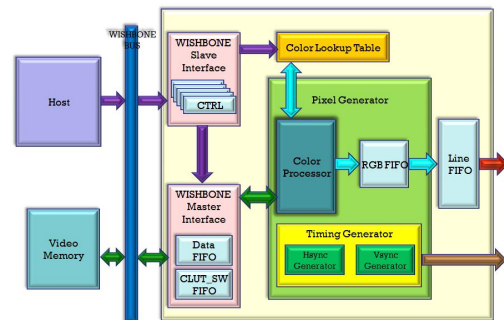


그림 2 VGA 컨트롤러의 구조

VGA 컨트롤러는 사용자 프로그램 가능한 비디오 컨트롤 시그널(해상도, 출력타이밍, 컬러모드)을 생성하기 위해 시스템 버스의 슬레이브 인터페이스와 비디오 메모리 접근을 위한 마스터 인터페이스를 가진다. 슬레이브 인터페이스를 통해 호스트로부터 VGA 컨트롤러의 내부 레지스터에 이미지 포맷 및 출력 타이밍 등이 설정되면, VGA 컨트롤러는 자체의 마스터 인터페이스를 통해 비디오 메모리로부터 비디오 데이터를 가져온 뒤 설정된 이미지 포맷 및 타이밍에 맞추어 컬러 데이터를 출력한다. VGA 컨트롤러는 RGB 커넥터를 통해 CRT 또는 LCD 모니터에 비디오 데이터를 전달한다.

AC97 컨트롤러는 개발된 플랫폼에 AC97 코덱을 사용하여 오디오 데이터의 재생을 제어해주는 기능을 제공한다. RISC 프로세서와의 통신을 위한 WISHBONE 인터페이스와 AC97 코덱과 통신을 위한 인터페이스를 포함한다. AC97 컨트롤러는 48KHz로 다양한 sample rate에서 동작이

가능하다. 그림 3은 음성 출력기능을 지원하는 AC97 컨트롤러의 내부 구조를 보여준다.

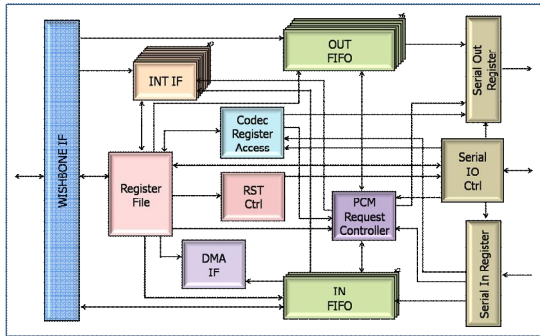


그림 3 AC97 컨트롤러의 구조

AC97 컨트롤러는 16, 18, 20 비트의 다양한 샘플링 크기를 지원하며, 6개의 출력 채널과 3개의 입력 채널을 지원한다. SRAM 인터페이스는 칩 외부의 비동기 SRAM에 데이터 전송을 위한 컨트롤러이다. 그림 4는 SRAM 인터페이스 블록도를 보여준다.

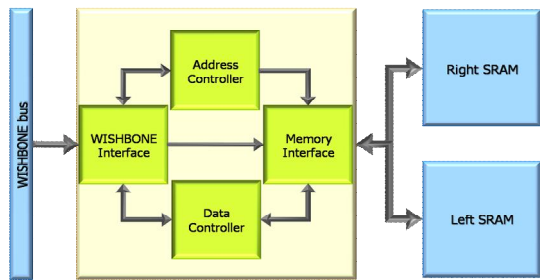


그림 4 SRAM 인터페이스 구조

그림 4와 같이 이 블록은 단순히 버스의 컨트롤 시그널을 비동기 SRAM 칩의 컨트롤 시그널로 변환해 주는 역할을 한다. 시스템 버스 마스터에 의해 SRAM 인터페이스 모듈이 선택되면 외부의 SRAM을 인에이블 시키는 역할을 수행한다. 개발된 플랫폼에서 온 칩 SRAM 메모리는 OR1200의 프로그램 코드와 데이터를 저장하는 용도로 사용되며, SRAM 인터페이스 모듈은 시스템 버스와 메모리 중간에서 메모리에 데이터를 읽기/쓰기 위한 제어 신호를 생성한다. 2개의 512k x 16비트 SRAM을 지원하며, 바이트 선택 및 RMW(Read-Modify-Write) 모드를 지원한다.

이 밖에 RS232 프로토콜을 사용하여 플랫폼과의 직렬 통신 기능을 제공하는 UART 컨트롤러와 메모리 초기화, 프로세서 및 주변장치 구성, 시스템 트레이스 및 디버깅 등의 기능을 수행하는 디버그 인터페이스 블록이 포함되어 있어 쉽게 사용자 어플리케이션을 구성 할 수 있으며 개발 및 테스트를 할 수 있다.

III. BTB (Branch Target Buffer)

RISC 프로세서는 파이프라인으로 구성되어 병렬 프로세싱이 가능하기 때문에 성능향상에 도움이 되지만 분기 명령어 실행 시 분기 지연을 사용함에 따라 불필요한 명령어 낭비가 발생 한다. 그렇기 때문에 파이프라인 구조를 채택하는 프로세서에서 분기 지연을 최소화 하는 방안이 필요하다[3].

앞서 검증했던 OpenRISC 프로세서는 대부분의 RISC 프로세서와 같이 분기 지연을 사용하여 위와 동일한 문제가 발생하므로 BTB 모듈을 사용하여 성능을 향상시키고자 하였다. 본 논문에서는 여러 분기 예측 방법 중에 임베디드 시스템의 목적에 맞게 하드웨어적인 부담이 적고 비교적 간단한 BTB를 이용한 결합된 분기 예측을 사용하였다. 그림 5는 설계된 분기 예측 구조를 도시하고 있다.

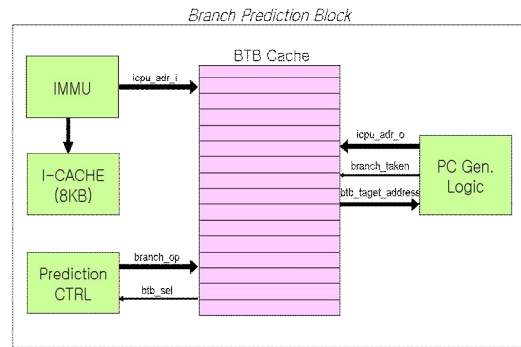


그림 5 Branch Prediction Block의 구조

분기 타깃 버퍼는 일종의 캐시 형태로 구성되며 본 논문에서는 임베디드 어플리케이션에 적합한 작은 크기의 버퍼를 사용 하였다. 분기 예측 모듈의 동작은 저장과 읽기로 나눌 수 있는데 쓰기 동작은 분기가 발생했을 때 BTB 안에 PC 값이 발견되지 않으면 분기 명령어의 주소로 BTB의 타깃 PC 값과 함께 저장한다. 읽기 동작은 분기가 발생했을 때 BTB 안에 PC 값이 발견되면 미리 저장해놓은 분기 할 타깃 주소로 PC 값을 변경하는 방식으로 동작한다.

BTB를 이용한 분기 예측 구조를 OpenRISC 1200 프로세서에 구현하고 산술 연산 및 오디오 출력 테스트 프로그램으로 시뮬레이션 한 결과 BTB를 구현하지 않은 프로세서 대비 약 9%의 성능 향상을 얻었고, FPGA에 시스템 구현 결과, 기존 프로세서 대비 약 1% 미만의 면적 증가를 보였다. BTB 모듈 안에서 쓰는 메모리는 현재 32개의 엔트리를 사용하고, 패치 되는 분기 명령어의 주소의 일부분을 어드레스로 사용하여 저장과 읽기를 수행한다. 많은 분기 명령어가 예상되면 메모리 크기와 어드레스 인덱스 부분을 수정할 수 있다.

표 1과 표 2, 그림 6은 프로세서에 BTB를 적용한 구조와 캐시만 사용한 구조의 성능을 비교하기 위해 분기 예측에 따른 프로세서의 덧셈 연산과 오디오 출력 테스트 프로그램을 이용하여 시뮬레이션 성능을 비교한 것이다.

표 1 분기 예측에 따른 덧셈 연산 성능 비교

	OpenRISC	OpenRISC & BTB	성능 향상
분기지연횟수	2000번	1001 번	5.7 %
분기예측횟수	0번	999 번	
필요클럭 수	55140 개	52143 개	
수행시간	110280 ns	104286 ns	

표 2 분기 예측에 따른 오디오 출력 성능 비교

	OpenRISC	OpenRISC & BTB	성능 향상
분기지연횟수	2123번	301 번	8.9 %
분기예측횟수	0번	1802 번	
필요클럭 수	1332511 개	1223191 개	
수행시간	2665027 ns	2446381 ns	

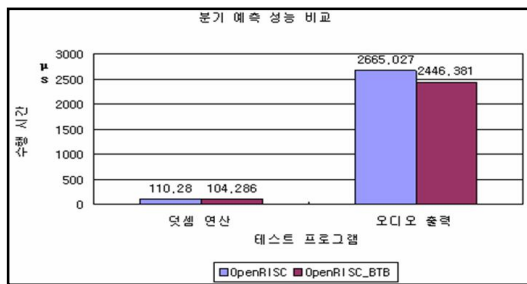


그림 6 BTB 내장된 프로세서의 성능평가

그림 6에서 보듯이 오디오 출력프로그램을 시뮬레이션 하였을 때 BTB를 내장한 프로세서의 프로그램 실행 시간이 BTB를 적용하지 않은 구조에 비해 수행시간이 약 9% 감소한 것을 볼 수 있다.

IV. ASIC 칩 설계

설계된 SoC 플랫폼의 각 IP 및 설계 블록을 검증하기 위해 Chartered 0.18um CMOS 셀 라이브러리를 이용하여 ASIC으로 구현 하였다. Synopsys사의 Design Compiler 합성 툴을 사용하여 로직 합성 시 worst/best 두 가지 동작 환경을 고려하여 동작조건과 Wire load model을 적용 하였으며, 두 가지 경우 모두 주어진 제약조건을 만족하였다. 로직 합성 후 SoC 검증 초기 단계 기능 검증시 사용했던 테스트 벤치를 이용하여 프리-레이아웃 시뮬레이션 검증을 수행하였다. Synopsys사의 Astro P&R 툴을 사용하여 배치 및 배선하고 최종 레이아웃 후 포스트-레이아웃

시뮬레이션 및 정적 타이밍 분석 결과 모든 코너별로 100MHz 주파수에서 정상적으로 동작함을 확인 하였다. 그림 7은 최종 검증 단계에서 캡처한 레이아웃을 보여준다.

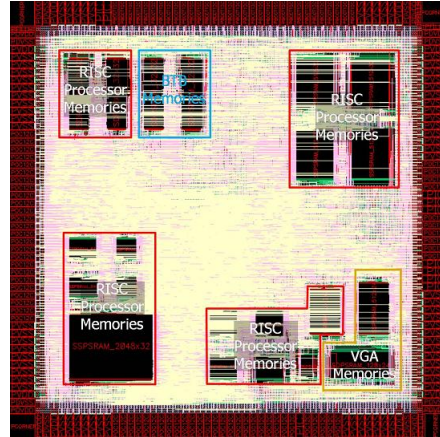


그림 7 SoC 레이아웃

설계된 SoC의 전체 칩 사이즈는 4mm² 이며 약 40만개의 게이트로 설계 되었다.

V. 결 론

본 논문에서는 다양한 멀티미디어 시스템에 응용 가능한 SoC 플랫폼을 제안하였다. 구현된 플랫폼은 BTB를 이용한 OpenRISC를 기반으로 VGA 제어기, AC97 제어기, UART, SRAM 인터페이스, 디버그 인터페이스를 포함한다. Verilog HDL을 이용하여 설계되었으며 다양한 테스트 프로그램을 사용하여 시뮬레이션을 수행하였으며, Xilinx VIRTEX-4 XC4VLX80 FPGA를 이용해 기능 및 타이밍 검증을 마쳤다. 최종적으로 Chartered 0.18um 공정을 이용하여 단일 ASIC 칩으로 구현되었으며 포스트-레이아웃 시뮬레이션에서 최대 100MHz 주파수에서 정상 동작함을 확인하였다. 또한, 이전 OpenRISC 마이크로프로세서를 사용한 플랫폼과의 비교를 위해 산술연산 및 AC97 테스트 프로그램을 이용한 시뮬레이션 결과 5~9%의 성능향상을 확인하였다.

참고문헌

- [1] Damjan Lampret, OpenRISC1000 Architecture Manual, April 5, 2006
- [2] OpenCores, <http://www.opencores.org>
- [3] Barry Fagin, Amit Mital, The performance of Counter-and Correlation-Based Schemes for Branch Target Buffer, IEEE, December, 1995