
ROM 축소를 이용한 직접디지털 주파수 합성기법

안영남 · 김종일

관동대학교

Direct digital frequency synthesizer using ROM reduction method

Young-Nam Ahn · Chong-Il Kim

Kwandong University

E-mail : rapkyo11@nver.com

요 약

본 논문에서는 ROM의 크기를 줄여 전력 소모를 줄일 수 있는 DDFS를 제안하였다. 새롭게 제안된 병렬 ROM 방식은 두 개의 ROM을 사용하여 원하는 주파수를 합성함으로써 전체적인 ROM들의 크기를 줄여준다. 표본화된 사인파의 양자화 값은 양자화 ROM과 차동 ROM에 저장된다. ROM 크기를 줄이기 위해 사인파를 양자화 할 때 일련의 차동 양자화 기술을 응용, 변형하여 두 개의 병렬 ROM을 사용한 압축방식을 제안한다. 이를 사용함으로써 최대 67.5%의 ROM 크기를 감소시켜 전력소모를 줄일 수 있다.

ABSTRACT

In this paper, a new method to reduce the size of ROM in the direct digital frequency synthesizer(DDFS) is proposed. The new parallel ROM compression method can reduce the ROM size by using the two ROM. The quantized value of sine is stored by the quantized-ROM and the differential ROM. To reduce the ROM size, we use the differential quantization technique with this two ROM. So the total size of the ROM in the proposed DDFS is significantly reduced compared to the original ROM. The ROM compression ratio of 67.5% is achieved by this method. Also, the power consumption is affected mostly by this ROM reduction.

키워드

Direct Digital Frequency Synthesizer, DDFS, phase-to-sine converter, phase accumulator, ROM reduction

1. 서 론

주파수 합성기는 무선통신 분야에서 원하는 반송파 주파수를 합성하여 발생시키는 반도체 집적회로로서, 민수분야의 무선휴대통신단말기, 무선 LAN등과 군수분야의 전술 무선휴대통신 단말기, 레이더 등에 활용되고 있다. 주파수 합성기는 PLL 방식과 DDFS 방식이 있다. 최근의 디지털 통신 시스템들은 빠른 주파수 변환, 정밀한 주파수 해상도, 넓은 주파수 대역 그리고 높은 주파수 선택성을 필요로 한다. 이런 요구들을 만족시키기 위하여 새롭게 등장한 개념이 직접 디지털 주파수 합성기이다. 또한 PLL을 이용한 주파수 합성기는 본질적으로 피드백 루프를 가지고 있어서 빠른 주파수 변환을 하기 어렵기 때문에 이러한 배경으로 새로운 등장한 개념이기도 하다.[1]

DDFS는 피드백 루프가 없기 때문에 고속으로 주파수 변환을 하는데 적합한 구조이다. 기존의 DDFS는 ROM을 사용하여 사인함수를 저장한다. ROM 테이블 방식은 출력에 필요한 정현파의 모든 샘플을 ROM에 저장하고 있어야 하기 때문에 출력 품질에 비례하여 ROM 테이블의 크기가 커지게 된다. 따라서 본 논문에서는 DDFS의 ROM 크기를 줄이기 위해 차동 양자화 기법을 사용하여 사인파를 양자화하고 이를 두 개의 ROM에 저장함으로써 한 개의 ROM을 사용할 때보다 ROM의 크기를 감소시킬 수 있다. 즉 표본화된 사인파의 양자화 값은 양자화 ROM 과 차동 ROM에 나누어져 저장시킴으로써 ROM크기와 소모 전력을 감소시킬 수 있음을 보인다. [2]

II. 본 론

DDFS의 기본 구조와 각각의 구성요소에서의 출력 파형은 그림 1과 같다. DDFS는 크게 디지털 회로 부분과 아날로그 회로 부분으로 나뉜다. 실제로 정현파를 생성하게 되는 것은 디지털 회로 부분이고, 이를 아날로그 응용 분야에 쓰일 수 있도록 DAC를 거쳐 아날로그 출력으로 만드는 것이 아날로그 회로 부분이다. DDFS의 동작원리는 매 clock마다 L비트의 FCW가 Phase accumulator에 저장되어 있는 값에 더해진다. Phase accumulator에 저장 되어진 L비트의 값 중에서 MSB쪽에 있는 상위 N비트가 Phase-to-sine converter로 입력된다. Phase-to-sine converter에서는 N비트의 phase에 해당하는 sine 값을 출력한다. Phase-to-sine converter를 구현하는 방법은 ROM을 이용방법 Taylor series를 이용하는 방법 CORDIC을 이용하는 방법 등이 있다. Phase-to-sine converter의 디지털 출력 값이 DAC를 통과하고 나면 아날로그 값으로 변환되고, 끝으로 Low Pass Filter(LPF)에 통과 시켜서 최종적으로 부드러운 파형을 얻는다. [3]

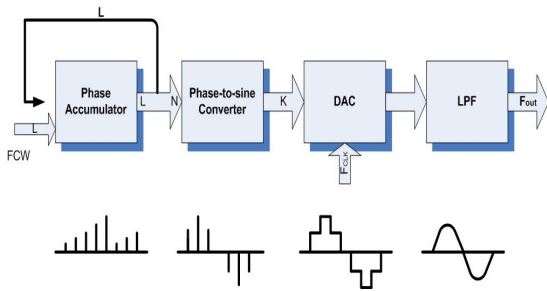


그림 1. DDFS의 기본 블록 다이어그램

III. QD-ROM 방식을 이용한 ROM크기 축소 기법

새롭게 제안된 병렬 ROM 압축방식은 두 개의 ROM을 사용하여 사인파를 형성하여 ROM들의 크기를 줄여준다. 표본화된 사인파의 양자화 값은 양자화 ROM과 차동 ROM에 저장된다. 그림 2처럼 사인파의 원래 ROM의 어드레스가 2^{L+M} 에 데이터 길이 q 비트로 양자화 되었을 때 2^{L+M} 의 어드레스를 2^L 블록으로 나누어 양자화 하여 Q-ROM에 저장한다.[4] D-ROM에는 Q-ROM의 표본화 간격을 2^M 으로 나누어 표본화하고 양자화 된 값은 그 블록의 표본화된 Q-ROM과의 차이만을 양자화 하여 저장한다. 이렇게 함으로써 D-ROM에 저장되는 양자화 값의 최대 크기는 Q-ROM에 저장되는 양자화 값보다 작은 양이기 때문에 q 비트보다 적은 데이터 길이로도 저장이 가능하다. 전통적인 방법으로 사

인파를 ROM에 저장했을 때 필요한 ROM의 사이즈는 $2^{L+M} \times q$ 이다. ROM 축소 방법으로 사인파를 저장했을 때 Q-ROM에 저장되는 ROM 사이즈는 $2^L \times q$ 이며 D-ROM에 저장되는 ROM 사이즈는 $2^{L+M} \times d$ (단, $d < q$)가 된다. 여기서 D-ROM의 데이터 길이 d 비트는 Q-ROM과 D-ROM의 표본화 값 차이의 최대값을 양자화할 수 있는 길이만큼 충분히 길어야 한다. 만일 그림 3처럼 Q-ROM의 데이터 비트 길이가 q 이고 Q-ROM의 어드레스 비트 길이가 L 이라 할 때 표본화 간격 ΔT 은

$$\Delta T = \frac{1}{2^L} \quad (1)$$

이 되며, 양자화 간격 Δv 는

$$\Delta v = \frac{1}{2^q} \quad (2)$$

이 된다. [6]

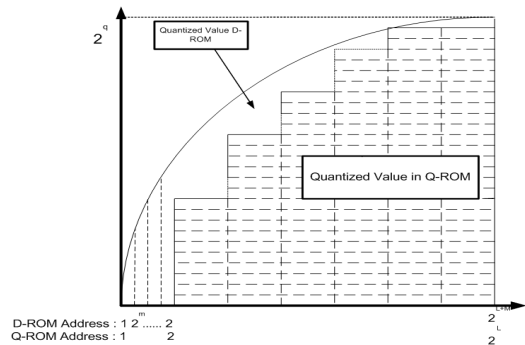


그림 2. ROM 축소 기법을 적용한 사인파의 양자화

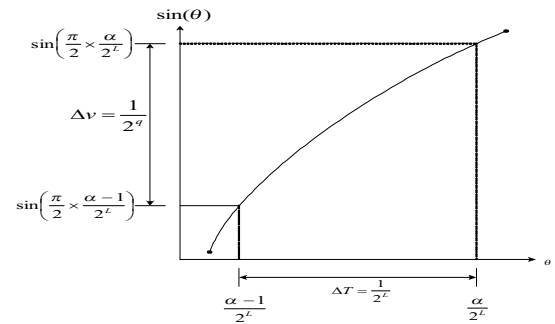


그림 3. D-ROM에 저장되는 데이터 비트 길이 계산

인의 위상 어드레스 α 인 경우 양자화 값은

$$\sin\left(\frac{\pi}{2} \times \frac{\alpha}{2^L}\right) \quad \text{단, } \alpha = 0, 1, \dots, 2^{L-1} \quad (3)$$

이다. D-ROM에 저장되는 양자화 값의 최대값은

$$\Delta m = \max \left\lfloor \frac{\sin\left(\frac{\pi}{2} \times \frac{\alpha}{2^L}\right) - \sin\left(\frac{\pi}{2} \times \frac{\alpha-1}{2^L}\right)}{\Delta v} \right\rfloor \quad (4)$$

가 된다. 여기서 $\lfloor \cdot \rfloor$ 는 \cdot 를 넘지 않은 최대 정수이다. 따라서 D-ROM에 이러한 양자화 값을 저장시키기 위해 필요한 비트수는

$$d = \lfloor \log_2 \Delta m + 1 \rfloor \quad (5)$$

이 된다. [5]

이렇게 2개의 ROM에 저장된 데이터는 최종적으로 그림 4처럼 Q-ROM의 데이터와 D-ROM의 데이터를 더해서 최종적인 데이터를 생성하게 된다. 이를 위한 최종적인 DDFS의 블록도가 그림4에 나와 있다.

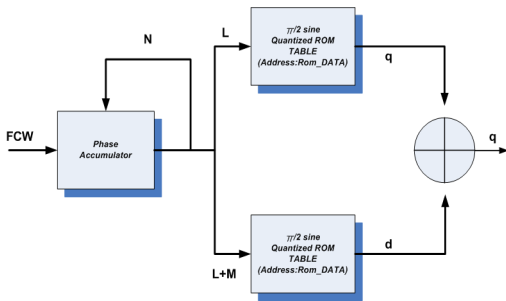


그림4. 제안된 QD-ROM의 위상 - 사인 변환기 블록도

표 1. 축소된 ROM 크기의 비율

	Address 비트 길이	데이터 비트 길이	데이터 비트수	Address 비트 길이	데이터 비트 길이	데이터 비트수
Q-ROM 데이터비트수	12	10	40,960	11	10	20,480
D-ROM 데이터비트수	0	0	0	12	1	4,096
총 데이터 비트수	12	10	40,960	12	11	24,576
감소율			100.0			40.0
	Address 비트 길이	데이터 비트 길이	데이터 비트수	Address 비트 길이	데이터 비트 길이	데이터 비트수
Q-ROM 데이터비트수	10	10	10,240	9	10	5,120
D-ROM 데이터비트수	12	2	8,192	12	2	8,192
총 데이터 비트수	12	12	18,432	12	12	13,312
감소율			55.0			67.5

IV. QD-ROM축소기법을 이용한 위상-사인변환기 설계

QD-ROM을 이용한 DDFS의 FPGA 설계 블록도가 그림 5에 나와 있다. QD-ROM 축소 기법을 이용한 위상-사인 변환기도 역시 입력 데이터는 외부에서 발생한 100MHz 클럭과 FPGA를 구동시키기 위한 Reset신호, 그리고 주파수를 정해주는 30비트의 FCW

신호로 이루어져 있으며 출력 데이터는 ROM에 저장된 10비트의 데이터와 부호비트로 이루어진 총 11비트의 출력데이터 이다.

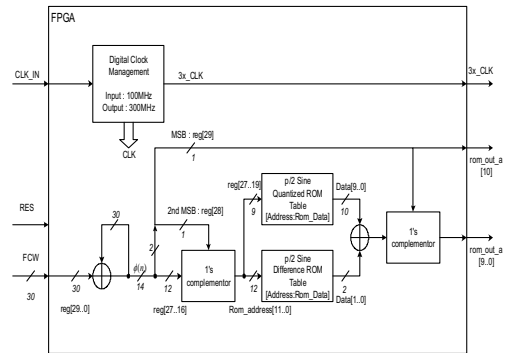


그림 5 QD-ROM을 이용한 위상-사인 변환기의 FPGA 블록도

여기서 클럭은 100MHz의 오실레이터를 이용하여 FPGA로 입력되어지며 FPGA 내부에서 DCM을 이용하여 300MHz로 체배되어 진다. 단, QD-ROM을 이용하기 위해서는 두 개의 ROM이 필요하며 표 3-1의 결과에 의하여 $2^9 \times 10$ 의 Q-ROM을 사용하고 $2^{12} \times 2$ 의 D-ROM을 사용한다. 전통적인 ROM 기법을 사용한 것보다 67.5%의 ROM 크기를 축소할 수 있다. [5] 입력되어진 30비트의 FCW는 위상 누적기에 의해서 누적되고 사인파의 위상을 출력하게 된다. 30비트의 위상 중 상위 14비트만 ROM의 어드레스로 사용하기 위해 다음 단계로 전달된다. 이중 최상위 MSB 2비트는 $\pi/2$ 사인 ROM 알고리즘을 위해 사용되어진다. 14비트의 어드레스 비트 중 2nd MSB가 "0"의 데이터 값을 가질 때는 입력되어지는 12비트의 어드레스가 점차적으로 증가하여 ROM에 저장되어 있는 $\pi/2$ 까지의 사인파형을 출력하게 된다. 그러나 2nd MSB가 "1"의 데이터 값을 가질 때 입력되어지는 12비트의 어드레스가 1의 보수가 되어 실제로 어드레스는 감소하게 되고 ROM에 저장되어 있는 $\pi/2$ 까지의 사인파형을 반대로 출력하게 되어 $\pi/2$ 부터 π 까지의 사인 파형을 출력한다. 또한 최상위 MSB가 "1"이 되면 ROM에서 출력되는 데이터가 1의 보수가 되어 실제로 음수의 값을 갖는 π 에서부터 2π 까지의 사인파형을 출력하게 된다. 14비트의 어드레스 비트 중 하위 12비트는 D-ROM의 어드레스로 사용하고 그 중 상위 9비트는 또한 Q-ROM의 어드레스로 사용한다. QD-ROM 알고리즘을 사용하기 위해 ROM의 출력 데이터를 비트끼리 더해져 최종적인 사인 파형을 형성하게 된다. 그러나 이러한 방식도 ROM의 크기를 줄여 전력 소모를 줄일 수 있으나 동작 주파수가 300MHz이기 때문에 최대 출력 주파수는 150MHz로 제한되어진다. Xilinx의 ISE를 이용하여 이러한 기법을 사용한 위상-사인 변환기 시뮬레이션 은 그림 6, 7에 나타나 있고 그림 9, 10은 스펙트럼 분석기를 이

용한 실험 결과물 이다.

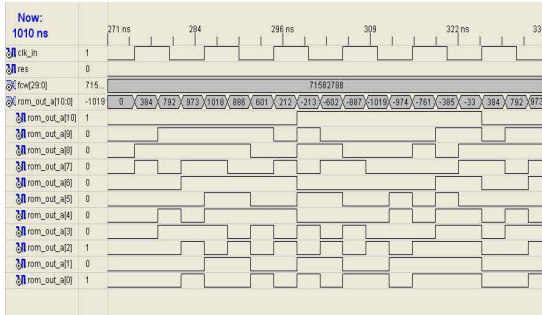


그림 6. QD-ROM을 이용한 위상-사인 변환기의 FPGA 시뮬레이션 결과 : 20MHz

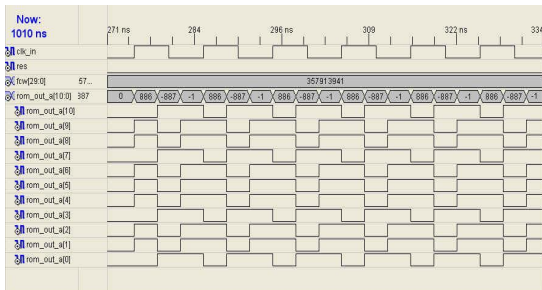


그림 7. QD-ROM을 이용한 위상-사인 변환기의 FPGA 시뮬레이션 결과 : 100MHz

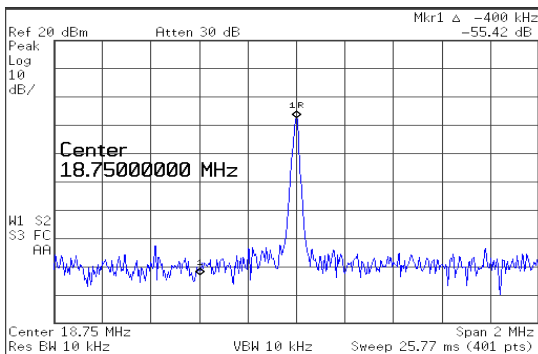


그림 8. 중심 주파수 18.75MHz 출력 스펙트럼

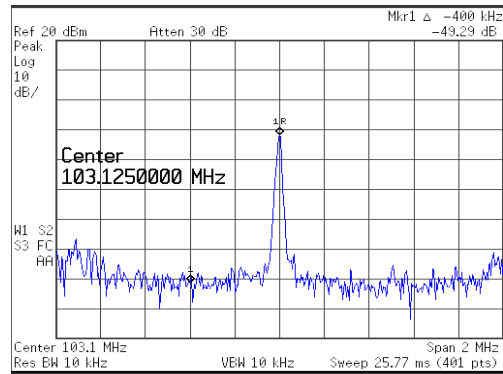


그림 9. 중심 주파수 103.125MHz 출력 스펙트럼

III.결 론

본 논문에서는 ROM의 크기를 줄여 전력 소모를 줄일 수 있는 DDFS를 제안하였다. 새롭게 제안된 ROM 압축방식은 두 개의 ROM을 사용하여 ROM들의 크기를 줄여준다. 표본화된 사인파의 양자화 값은 양자화 ROM과 차동 ROM에 저장된다. ROM 크기를 줄이기 위해 사인파를 양자화 할 때 일련의 차동 양자화 기술을 응용, 변형하여 두 개의 ROM을 사용한 병렬 ROM을 사용함으로써 67.5%의 ROM 사이즈를 감소시킬 수 있다. 앞으로 이를 이용하여 저전력의 DDFS를 설계 제작할 수 있으리라 본다.

참 고 문 헌

- [1] V. F. Kroupa, *Direct Digital Frequency Synthesizers*. New York: IEEE Press, 1999.
- [2] J. Tierney, C. M. Radre, and B. Gold, "A Digital Frequency Synthesizer," *IEEE Transactions on Audio and Electroacoustics*, vol. AU-19, pp. 48-57. March 1971.
- [3] Ferrel G. Stremler, *Introduction to Communication Systems 3rd Edition*, Addison-Wesley Publishing Company, 1990.
- [4] Avanindra Madiseti, Alan Y Kwentus, and Alan NWilson, "A 100MHz, 16-b Direct Digital Frequency Synthesizer with a 100dBc Spurious Free Dynamic Range," *IEEE J. of Solid State Circuits*, vol. 34, no. 8, pp. 1034-1043, August, 1999.
- [5] S. Morteza pour and E. K. F. Lee, "Design of Low-Power ROM-Less Direct Digital Frequency Synthesizer Using Nonlinear Digital-to-Analog Converter," *IEEE J. Solid-State Circuits*, vol. 34, no. 10, pp.1350-1359, Oct. 1999.
- [6] L. A. Weaver, "High Resolution Phase to Sine Amplitude Conversion", U.S. Patent 4 905 177, February 19