

Plasma Dry Etching 방법에 의한 Wafer Backside Etch 특성 평가

한영기¹, 서영수¹, 유재하², 이동열², 서상훈³, 황옥중⁴

¹(주)소슬, ²하이닉스 반도체, ³한국과학기술원, ⁴나노종합팩

반도체 소자가 점점 소형화, 고집적화 됨에 따라 wafer backside에 대한 중요도도 점점 크게 부각되고 있는 실정이다. 그것은 소자의 신뢰성에 영향을 주는 민감한 부분 중의 하나로 공정에 따라 발생할 수 있는 particle이나 wafer의 이송 중에 발생하는 particle, 또는 wafer backside에 증착되는 원치 않는 막에 의한 warpage 등이 소자업체의 생산성에 심각한 영향을 주기 때문이다. 본 연구는 당사가 자체 개발한 wafer backside plasma dry etcher 장비를 이용하여 wafer backside에 남아 있는 막 및 particle 제거에 대한 연구를 진행하였고, 그 결과를 바탕으로 반도체 소자의 수율에 미치는 영향을 검증하였다.

그림 1은 Wafer 후면에 증착되어 있는 혼합막을 over etching 한 후 Si 표면에 대한 영향을 분석한 결과이다. Etching을 진행한 혼합막의 구성은 Si oxide 위에 poly Si이 증착된 구조로 되어 있다. 그림에서 보듯이 혼합막에 대한 잔막은 확인 할 수 없었으며, plasma를 사용하여 over etching을 진행하였음에도 불구하고 Si 표면에는 damage가 발생하지 않은 것을 확인할 수 있었다. 이러한 결과는 혼합막 뿐 아니라 oxide, nitride, poly 막만 증착되어 있는 단일막의 경우에도 동일한 수준의 결과를 확인 할 수 있었다. 그림 2는 wafer 표면에 인위적으로 particle을 만든 후 etching을 통한 particle 제거 test를 진행한 결과이다. 그림에서 보듯이 wafer 표면에 남아 있던 particle은 급격히 감소하는 것을 확인 할 수 있었다. 이러한 결과는 반도체 소자를 제작하는 wafer 상에 해당 결과를 적용할 수 있음을 시사하는 결과다. 그림 3은 상기와 같은 결과를 바탕으로 소자업체에서 양산을 진행하고 있는 DRAM 소자에 wafer backside etching test를 진행하고, 실제 수율에 미치는 영향을 평가한 결과이다. 그림에서 보듯이 wafer backside etching을 적용한 wafer에서의 수율과 이를 적용하지 않은 wafer에서의 평균 수율 차이는 약 2% 이상을 보이고 있으며, 특히 wafer edge 부분에서의 수율은 훨씬 더 크게 개선된 것을 확인할 수 있었다. 이러한 원인은 wafer backside에 남아 있던 particle을 제거함으로써 photo 공정에서의 beam aligne 개선에 영향을 준 것으로 사료되며, 특히 wafer edge 부분의 수율 증가는 wafer warpage 개선에 따른 효과로 사료된다.

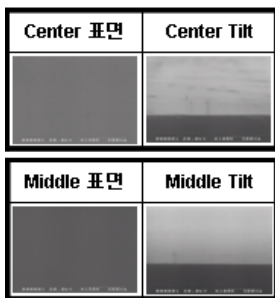


그림 1

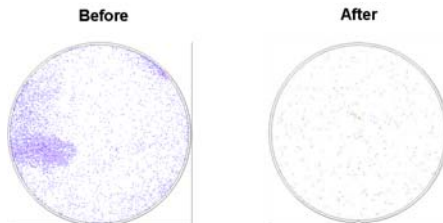


그림 2

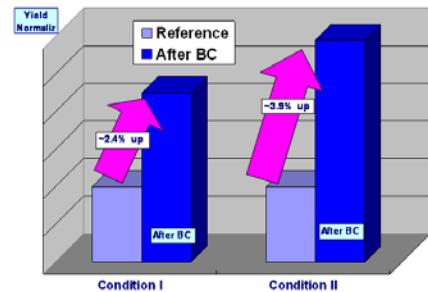


그림 3

본 연구는 지식경제부 나노반도체장비 원천기술상용화사업 지원에 의해 수행되었습니다.