

광PCB-기반 광링크용 저전력 Si-CMOS 광/전회로

이태우*, 박효훈

한국정보통신대학교 공학부

컴퓨터 CPU와 메모리의 신호처리 속도가 높아짐에 따라서 CPU-메모리 간 고속 대용량 신호선 간의 간섭현상, 임피던스 정합 문제, 신호 감쇄 문제 등 Cu-기반 FR4 PCB에서의 문제점이 제기되고 있으며, 이러한 전기 연결의 문제점을 해소하기 위하여 광PCB 기반 광링크에 대한 필요성이 증대되고 있다. 그러한 광PCB 광링크에서 광/전 변환을 위한 광소자(LD/PD)와 함께 고속 멀티채널 광/전회로는 다채널에서의 전력소모 문제, 채널간 간섭현상 등을 고려하여 설계, 제작되어야 한다. 본 논문에서는 광PCB 기반 광링크용 광/전변환에 필요한 구도를 살펴보고 그에 필요한 회로를 Si-CMOS 상용 파운드리를 사용하여 설계, 제작하였다.

CPU-메모리 간 광링크는 point-to-point 연결구도와 multipoint-to-point 연결구도가 가능하며 그에 따라서 필요한 광/전 회로의 설계가 필요하다. 본 논문에서는 기본적인 저전력형 송/수신회로와 CDR 회로, SerDes 회로에 대하여 살펴보고 그 설계 결과와 제작 및 측정결과를 제시하여 고속 대용량 차세대 컴퓨터에 대한 광PCB 기반 광링크에 대한 대안을 제시하고자 한다.

Platinum silicided p-type Schottky barrier metal-oxide-semiconductor field-effect transistors (SB-MOSFETs) using silicidation through oxide technique

최철중¹, 문란주¹, 정명일¹, 길연호¹, 오미영¹, 신미임¹, 심규환¹, 장문규², 장성용³

¹전북대학교 반도체과학기술학과, ²한국전자통신연구원, ³한국전력연구원

We investigated electrical and structural properties of platinum (Pt) silicided p-type Schottky barrier metal-oxide-semiconductor field-effect transistors (SB-MOSFETs) with the gate lengths of 2 ~ 20 μm , which were fabricated using the silicidation through oxide (STO_x) technique coupled with rapid thermal annealing or furnace annealing process. The furnace-annealed SB-MOSFETs showed lower subthreshold swing (SS) [~ 60 mV/dec.] and larger on/off current ratio [$> 10^6$] with lower reverse leakage current level [$< 10^{-8}$ $\mu\text{A}/\mu\text{m}$], compared to the rapid-thermal-annealed ones. Based on scanning electron microscope (SEM) and scanning transmission electron microscope (STEM) examinations, such a superior device performance of furnace-annealed-SB-MOSFETs could be attributed to the formation of high quality Schottky contact in Pt-silicide (PtSi) film with uniform surface morphology and excellent interface uniformity, caused by a controlled Pt flux through the densified SiO_x interlayer during furnace annealing process.