

## Joule-heating induced crystallization (JIC) for LTPS TFT-Backplanes

홍원의, 노재상

홍익대학교 공과대학 신소재 공학과

최근 차세대 평판 디스플레이의 응용에 많은 주목을 받고 있는 AMOLED의 경우, AMLCD가 전압 구동인데 반하여, 전류 구동 방식이기 때문에 a-Si TFT 보다는 LTPS-TFT가 요구되며, LTPS 사용 시 대면적 기판에서의 결정립 크기의 균일도가 매우 중요한 인자이다. 현재 소형 AMOLED 양산의 경우 레이저를 사용하는 ELC 결정화 방법을 사용하여 LTPS-TFT Backplane을 생산하고 있다. 그러나 중대면적 AMOLED의 경우 레이저 빔 자체의 불균일성, shot to shot 불균일성, 그리고 레이저 빔 중첩의 부정확도 등에 기인하는 mura (불균일한 화질) 현상을 피할 수 없는 심각한 문제에 처한 것이 AMOLED 연구 및 개발에 박차를 가하고 있는 양산 업체가 가지고 있는 현실이다. 이러한 현실을 고려할 때, non-Laser 방식에 의한 결정화 방법을 통하여 결정립 크기의 미시적/거시적 균일도가 우수한 다결정 실리콘 박막을 제조하는 신기술에 대한 필요성이 매우 높은 실정이다. 현재 연구/개발 중에 있는 non-Laser 방식에 의한 결정화 방법인 SGS (or MICC) 결정화 방법의 경우 SiNx 또는 SiO<sub>2</sub> 확산 방지막을 사용하여 금속 오염을 최소화하면서 MIC 결정화를 유도한 기술이다. 그러나 중대면적 AMOLED 양산을 성공적으로 구현하기 위해서는 균일한 크기의 촉매 금속 분포 그리고 금속 오염을 극소화할 수 있는 gettering 기술 개발이 절실히 필요한 현실이다. 본 연구에서는 비정질 실리콘 박막 상부 혹은 하부에 도전층을 개재하고, 상기 도전층에 전계를 인가하여 그것의 주울 가열에 의해 발생한 고열에 의해 비정질 실리콘 박막을 급속 고온 고상 결정화하는 방법에 관한 기술인 JIC (Joule-heating Induced Crystallization) 결정화 공정을 개발하였다. 본 결정화 공정은 상온에서 만분의 일 초 내에 수행하는 것이 가능하며 공정적인 측면에서도 별도의 열처리로가 필요하지 않는 장점을 가지고 있다.

### 감사의 글

이 논문은 2008년도 정부(교육과학기술부)의 재원으로 한국과학재단의 지원을 받아 수행된 연구임(No. R01-2008-000-10897-0).

## Reverse annealing of boron doped polycrystalline silicon

임정윤, 노재상

홍익대학교 공과대학 신소재 공학과

Non-mass analyzed ion shower doping (ISD) technique with a bucket-type ion source or mass-analyzed ion implantation with a ribbon beam-type has been used for source/drain doping, for LDD (lightly-doped-drain) formation, and for channel doping in fabrication of low-temperature poly-Si thin-film transistors (LTPS-TFT's) [1,2,3]. We previously reported reverse annealing behavior of poly-Si. We report here the importance of implantation conditions on the dopant activation. For the sample preparation SiO<sub>2</sub> insulation layer with a thickness of 300 nm was formed on a glass substrate of 370 mm x 470 mm x 0.7mm (width x length x thickness) by means of plasma enhanced chemical vapor deposition (PECVD). An a-Si thin film with a thickness of 50 nm was formed successively upon the insulation layer using PECVD. The substrates used were poly-Si produced by two-shot sequential lateral solidification (SLS) followed by deposition of 75 nm-thick SiO<sub>2</sub> layer. The glass substrate was broken into pieces of 20 mm x 20 mm, thereby preparing a test piece. Boron was implanted by mass-separated ion implanter with acceleration energies from 20 to 35 keV. Rapid thermal annealing (RTA) was conducted in the temperature ranges from 5500 °C to 650 °C for dopant activation. The sheet resistance was determined using a 4-point-probe. Activation efficiency and mobility of charge carriers were determined by Hall measurement using a van der Paw method.