

---

# 모바일 3차원 그래픽스 시스템에 적용 가능한 SIMD 구조를 갖는 래스터라이저의 하드웨어 구현

하창수\* · 성광주\*\* · 최병윤\*\*\*  
\*동의대학교 컴퓨터공학과 박사과정  
\*\*동의대학교 컴퓨터공학과 석사과정  
\*\*\*동의대학교 컴퓨터공학과 교수

## Hardware Implementation of Rasterizer with SIMD Architecture Applicable to Mobile 3D Graphics System

Chang-Soo Ha\* · Kwang-Ju Sung\*\* · Byeong-Yoon Choi\*\*\*  
\*Doctor's course of Computer Engineering at Dongeui University  
\*\*Master's course of Computer Engineering at Dongeui University  
\*\*\*Professor of Computer Engineering at Dongeui University  
E-mail : \*[systemonchip@daum.net](mailto:systemonchip@daum.net), \*\*[ruben2932@daum.net](mailto:ruben2932@daum.net), \*\*\*[bychoi@deu.ac.kr](mailto:bychoi@deu.ac.kr)

### 요 약

본 논문에서는 모바일 3차원 그래픽스 시스템에 적용 가능한 SIMD 구조를 갖는 래스터라이저를 하드웨어로 구현하고 FPGA로 검증한 내용을 기술한다. 타일 기반의 스캔 컨버전 회로는 4개의 타일이 동시에 동작하는 SIMD 구조를 따르며 각 타일은 3단계의 계층적 탐색을 통해 타일 내의 방문횟수를 최소화 한다. 실험을 통해 8x8 크기의 타일이 가장 효율적인 것으로 판단되었으며, 계층적 탐색의 마지막 단계에는 2x2 크기의 서브타일을 탐색하게 된다. 플랫 셰이딩과 고라운드 셰이딩을 지원하며, 텍스처 매핑 회로는 어파인 매핑과 원근보정이 적용된 매핑을 지원한다. 또한 텍스처 매핑 회로의 필터링 모드는 포인트 샘플링 방식과 2차 선형 보간 방식을 지원하며, 두 가지의 wrap 모드와 다양한 블렌딩 모드를 지원하도록 설계되어 있다. Xilinx Vertex4 LX100 디바이스를 기준으로 약 120Mhz의 동작 속도를 가지며 텍스처 메모리와 프레임 버퍼는 검증을 용이하게 하기위해 블록 램으로 설계되었다.

### ABSTRACT

In this paper, we describe research results of developing hardware rasterizer that is applicable to mobile 3D graphics system, designed in SIMD architecture and verified in FPGA. Tile-based scan conversion unit is designed like SIMD architecture running four tiles simultaneously and each tile traverses pixels hierarchical in 3-level so that visiting counts is minimized. As experimental results, 8x8 is the most efficient size of tile and the last step of tile traversing is performed on 2x2 sized subtile. The rasterizer supports flat shading and gouraud shading and texture mapper supports affine mapping and perspective corrected mapping. Also, texture mapper supports point sampling mode and bilinear interpolating sampling mode and two types of wrapping modes and various blending modes. The rasterizer operates as 120Mhz on xilinx vertex4 lx100 device. To easy verification, texture memory and frame buffer are generated as block rom and block ram.

### 키워드

래스터라이저, 모바일 3차원 그래픽스, 스캔 컨버전, SIMD 구조

## I. 서 론

3차원 그래픽스 시스템에서 래스터라이저는 기하연산이 완료된 정점정보를 받아 픽셀 정보를 생성하는 역할을 한다. 전통적인 고정 기능 그래픽스 파이프라인뿐만 아니라 프로그래밍 가능한 그래픽스 파이프라인에서도 사용되는 중요한 기능이다. 본 논문에서는 SIMD 유사 구조를 갖는 스캔 컨버전 회로와 두 가지 모드를 지원하는 셰이더 회로, 그리고 다양한 기능을 갖는 텍스처 매핑 회로로 구성되는 래스터라이저를 설계하고 FPGA로 검증한 결과를 기술하였다.

## II. 래스터라이저의 하드웨어 설계

### A. 스캔 컨버전 회로

스캔 컨버전 회로는 정점 정보로부터 화면상에 나타내어야 할 픽셀을 결정하기 위해 반평면경계 함수를 사용하였으며, 타일기반의 탐색방법에 SIMD 구조를 적용하여 고속으로 픽셀을 탐색할 수 있도록 하였다. 그림 1에 제안하는 스캔 컨버전 회로의 SIMD 구조를 나타내었다.

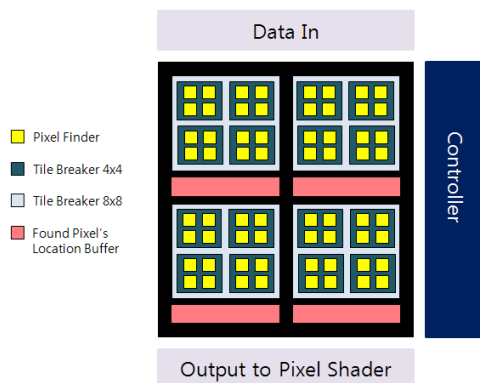


그림 1 제안하는 스캔 컨버전 회로의 SIMD 구조

그림 1의 Tile Breaker 8x8은 8x8 크기의 타일을 4x4 크기의 서브 타일로 나누는 기능과 현재의 8x8 타일이 스캔 변환 도형의 내부에 있는지 외부에 있는지를 판단하는 기능을 갖는다. Tile Breaker 4x4 역시 Tile Breaker 8x8과 유사한 기능을 수행하며 차이점은 서브 타일의 크기가 2x2 이라는 것이다. Pixel Finder는 2x2의 최종 서브 타일에서 스캔 변환 도형에 포함되는 픽셀을 탐색하게 된다. 탐색을 통해 도형에 포함되는 픽셀의 위치 정보는 Found Pixel's Location Buffer에 담기게 된다. 실험을 통해 타일의 크기는 8x8이 가장 효율적인 것으로 판단되었으며 제안하는 스캔 컨버전 회로의 구조에 따라 4개의 타일을 동시에 탐색한다.

### B. 셰이더 회로

본 연구에서 적용된 셰이더 알고리즘은 플랫폼 셰이딩과 고라운드 셰이딩 두 가지이며, 고라운드 셰이딩은 무게중심좌표계를 활용하여 보간연산을 수행한다.

### C. 텍스처 매핑 회로

텍스처 맵핑 회로는 어파인 매핑과 원근보정이 적용된 매핑을 지원한다. 또한 텍스처 매핑 회로의 필터링 모드는 포인트 샘플링 방식과 2차 선형 보간 방식을 지원하며, 두 가지의 wrap 모드와 다양한 블렌딩 모드를 지원하도록 설계되어 있다. 표 1에 본 연구에서 지원하는 텍스처 매핑 회로의 기능들을 나타내었다.

표 1. 텍스처 매핑 회로의 지원 기능

Mode	Functions
Mapping Mode	Affine/Perspective Correction
Filtering Mode	Point Sampling/Bilinear
Wrapping Mode	Repeat/Clamp
Blending Mode	Disable/Modulate/Replace/Decimal/Blend

### D. 래스터라이저의 FPGA 구현

앞에서 기술한 각 회로들을 Verilog-HDL로 기술하고 Xilinx Vertex4 LX100 디바이스에 구현하였다. 또한 래스터라이저의 연산 결과를 TFT-LCD에 출력하기 위해 240x320 Color TFT-LCD 컨트롤러를 함께 설계하여 통합하였다. 표 2에 통합 구현된 래스터라이저와 TFT-LCD 컨트롤러의 합성결과를 나타내었으며 그림 2는 TFT-LCD에 출력된 연산결과를 보여준다.

표 2. 통합 구현된 회로의 합성결과

Slices	40111/49152(81%)
LUTs	75468/98304(76%)
RAMBs	147/240(61%)
F/F	19939/98304(20%)
Freq.	124.747Mhz

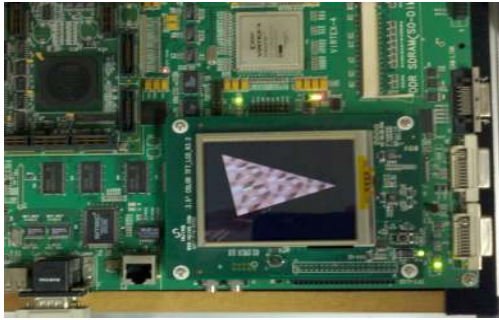


그림 2 구현된 래스터라이저의 동작화면

표 2의 통합 구현된 회로의 합성결과에는 TFT-LCD 컨트롤러뿐만 아니라 프레임 버퍼와 텍스처 메모리를 위한 블록 램과 블록 룬이 포함되어 있다. 그림 2는 원근 보정이 적용된 텍스처 매핑 기능을 설정하여 출력된 래스터라이저의 결과를 나타내고 있다.

### III. 검증 및 성능평가

구현된 래스터라이저의 올바른 동작 검증을 위해 소프트웨어 참조 모델을 만들어 하드웨어 래스터라이저의 출력 데이터와 비교하였다. 스캔 컨버전 회로에서 소수점 이하의 정밀도 차이 때문에 최대  $\pm 0.5$ 의 오차가 존재하였으며 반올림 연산으로 인해 실제 출력 좌표 데이터에서는 크의 오차가 발생하였다. 셰이더와 텍스처 매핑 회로에서는 오차가 발생하지 않았다. 그림 3에 소프트웨어 참조 모델의 수행화면을 나타내었다.

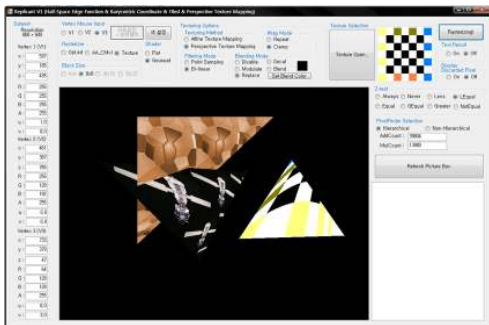


그림 3 소프트웨어 참조 모델의 수행화면

스캔 컨버전 회로의 픽셀 생성율은 4개의 타일에 대해 병렬로 탐색이 수행됨에 따라 1 클럭 사이클당 평균 2.5개의 픽셀을 생성하므로 FPGA 상에서는 약 360Mpixels/sec의 성능을 갖는다.

### IV. 결론

본 논문에서는 모바일 3차원 그래픽스 시스템에 적용 가능한 SIMD 구조를 갖는 래스터라이저

를 하드웨어로 구현하고 FPGA로 검증한 내용을 기술하였다. 타일 기반의 스캔 컨버전 회로는 4개의 타일이 동시에 동작하는 SIMD 구조를 따르며 각 타일은 3단계의 계층적 탐색을 통해 타일 내의 방문횟수를 최소화 하도록 하였다. 플랫폼 셰이딩과 고라운드 셰이딩을 지원하며, 텍스처 맵핑 회로는 어파인 매핑과 원근보정이 적용된 매핑을 지원한다. 또한 텍스처 매핑 회로의 필터링 모드는 포인트 샘플링 방식과 2차 선형 보간 방식을 지원하며, 두 가지의 wrap 모드와 다양한 블렌딩 모드를 지원하도록 설계되어 있다. Xilinx Vertex4 LX100 디바이스를 기준으로 약 120Mhz의 최대 동작 주파수를 가지며 이 때, 스캔 컨버전의 픽셀 생성율은 약 360Mpixels/sec이다.

본 연구에서 제안한 SIMD 구조의 스캔 컨버전 회로는 점점 고성능을 요구하는 3차원 모바일 그래픽스 시스템에 적용할 수 있을 것으로 판단되며 셰이더와 텍스처 매핑 회로는 3차원 모바일 그래픽스 시스템뿐만 아니라 PC용 그래픽스 시스템에도 적용할 수 있을 것으로 판단된다.

### 감사의 글

본 연구에 IDEC의 CAD Tool 지원을 받았습니 다.

### 참고문헌

- [1] Cai Mike, Garritsen Frido, Chen Ming, "Hierarchical tile-based rasterization algorithm," European Patent Application, App. Num. 07119695.0.
- [2] Ned Greene, "Hierarchical Polygon Tiling with Coverage Masks," Apple Computer.
- [3] Zahid S. Hussain, Timothy J. Millet, "Method and Apparatus for Rasterizing in a Hierarchical Tile Order," United States Patent, Patent No. US 7,042,460 B2.
- [4] Massimiliano Barone, Danilo Pietro Pau, "Method for Detecting Border Tiles or Border Pixels of a Primitive for Tile-Based Rendering," United States Patent Application Publication, Pub. No. US 2009/0147016 A1.
- [5] Marcus D. Waller and Jon P. Ewins, "Efficient primitive traversal using and adaptive linear Edge Function algorithms," University of Sussex, 1999.
- [6] Juan Pineda, " A Parallel Algorithm for Polygon Rasterization", Apollo Computer Inc., 1988.