
가변 병렬 터미네이션을 가진 단일 출력 송신단

김상훈* · 어지훈* · 장영찬*

*금오공과대학교

A Single-Ended Transmitter with Variable Parallel Termination

Sang-hun Kim* · Ji-hun Uh* · Young-Chan Jang*

*School of Electronic Engineering., Kumoh National Institute of Technology

E-mail : ycjang@kumoh.ac.kr

요 약

Center-tapped termination을 가진 stub series-termination logic (SSTL) 채널을 지원하기 위한 전압모드 송신단을 제안한다. 제안하는 송신단은 진단 모드를 지원하고 신호보전성을 향상시키기 위해 출력레벨 조절수단을 가지며, 가변 병렬 터미네이션을 사용하여 swing level을 조절하는 동안 송신단의 출력 저항을 일정하게 유지시켜준다. 또한 제안하는 송신단의 off-chip 저항은 기생 캐패시터, 인덕터에 의한 termination의 임피던스 부정합을 줄여준다. 제안된 송신단을 검증하기 위해서 50Ω의 출력저항을 유지하면서 8-레벨의 출력을 제공하는 전압모드 송신단을 1.5V의 70nm 1-poly 3-metal DRAM공정을 이용하여 구현하였다. 수신단 termination이 존재하지 않는 SSTL 채널에서 제안하는 출력레벨 조절이 가능한 송신단을 이용함으로 1.6-Gb/s에서 54%의 jitter 감소가 측정되었다.

ABSTRACT

A swing level controlled voltage-mode transmitter is proposed to support a stub series-terminated logic channel with center-tapped termination. This transmitter provides a swing level control to support the diagnostic mode and improve the signal integrity in the absence of the destination termination. By using the variable parallel termination, the proposed transmitter maintains the constant output impedance of the source termination while the swing level is controlled. Also, the series termination using an external resistor is used to reduce the impedance mismatch effect due to the parasitic components of the capacitor and inductor. To verify the proposed transmitter, the voltage-mode driver, which provides eight swing levels with the constant output impedance of about 50Ω, was implemented using a 70nm 1-poly 3-metal DRAM process with a 1.5V supply. The jitter reduction of 54% was measured with the swing level controlled voltage-mode driver in the absence of the destination termination at 1.6-Gb/s.

키워드

transmitter, source termination, output impedance, single-ended signaling, swing level control

1. 서 론

Chip-to-chip interface에서 송신단의 출력레벨의 조절은 high-speed link를 분석하기 위해서 필요하다[1]. 이 경우 송신단의 출력저항은 신호보전성을 보장하기 위해서 일정하게 유지되어야 한다. 특히 일부 consumer application에서 수신단의 ODT (on-die termination)나 board termination은 전력소모와 면적으로 인해 사용하지 못하는 경우가 있다. 이 경우 source termination의 임피던스 matching은 더욱 중요해진다. Center-tapped termination을 가진 stub series-termination logic

(SSTL) 채널을 지원하기 위해 main memory DRAM은 그림 1(a)에 보인 전압모드의 단일출력 push-pull drive를 사용한다[2]. 이 드라이버의 출력레벨을 조절하기 위해서는 power와 ground의 레벨을 바꾸어주어야 한다. 이로 인해 넓은 impedance 보상범위를 가지는 off-chip driver가 요구된다. 그림 1(b)의 push-pull 드라이버는 power와 ground의 레벨을 변화시키지 않고 전류원을 사용하였다. 그러나 on-chip 전류원의 사용은 simultaneous switching current를 순간적으로 공급해주기 어렵기 때문에 operating speed를 제약할 수 있다. 또한 그림 1(c)의 pseudo open

drain 드라이버는 출력레벨의 변화는 용이하나 center-tapped termination을 지원하기 어렵다.

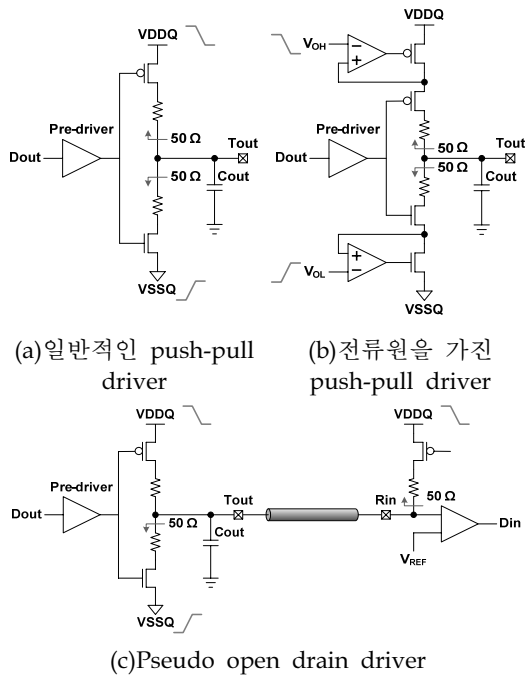


그림 1. 출력레벨 조절을 위한 일반적인 송신단

본 논문은 가변 병렬 터미네이션을 이용함으로써 출력레벨을 제어할 수 있는 단일 출력 송신단을 제안한다. 제안하는 송신단은 진단 모드를 제공하고 수신단 termination이 없는 경우 신호보전성을 향상시킨다. II장에서는 제안하는 가변 병렬 터미네이션을 가지는 단일 출력 송신단을 논의한다. 그리고 III장에서는 테스트 칩의 제작과 측정결과를 포함하며, IV장에서 본 논문의 결론을 맺는다.

II. 가변 병렬 터미네이션을 가지는 단일 출력 송신단

그림2는 본 논문에서 제안하는 가변 병렬 터미네이션을 가지는 단일 출력 송신단의 회로도이다. 제안하는 송신단은 Driver/ODT, Variable Parallel Termination (가변 병렬 터미네이션), Control Block으로 구성된다. Driver/ODT, 가변 병렬 터미네이션의 출력지점은 서로 연결된다. 가변 병렬 터미네이션은 출력모드에서 송신단의 출력저항을 일정하게 유지하면서 출력레벨을 변화시키는 기능을 수행한다. 가변 병렬 터미네이션 블록으로 기존 push-pull driver의 회로 보다 20%의 면적이 증가되며, 또한 송신단의 출력 캐패시턴스가 증가한다. 그러나 이것은 수신단의 ODT (on-die

termination)나 board termination이 없는 경우의 신호보전성 악화에 비해 심각한 수준이 되지 않는다. 수신단 termination이 없고 단지 송신단의 termination만 사용될 때 송신단의 출력 임피던스 정합은 신호보전성을 위해 더욱 중요해진다. 본 연구에서는 기생 캐패시턴스 혹은 인덕터로 인한 출력 임피던스 부정합을 줄이기 위해 23.33Ω의 칩 외부 저항을 이용하여 series termination을 추가하였다.

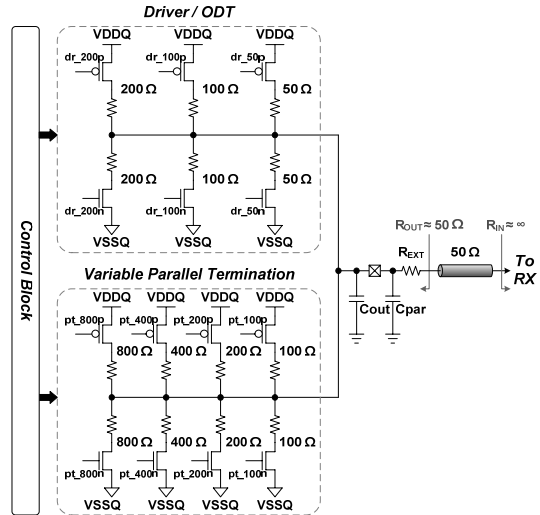
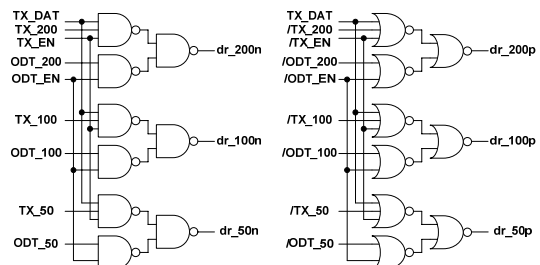
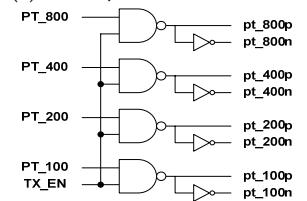


그림 2. 제안하는 단일출력 전송단



(a) Driver/ODT의 제어블록



(b) 가변 병렬 termination의 제어블록

그림 3. Control 블록

표 1. 출력레벨 제어를 위한 control 블록 입력

V _{swing} [V]	TX_200	TX_100	TX_50	PT_800	PT_400	PT_200	PT_100
0.2	H	L	L	H	L	H	H
0.4	L	H	L	H	H	L	H
0.6	H	H	L	H	L	L	H
0.8	L	L	H	H	H	H	L
1.0	H	L	H	H	L	H	L
1.2	L	H	H	H	H	L	L
1.4	H	H	H	H	L	L	L
1.5	H	H	H	L	L	L	L

표 2. 출력레벨에 따른 전송단의 출력저항

V_{swing} [V]	V_{supply}	V_{OH}	V_{OL}	R_{DRV} or R_{DRVN}	R_{PTP} & R_{PTN}	R_{EXT}	R_{OUT} [Ω]
0.2	1.5	0.65	0.85	200.00	61.54	23.33	50.0
0.4	1.5	0.55	0.95	100.00	72.73	23.33	50.0
0.6	1.5	0.45	1.05	66.67	88.89	23.33	50.0
0.8	1.5	0.35	1.15	50.00	114.29	23.33	50.0
1.0	1.5	0.25	1.25	40.00	160.00	23.33	50.0
1.2	1.5	0.15	1.35	33.33	266.67	23.33	50.0
1.4	1.5	0.05	1.45	28.57	800.00	23.33	50.0
1.5	1.5	0.00	1.50	28.57	∞	23.33	51.9

그림3 (a), (b)는 Driver/ODT과 Variable Parallel Termination을 위한 Control block이다. TX_EN과 ODT_EN은 신호출력과 ODT의 기능을 선택하기 위한 컨트롤 신호이다. TX_200, ... , TX_50과 PT_800, ... , PT_100은 각각 Driver/ODT, Variable Parallel Termination을 위한 Control block의 입력신호이다. 표 1은 출력레벨의 변화를 위한 Control block의 입력신호를 보여준다. 표 2는 출력레벨을 제어할 때의 송신단의 출력저항을 보여준다. 여기서 R_{DRV} 과 R_{DRVN} , 그리고 R_{PTP} 와 R_{PTN} 은 각각 Driver/ODT, Variable Parallel Termination의 pull-up과 pull-down path의 저항이다. 또한 V_{OH} 와 V_{OL} 은 출력 전압의 상위와 하위 레벨 값이다. 단일출력 전송단의 8-출력레벨 제어에서 출력저항은 거의 50 Ω 으로 일정하게 유지된다.

III. 칩 실행과 결과 측정

제안된 송신단을 검증하기 위해서 50 Ω 의 출력저항을 유지하면서 8-레벨의 출력을 제공하는 전압모드 송신단을 1.5V의 70nm 1-poly 3-metal DRAM공정을 이용하여 구현하였다. DDR3 SDRAM의 application을 지원하기 위해 16-data, strobe, 그리고 클럭신호를 위해 송신단이 함께 제작되었다. 총면적은 클럭 분배와 테스트 블록을 포함해서 4.5mm X 0.2mm이고 그림 4에 나타내었다. 또한 PAD를 포함한 하나의 송신단의 면적은 약 21,740 μm^2 이다. 그리고 출력레벨이 0.2V와 1.5V일 때 각각의 전류 소모는 7.8mA와 13.8mA이다. 제작된 송신단은 via와 connector가 존재하는 point-to-point 채널에서 측정되었다. 채널의 지연 시간은 약 2.2nsec이다. 그림 5은 수신단의 termination이 존재하지 않는 경우 1.6Gbps에서 0.6V와 1.0V의 출력레벨을 보여준다. 그림6은 동일한 채널에서 PRBS (pseudo random bit sequence)의 data pattern에 대해 0.8V와 1.5V의 경우 출력파형을 보여주며, 출력 레벨의 변화로 54%의 time jitter 감소를 보여준다.

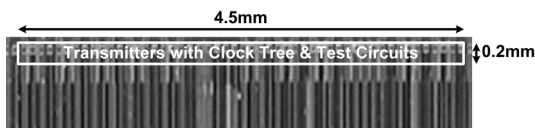


그림 4. 제작된 칩의 photograph

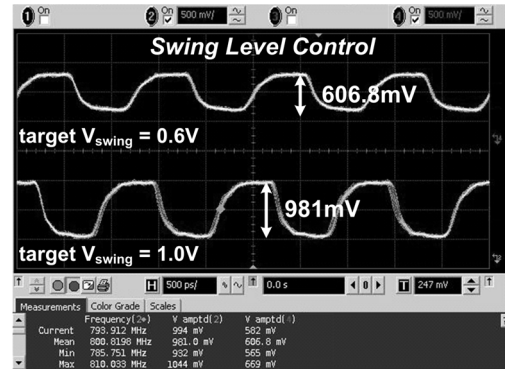


그림 5. 측정된 파형 @1.6Gbps - toggle pattern

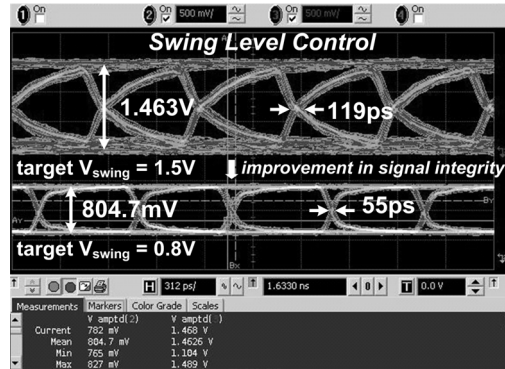


그림 6. 측정된 eye diagram @1.6Gbps - PRBS

IV. 결론

제안하는 송신단은 진단 모드를 지원하고 신호 보전성을 향상시키기 위해 출력레벨 조절수단을 가지며, 가변 병렬 터미네이션을 사용하여 swing level을 조절하는 동안 송신단의 출력 저항을 일정하게 유지시켜준다. 제안된 송신단을 검증하기 위해서 50 Ω 의 출력저항을 유지하면서 8-레벨의 출력을 제공하는 전압모드 송신단을 1.5V의 70nm 1-poly 3-metal DRAM공정을 이용하여 구현하였다. 수신단 termination이 존재하지 않는 SSTL 채널에서 제안하는 출력레벨 조절이 가능한 송신단을 이용함으로써 1.6-Gb/s에서 54%의 jitter 감소가 측정되었다.

참고문헌

- [1] K. Chang, et al., "A16Gb/s/link, 64GB/s Bidirectional Asymmetric Memory Interface Cell," *IEEE VLSI Circuit Symp.*, pp. 126-127, June 2008
- [2] C. Park, et al., "A 512-Mb DDR3 SDRAM Prototype With CIO Minimization and Self-Calibration Techniques," *IEEE J. Solid-State Circuits*, vol. 41, no. 4, pp.831 - 838, Apr. 2006. 2008.