

디지털 고주파 메모리 구현에 관한 연구

유병석* · 김영길**

*아주대학교 일반대학원 전자공학과 석사과정

**아주대학교 일반대학원 전자공학과 교수

Study on Implementation of a Digital Radio Frequency Memory

Byung-Sek You* · Young-Kil Kim**

***Ajou University

E-mail : *bsy@ajou.ac.kr, **ykkim@ajou.ac.kr

요 약

Digital radio frequency memory (이하 DRFM)은 입력되는 RF신호를 저장 후 필요한 시점에 입력된 RF신호로 복원하여 출력하는 기능을 가진 장치로써 Jammer, EW시뮬레이터, Target Echo Generator^[1] 등 사용되는 분야가 광범위하다. 본 논문에서는 고주파 입/출력모듈, 국부 발진모듈로 구성된 고주파부와 디지털 처리부로 이루어진 DRFM의 하드웨어적 구현 방안을 제안한다. 그리고 펄스형태의 RF신호를 양자화하는 ADC(A/D conversion), 이 데이터를 저장하고 재생신호를 생산하는 FPGA와 RF 신호를 생산하는 DAC(D/A conversion)로 구성되는 디지털 처리부에서 복제된 신호 생성방안을 제안한다. 이렇게 제안된 방안을 적용하여 제작한 후 모의 신호를 입력하여 얻은 시험결과를 통하여 이 제안방안의 타당성을 확인한다.

ABSTRACT

Digital Radio Frequency Memory (below, DRFM) performs RF signal data store, delay and re-transmission. DRFM is widely used as core module of Jammer, EW simulator, Target Echo Generator etc.

This paper suggests a hardware design of DRFM which is composed RF section(RF Input/Output Module, Local Oscillator Module) and Digital section(ADC module, memory, DAC module), and confirm the validity of the propose by the test result

키워드

재머, 고주파기억, 기만재밍, 고속샘플링

Key word

Jamme, DRFM, Deception, High speed sampling

1. 서 론

현대전에서 전자전은 걸프전에서의 결과처럼 전쟁의 승패를 좌우할 만큼 매우 중요하며, 특히 날로 발전하고 있는 위협 무기체계에 대한 대응책으로 ECM 기술은 매우 중요한 역할을 하고 있다. 위협장비의 ECCM 능력을 무력화시키기 위해선 위협신호에 최대한 유사한 Jamming신호를 발생하여야 하는데, 이런 기능을 충족시킬 수 있는 기술이 DRFM이다. ECM 장비에서의 DRFM은 핵심 구성

품으로 자리를 잡고 있으며, 따라서 이에 대한 기술은 날로 발전하여 선진국에서는 다양한 제품군들을 보유하고 있으며, 주파수 범위 및 순시대역폭 등 기술적인 사양이 날로 발전해 가고 있다.

본 논문에서는 DRFM의 하드웨어적 구현 방안과 기만신호 생성방안을 제안하고 적용하여 장치를 제작한 후 시험결과를 분석하여 DRFM의 제작 방안을 모색하고자 한다.

II. 본 론

2.1 이론적 배경

DRFM은 입력된 광대역의 RF신호를 기본대역으로 주파수하향변환하여 고속의 디지털이저를 이용, 양자화하여 메모리에 저장하며, 필요시 저장된 신호를 가공하여 입력된 신호의 주파수 또는 위상을 변경시켜 저장한다. 이렇게 저장된 신호는 ECM기법에 따라 요구되는 시점에 로드되어 고속 DAC와 주파수상향변환을 통해 입력된 신호와 동일하게 재생된다. 이렇게 재생되어 송신되는 신호는 레이더의 기능을 왜곡 또는 무능화시키는 역할을 하게 된다.

DRFM은 주파수를 하향변환하는 모듈, ADC, 고속 메모리, DAC와 주파수를 상향변환하는 모듈 등으로 크게 5개 모듈로 구성된다. DRFM의 기본적인 블록도는 아래 그림이다.^[3]

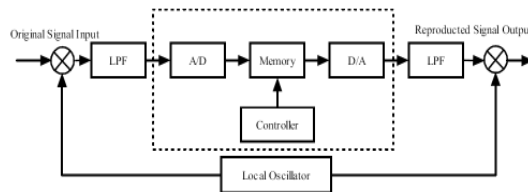


그림 1. DRFM 기본적인 블록도
Fig. 1 DRFM Basic Block Diagram

2.2 국내외 관련 연구

DRFM에 대한 연구는 미국과 유럽의 선진 방위 산업체들을 중심으로 꾸준히 이루어졌다. 국내의 연구개발은 국방과학연구소가 전자전장비 체계 개발시 해외 DRFM을 도입하여 응용하면서 본격적으로 시작되었고 일부 국내에서 기초연구는 수행되었지만 본격적인 구현 연구는 이루어지지 않다.

다음에 나타난 것은 전자전 기술에 정통한 학술지인 Journal of Electronic Defence에서 발췌한 해외의 주요 DRFM 규격이다.

표 1. 해외 주요 DRFM 규격
Table. 1 Major Specification of other system(DRFM)

제조사/ 모델명	사양			
	주파수 범위 (GHz)	순시대역 폭 (MHz)	샘플링 (Bit)	Spurious (dBc)
KOR (미) /1225	9-10.2 9.5-10.7	1200	3 (Phase)	< -15
ANAREN (미) /450200	7.5-18	400	3 (Phase)	< -13
Macdonald D ettwiler (캐) /CARDS	0.5-18	400	4 (Amp.)	< -18
EWST(영) /0400A08	2-18	400	8 (Amp)	< -30

최신 DRFM의 국외 연구개발 동향은 1GHz 이상의 광대역 순시대역폭, -15dBc 이하의 불요파 신호 세기를 가지는 4비트 이상의 위상 샘플링 방식의 기술이 응용되어 구현되고 있다.

2.3 요구사항

본 연구에서는 진폭샘플링 방식은 입력되는 고주파의 입력 세기에 민감하고 기만신호 생성에 많은 신호처리를 요구하기 때문에 위상샘플링 방식으로 사용하고자 한다.

외국사 장비보다 뛰어난 성능을 구현을 위하여 1.5GHz의 순시대역폭과 4bit 샘플링을 목표로 한다. DRFM의 순시대역폭에 따라 대역을 대역통과 필터를 이용하여 구분을 하고 -15dBc 이하의 불요파 신호 세기를 가지는 장비를 구현하고자 한다. 외국사 장비에는 명기되어 있지 않지만 긴 펄스를 저장하기 위해 최대 수십us를 저장하는 것을 목표로 한다.

2.4 설계

DRFM은 재밍대상 위협에 대한 RF 신호 1채널을 입력 받아 고속 디지털 샘플링 및 신호 저장, 위상 보정, 변조, 복원 등을 기능을 수행한다. 위협에 효과적인 대응을 위해 짧은 반응시간이 요구되며 이를 구현하기 위해 고속 샘플링 및 고속 메모리 통신, 위상보정 및 변조, 주파수 변조 등의 기능을 수행하는 디지털 처리부와 입력신호를 순시대역폭 1.5GHz 신호로 변환하고 DRFM 동작을 위한 클럭을 제공하는 고주파부가 유기적으로 7단계의 동작을 수행한다.

- ① 단계 : 수신신호를 기본대역으로 변환하기 위해 LO 동조
- ② 단계 : ① 단계의 LO를 사용하여 수신 파형을 기본대역(Baseband)으로 하향 변환하고, 그 신호 파형에 대한 I 및 Q 성분을 생성
- ③ 단계 : I 및 Q 신호 성분을 샘플링한 후 디지털 위상 데이터로 변환(A/D 변환)
- ④ 단계 : 디지털 위상 데이터를 메모리에 저장
- ⑤ 단계 : 메모리에 저장된 위상 데이터는 재밍 기법이 적용된 위상 데이터로 변경
- ⑥ 단계 : 재생시 D/A 변환을 통해 아날로그 I 및 Q 신호를 재구성
- ⑦ 단계 : I 및 Q 신호들의 파형이 변조되며, ① 단계의 LO는 상향 변환 과정에 대한 반송파를 제공 순시대역폭 1.5GHz를 구현하기 위해 IQ 변복조를 수행하고 Nyquist 이론과 대역을 구분하기 위해 사용되어지는 필터의 skirt 특성을 고려하여 수GSa/s ADC와 DAC로 선정하였다.

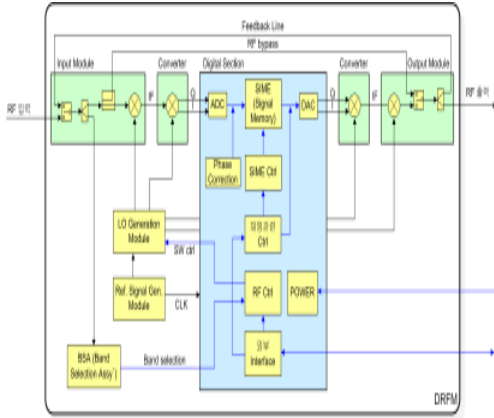


그림 2. DRFM 계통도
Fig. 2 DRFM Architecture

2.4.1 고주파부 설계

고주파부는 외부로부터 수신된 고주파신호를 디지털처리부의 제어신호에 의해 IQ신호로 변환하여 디지털처리부에 전달하고, 디지털처리부에서 받은 IQ신호 또는 수신된 고주파신호를 이용하여 고주파신호를 발생시켜 외부로 송신하고, 디지털보드에 클럭을 공급하는 section이다. 구성은 수신고주파모듈과 송신고주파모듈, LO모듈로 구성하였다.

수신고주파모듈은 외부로부터 수신한 RF신호를 기본대역으로 변환하고, 변환된 RF신호를 송신고주파부로 전달하거나, 수신 신호를 디지털처리부에서 처리할 수 있게 IQ(순시대역폭 1.5GHz)신호로 변환할 수 있게 구성한다. 송신고주파모듈은 수신고주파모듈에서 수신한 고주파신호 또는 디지털처리부에서 받은 IQ신호를 이용하여 RF신호를 발생하고 주파수상향변환을 시켜 외부로 전달하는 부분이다.

LO모듈은 하향변환/상향변환, IQ 신호변환을 위한 LO와 디지털보드용 클럭을 생성하여 전달하고 수신되는 고주파신호를 대역통과필터를 이용하여 입력되는 신호의 대역 검출을 수행하여 LO선택 결정에 이용되는 정보를 검출한다.

2.4.2 디지털처리부 설계

디지털처리부는 고속 ADC를 이용하여 디지털로 변환된 RF신호데이터를 Dual Port RAM에 저장하고 타이밍, 메모리 어드레스와 데이터를 제어하여 기만 재밍을 수행하며, 저장된 데이터를 고속 DAC를 이용하여 고주파 신호로 변환하여 고주파부의 입력으로 전달하는 기능을 수행한다.

설계시 선정된 고속 ADC는 내부에 1:4 DEMUX가 있어서 샘플 속도와 동일한 데이터 속도에서 실행되는 단일 채널 버스를 제공하는 대신

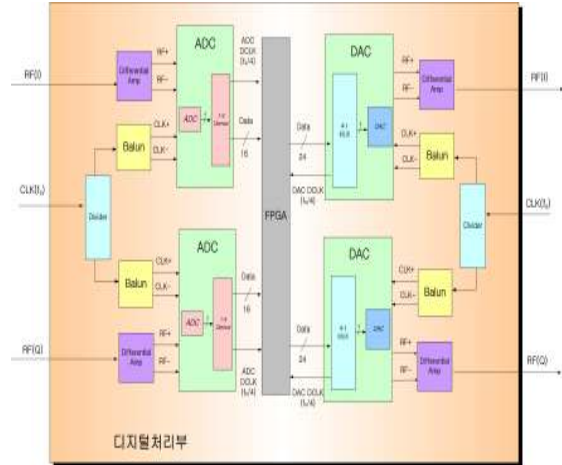


그림 3. 디지털처리부 구성도
Fig 3. Digital Section Configuration

4채널의 데이터버스에서 동시에 4개의 연속 샘플을 출력하며, 선정된 고속 DAC는 4:1 MUX가 있어서 데이터의 비트수는 4개가 되지만 데이터 전송속도는 DAC 입력 클럭에 비하여 1/4로 줄게 된다. 즉 수GSa/s(f_s)로 동작을 하지만 $f_s/4$ 의 속도의 데이터가 전송된다. 최근 FPGA는 1GHz까지 입출력을 할 수 있으며, 더욱이 프로그래머블 로직이므로 손쉽게 컨트롤 로직을 구현할 수 있다. DRFM이 수십 [usec]동안의 샘플링 데이터를 수집하는 것을 목표로 했기 때문에 1[Mbit] 이상의 메모리가 필요하다. 설계시 선정된 FPGA 내부에 4[Mbit]의 충분한 내부 메모리가 있기 때문에 별도의 외부 메모리를 구성하지 않았다.

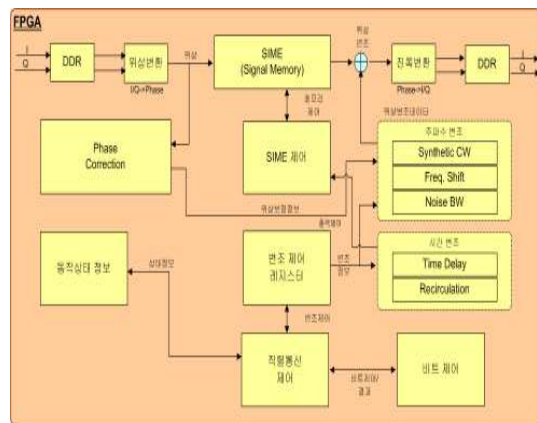


그림 4. 디지털처리부내 FPGA 계통도
Fig. 4 FPGA Blockdiagram

[그림 3]에서 DCLK(데이터수집 클럭) $f_s/4$ MHz를 FPGA내의 래치(Latch)나 메모리에 바로 인가하지 않고 더 낮은 주파수의 데이터수집 클럭으로

도 데이터를 수집할 수 있다. 이는 클록의 상승 및 하강에지의 출력에 모든 데이터가 제공되는 DDR (이중 데이터율 : double data rate) 방법이 있다. 2 단 파이프라인으로 FPGA 내부를 구성하여 ADC 입력데이터 신호 32bit를 128bit 데이터로 확장한다. 두 번째 단 DDR 래치에서 사용되는 클록 $f_s/16$ MHz까지 감소되어 메모리에 저장된다. 메모리에 저장된 데이터가 출력될 때는 위와는 반대로 데이터 비트수는 감소하면서 데이터 전송속도는 증가하여 DAC 출력데이터 48bit에 $f_s/4$ MHz로 DAC에 전달된다.

2.4.3 시간 변조

메모리에 저장된 데이터를 재생할 시점을 제어하여 시간축 상의 변조를 수행한다. 출력의 방법에 따라 저장된 데이터의 종료 어드레스까지 메모리로부터 출력하는 방안과 프로그램 된 펄스폭이 끝날 때까지 저장된 펄스 데이터를 반복적으로 출력하는 방안으로 나누어진다. 또 RF신호가 입력된 시점부터 입력받은 지연시간데이터에 의해 자체지연 후 출력하는 모드와 외부의 출력시점 제어신호에 의해 출력하는 모드로 구분된다. 이와 같은 시간변조는 거리기만 재밍을 위한 기능이다.

초기 low delay구간에서 H/W 제한으로 인하여 재밍 효과를 증대시키기 위해 RF bypass와 digital bypass를 수행할 수 있게 구현한다.

2.4.4 주파수 변조

입력 주파수가 f_i , sampling 간격은 t_s 일 때 샘플링 된 inphase를 $I(n)$, Quadrature를 $Q(n)$ 라고 할 때 식(1), 식(2)로 표현할 수 있다.

$$I(n) = A \cos(2\pi f_i n t_s + \phi) \quad \text{식(1)}$$

$$Q(n) = A \sin(2\pi f_i n t_s + \phi) \quad \text{식(2)}$$

$$\theta(n) = \tan^{-1}\left(\frac{Q(n)}{I(n)}\right) = 2\pi f_i n t_s + \phi \quad \text{식(3)}$$

위상은 식 (3)으로 표현할 수 있고 주파수는 식(4)로 표현할 수 있다.

$$f_i = \frac{\theta(n) - \phi}{2\pi n t_s} \quad \text{식(4)}^{[4]}$$

식 (4)로부터 식(5)를 구할수 있다.

$$f_i - f_o = \frac{\Delta\theta(n)}{2\pi n t_s} \quad \text{식(5)}$$

식(5)로부터 양자화 된 데이터를 위상으로 변환 후 입력주파수 천이를 위해 천이 주파수에 해당하는 위상의 덧셈 연산을 통하여 주파수 변조를 할 수 있다. 덧셈 연산을 통해 수행하므로 하드웨어 구성이 간단해진다. 주파수 천이는 속도기만 재밍기법 구현에 있

어서 필요한 기능이다.

2.5 시스템 구현 및 검증결과

본 연구에서 제안한 방안을 적용한 설계를 바탕으로 하여 DRFM을 실제 구현하였다.

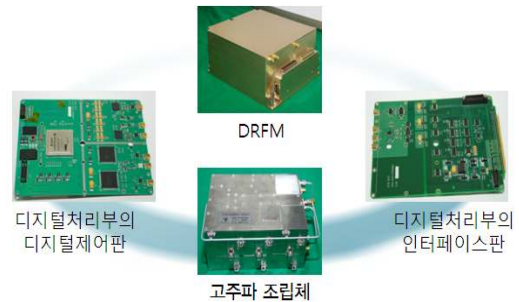


그림 5. DRFM 제작물
Fig. 5 DRFM Realization

시험 제어용 컴퓨터를 별도로 구성하여 외부에서 시험 통제가 가능하도록 하였고, 위협 모의 신호를 발생하기 위하여 신호 발생기, 재밍 출력 측정 및 분석을 위한 스펙트럼 분석기와 오실로스코프 2종의 계측기를 구성하였다. 장치시험 프로그램을 이용한 제어 / 모니터는 시리얼/패러럴 통신을 이용하였다.

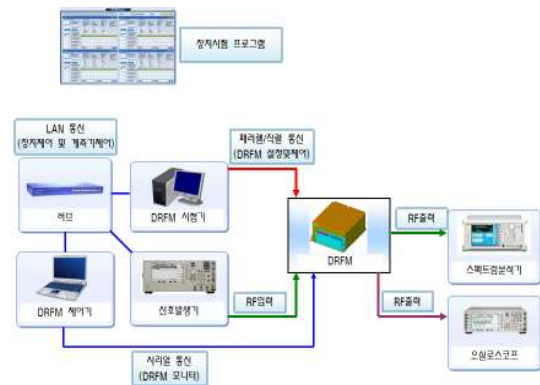
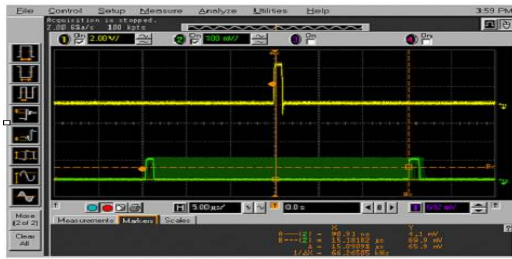


그림 6. DRFM 성능 검증 구성도
Fig. 6 Performance Test Setup

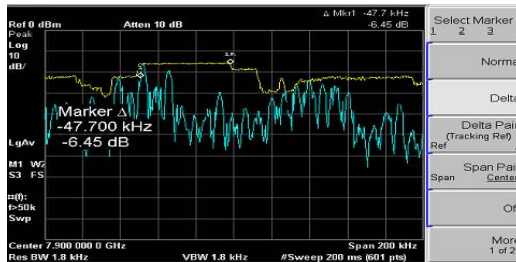
[그림 6]과 같은 구성을 바탕으로 시험한 결과는 [표 2]와 같으며 전체적인 성능은 목표성능을 만족하였으나 입력주파수범위가 광대역이기 때문에 생기는 주파수별 신호세기 평탄도가 좋지않게 발생되어 현재는 디지털 보상으로 처리하였으나 향후 RF이득등화기(Equalizer)를 추가하여 해결하고자 한다.

참고문헌

- [1] Kristian Gustafsson. "Implementation of a Digital Radio Frequency Memory in a Xilinx Virtex-4 FPGA", pp. 6-10. December, 2005
- [2] S.D. Berger. "Digital Radio Frequency Memory Linear Range Gate Stealer Spectrum", IEEE Trans. On Aerospace and Electronic System, Vol. 29, April 2003.
- [3] S.J. Roome. "Digital radio frequency memory", Electronics & Communication Engineering Journal. 1990. 2. pp. 147-153.
- [4] James Tsui, "Digital Techniques for Wideband Receivers, Second Editions", pp.333-334, 2001,



시간 지연



주파수 천이

그림 7. DRFM 변조시험 결과

Fig. 7 Test result about Time delay/Frequency shift

표 2. 구현된 DRFM의 검증결과
Table. 2 DRFM verification result

	목표 성능	검증된 성능	외국사 KOR/1225
순시대역폭 (GHz)	1.5	1.5	1.2
샘플링 (Bit)	4 (위상)	4 (위상)	3 (위상)
Spurious (dBc)	-15이하	-16이하	-15이하
기판 기법	시간지연, 주파수천이	시간지연, 주파수천이	시간지연, 주파수천이

V. 결 론

본 연구에서는 DRFM의 순시대역폭과 불요파 신호 세기의 목표성능을 만족하기 위한 구현 방안을 제시하였고 제안한 설계방안으로 DRFM을 제작하여 모의 신호를 입력하여 얻은 시험결과를 통하여 성능을 확인하였다.

이상의 연구 결과로부터 다양한 전자전분야의 플랫폼 별 DRFM 개발시 기본 설계방안으로 적용 가능하리라 사료된다.

향후 보다 광대역의 순시대역폭과 고속/소형화를 위해서는 ASIC화가 더 연구되어야 할 것이다.