
DGMOSFET에서 채널길이와 두께 비에 따른 문턱전압변화분석

정 학 기
군산대학교 전자공학과

Analysis of Threshold Voltage Roll-off for Ratio of Channel Length and Thickness in DGMOSFET

Hakkee Jung
Department of Electronic Eng., Kunsan National University

요 약

본 연구에서는 상단게이트와 하단게이트를 갖는 더블게이트 MOSFET에서 채널길이와 채널두께의 비에 따른 문턱전압의 변화에 대하여 분석하였다. 더블게이트 MOSFET는 두개의 게이트를 가지고 있기 때문에 전류제어 능력이 기존 MOSFET의 두배에 가깝고 나노소자에서 단채널효과를 감소시킬 수 있다는 장점이 있다. MOSFET에서 채널길이와 채널두께는 소자의 크기를 결정하며 단채널효과에 커다란 영향을 미치고 있다. 채널길이가 짧아지면서 채널두께와의 비에 따라 단채널효과 중 문턱전압의 변화가 크게 영향을 받고 있다. 그러므로 이 연구에서는 DGMOSFET에서 채널길이와 채널두께의 비를 변화시키면서 문턱전압의 변화를 분석할 것이다.

Abstract

In this paper, the variations of threshold voltage characteristics for ratio of channel length and thickness have been analyzed for DG(Double Gate)MOSFET having top gate and bottom gate. Since the DGMOSFET has two gates, it has advantages that controllability of gate for current is nearly twice and SCE(Short Channel Effects) shrinks in nano devices. The channel length and thickness in MOSFET determines device size and extensively influences on SCEs. The threshold voltage roll-off, one of the SCEs, is large with decreasing channel length. The threshold voltage roll-off has been analyzed with various ratio of channel length and thickness for DGMOSFET in this study.

키워드

DGMOSFET, 채널길이, 채널두께, 단채널효과, 문턱전압, 나노소자

Keyword

DGMOSFET, Channel Length, Channel Thickness, Short Channel Effect, Threshold voltage, nano device

I. 서론

생산성을 향상시키고 소비전력 감소 및 동작속도 향상을 위하여 CMOSFET의 크기감소에 대한 연구는 각 반도체업체의 가장 중요한 과제가 되고 있다. 이와 같은 연구성과에서 보듯이 20나노급 낸드플래시 시대가 본격적으로 개막됐다. 삼성전자를 시작으로 일본 도시바, IM플래시에 이어 웁 하반기에는 하이닉스까지 20나노급 제품을 양산할 예정이다. 이에 따라 최근 고집적 고성능 메모리칩에 사용할 수 있는 트랜지스터의 개발에 관심이 집중되고 있다. 기존의 CMOSFET는 크기가 감소하면 단채널효과에 의하여 문턱전압의 변화가 증가하고 차단전류의 증가로 인한 문턱전압이하 전류특성의 저하 등 여러 가지 효과 때문에 집적회로에서의 사용이 제한되고 있다. 이와 같은 문제를 해결하기 위하여 개발되고 있는 것이 더블게이트 MOSFET 소자이다. 더블게이트 MOSFET는 게이트를 상하에 제작할 수 있어 게이트에 의한 전하제어 능력이 기존의 MOSFET보다 약 2배로 증가하며 초박막형태로 제작할 수 있어 단채널효과를 감소시킬 수 있다는 장점이 있다.[1-4]

본 논문에서는 2차원 포아송방정식의 해석학적 모델을 이용하여 더블게이트 MOSFET의 문턱전압변화에 대하여 고찰하고자 한다. 특히 채널의 길이와 채널의 깊이 비에 따라 문턱전압의 변화를 분석하고자 한다. 2장에서는 2차원 포아송방정식의 해석학적 모델에 대하여 설명할 것이며 3장에서는 이 모델을 이용하여 계산한 문턱전압변화특성 대하여 설명할 것이다. 마지막으로 4장에서 결론을 맺고자 한다.

II. 이론적 배경

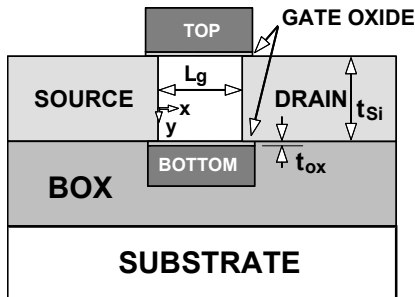


그림 1. 이중게이트 MOSFET구조
Fig. 1 Structure of double gate MOSFET

그림 1은 이 논문에서 사용한 DG MOSFET의 개략도이다. 이 구조에서 채널의 깊이와 길이 방향으로 포텐셜분포를 구하기 위하여 포아송방정식을 이용하였다.

$$\nabla^2\psi = qN_A/\epsilon_{Si} \tag{1}$$

여기서 N_A 는 채널내 도핑농도이다. 이 식에 대한 분석학적 모델은 이미 발표한 논문의 식을 참조하였다[5]. 이때 다음 식으로 표현되는 열방사 전류 I_{ther} 와 터널링전류 I_{tunn} 를 포함하였다.

$$I_{ther} = \frac{qn_m(y)v_{th}t_{si}W}{6} \tag{2}$$

$$I_{tunn} = \left(\frac{qN_Dt_{si}W}{6}\right)\left(\frac{2T_i v_{th_i}}{3} + \frac{T_i v_{th_i}}{3}\right) \tag{3}$$

식 (2)와 (3)을 이용하여 문턱전압이하 전류 즉 차단전류를 구하였다. 이때 $n_m(y)$ 는 전자의 깊이방향분포이며 v_{th} 는 열전압, W 는 채널의 폭이다. 또한 N_D 는 소스의 도핑농도, T_i 와 T_i 는 각각 횡방향과 종방향 터널링 확률이며 v_{th_i} 와 v_{th_i} 는 횡방향과 종방향의 전자열속도를 나타낸다. 문턱전압은 ISE-TCAD에서 정의한 $10^{-6}A$ 일때 상당게이트전압을 문턱전압으로 정의하였다.

III. 문턱전압 결과 및 고찰

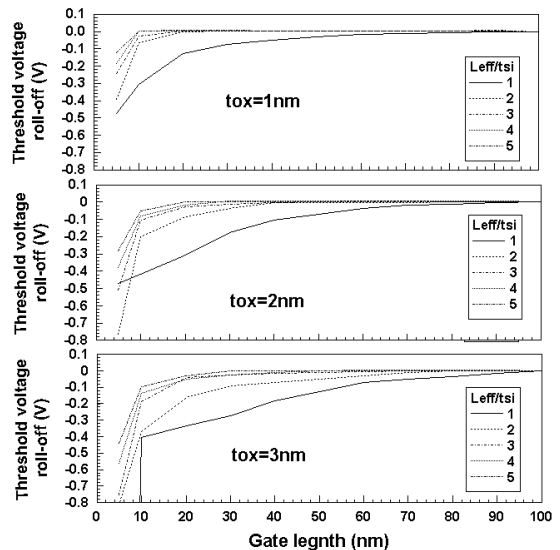


그림 2. 채널길이에 따른 문턱전압의 변화
Fig. 2 Threshold voltage roll-off as a function of channel length

그림 2에 채널길이와 깊이의 비에 따른 문턱전압의 변화를 도시하였다. 채널길이가 작아짐에 따라 급격히 단채널효과가 발생하여 문턱전압의 절대값이 증가함을 알 수 있다. 게이트산화막두께에 대한 결과를 비교해 보면 게이트산화막의 두께가 $t_{ox} = 1nm$ 로 작을 때 채널길이와 깊이의 비에 관계없이 문턱전압의 변화는 작으며 두께가 증가할수록 문턱전압의 변화가 더욱 심하게 나타남을 알 수 있다. 채널길이와 깊이의 비에 따른 변화를 고찰해보면 즉, L_{eff}/t_{si} 가 증가하면 문턱전압의 변화가 감소하며 특히 L_{eff}/t_{si} 가 1로 채널길이와 깊이가 동일할 때는 게이트길이가 비교적 클때도 문턱전압의 변화가 발생함을 알 수 있다.

채널길이와 깊이의 비에 따른 고찰을 보다 상세히 하기 위하여 그림 3에 채널길이와 깊이의 비에 따른 문턱전압의 변화를 도시하였다. 그림 2에서 설명하였듯이 게이트산화막 두께가 작을 때는 채널길이와 깊이의 비에 따른 문턱전압의 변화가 작다는 것을 알 수 있다. 그러나 채널길이가 5nm정도로 매우 감소하면 무시할 수 없을 정도의 문턱전압변화가 게이트산화막두께에 관계없이 발생하고 있다는 것을 알 수 있다. 채널길이가

100nm에 접근할수록 채널길이 및 깊이의 비에 관계없이 거의 일정한 문턱전압을 보이고 있다. 또한 채널길이 및 깊이의 비가 감소하면 문턱전압의 변화가 심하게 나타나는 것을 알 수 있다.

와 채널길이 및 깊이의 비가 4이상이고 게이트산화막의 두께가 1nm이면 채널길이에 따라 거의 문턱전압의 변화가 나타나지 않는 것을 알 수 있다.

IV. 결론

이 논문에서는 2차원포아송방정식의 분석학적 모델을 이용하여 DGMOSFET의 문턱전압변화를 채널길이 및 깊이의 비에 따라 분석하였다. 이를 위하여 이미 기존의 논문에서 검증된 분석학적 포아송방정식이 사용되었으며 이때 문턱전압은 드레인에 $10^{-6}A$ 의 전류가 흐를때 상단게이트에 인가한 전압으로 정의하였다. 채널길이 및 깊이에 대한 비에 따라 문턱전압의 변화가 발생하며 게이트산화막의 두께가 작을수록 그 변화는 작아짐을 알 수 있었다. 특히 채널길이 및 깊이의 비가 4이상으로 커지면 채널길이에 관계없이 문턱전압은 일정하게 나타났다. 이와같은 결과는 DGMOSFET를 이용한 집적회로 설계에 이용될 수 있을 것이라 사료된다.

참고 문헌

- [1] L.Ge and J.G.Fossum, "Analytical Modeling quantization and Volume Inversion in Thin Si-Film DG MOSFETs", IEEE Trans. Electron Devices, vol. 40, No. 12, p.2326, 1993.
- [2] D.S.Havaladar, G.Katti, N.DasGupta and A.DasGupta, "Subthreshold Current Model of FinFETs Based on Analytical Solution of 3-D Poisson's Equation," IEEE Trans. Electron Devices, vol. 53, no.4, 2006.
- [3] J.P.Colinge, "Multiple-gate SOI MOSFETs," Solid State Electron., vol. 48, no. 6, pp.897-905,2004.
- [4] J.G.Fossum, M.M.Chowdhury, V.P. Trivedi ,T.J.King, Y.K.Choi, J.An and B.Yu," Physical insights on design and modeling of nanoscale FinFETs," in IEDM Tech. Dig., pp.679-682, 2003.
- [5] H.K.Jung and S.Dimitrijevic,"Analysis of Subthreshold Carrier Transport for Ultimate DGMOSFET," IEEE Trans. Electron Devices, vol. 53, No.4, pp.685-691, 2006.

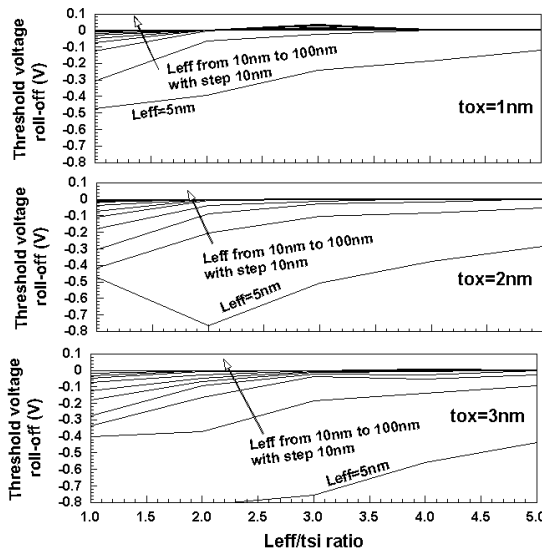


그림 3. 채널길이와 깊이의 비에 따른 문턱전압의 변화
 Fig. 3. Threshold voltage roll-off as a function of a ratio of channel length and depth