

MicroTec을 이용한 Trench D-MOS의 산화막크기에 따른 전류-전압 특성

임세훈·한지형·정학기·이종인·정동수·권오신

군산대학교 전자공학과

Trench D-MOS using MicroTec oxide according to the size of the current - voltage characteristics

Sehoon Lim, Jihyeong Han, Hakkee Jung, Jongin Lee, Dongsoo Cheong, Ohsin Kwon
Department of Electronic Eng., Kunsan National University

요 약

Trench D-MOS(double-diffusion MOS)는 기존의 D-MOS를 대체한 것으로 전체 전류의 길이를 짧게 함으로써 온전압강하가 낮아지게 된다. 따라서 소자가 턴-온시에 전력소모가 작게 되며, 온저항과 트레이드 오프관계인 턴-오프 특성도 그다지 나빠지지 않아 트레이드 오프 특성도 개선되어지는 장점이 있다. 본 논문은 MicoroTec 시뮬레이션을 이용하여 Trench D-MOS의 산화벽을 다르게 하여 전류-전압 특성을 연구하였다.

I. 서 론

반도체는 통신, 컴퓨터, 가전, 산업 및 비행기 자동차 등 없어서는 안될 부품이 되었으며, 최근에는 휴대폰, 노트북 PC와 같은 핸드폰의 수요가 급증하고 있다.

최근에 반도체는 고속 스위칭, 전력손실 최소화, 작은칩 크기, 발열처리 등에 관한 연구개발로 디스플레이 LED 드라이브 IC, 휴대형 기기, 가전기기, 신재생 대체 에너지, 자동차 등에 사용되는 각종부품의 친환경화 및 에너지 절감화에 크게 기여하고, IT 기기의 성능을 향상시키는 동시에 절전기능을 강화하여 기업의 비용절감이 가능한 친환경 절전형 반도체 기술 개발이 진행되고 있다.

II. Trench D-MOS

Trench D-MOS는 D-MOS 게이트 구조를 Trench 게이트 구조로 대체한 것으로 벽면이

미끄러지듯 포지티브한 태퍼(Tapper)가 되도록 하고 바닥 및 상부의 코너는 약간 둥근형태로 된 구조이다. 이러한 구조가 됨으로써 JFET 저항과 축적층 저항이 제거되어 온 상태 전압강하를 감소시킬 수 있고, 단위 셀 피치가 줄어들게 되어 채널 밀도를 D-MOS 구조에 비해 약 5배 정도 증가시킬 수 있다. 또한, n+ 주변을 지나는 정공전류 경로가 개선되므로 래칭전류 밀도도 증가한다. 그리고 항복전압도 증가하게 되어 IGBT 소자의 구조로 적합하다. 하지만, Trench 공정이 어렵다는 단점이 있다. 트렌치 공정의 어려움이 극복되면 제4세대 LIGBT인 Trench 구조의 LIGBT, 즉 Trench 게이트 구조의 LIGBT, 그리고 Trench 전극형 LIGBT가 주류를 이룰 것으로 판단된다.

그림 1.은 Trench D-MOS의 구조이다.

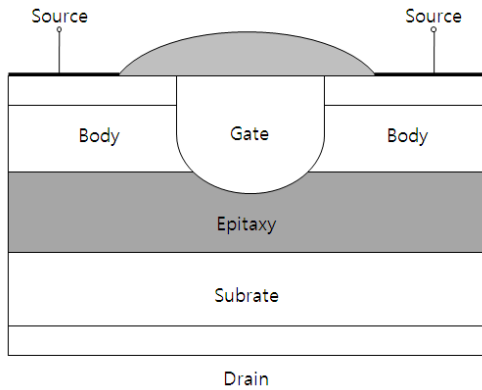


그림 1. Trench D-MOS 구조

III. 시뮬레이션 방법 및 결과

본 논문에서 사용하게 될 MicroTec는 MOSFET, D-MOS(double diffused MOS), JFET(junction field effect transistor), BJT (bipolar junction transistor), IGBT(insulated gate bipolar transistor), Schottky, Photosensitive 디바이스 등과 같은 이온 주입, 확산, 산화를 포함한 2D 실리콘 공정 모델링을 사용한다. 비록 다른 시뮬레이터에 비해서 간단하더라도 반도체 공정 / 디바이스 디자인툴로 좋은 시뮬레이터이다. MicroTec는 실리콘 공정 디바이스 시뮬레이션을 위해 네 개의 프로그램들로 구성되어 있으며 이 중 SemSim을 이용하게 될 것이다. SemSim은 디바이스시뮬레이션으로써 입력 바이어스에 의해 공정 시뮬레이션인 SiDif와 디바이스 조립인 MergIC에 의해 소자를 시뮬레이션 한다.

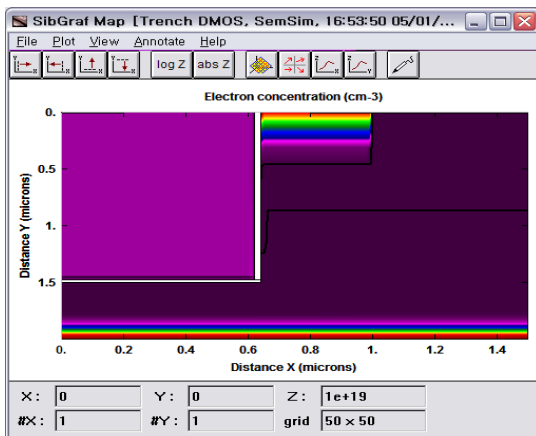


그림 2. 산화막 크기가 2nm일때의 전자 농도 분포

그림 2는 Trench D-MOS의 산화막의 크기를 2nm로 설정한 소자이다. 기판의 크기를 $1.5\mu\text{m} \times 2\mu\text{m}$ 로 설정하였고, 전체기판농도는 $5 \times 10^{15}\text{cm}^{-3}$ 으로 설정하였다. 드레인과 소스와 도핑농도는 $1 \times 10^{20}\text{cm}^{-3}$ 로 설정하였고 게이트의 도핑농도는 $1 \times 10^{19}\text{cm}^{-3}$ 로 설정하였다. Trench D-MOS의 산화막 크기를 2nm에서 6nm까지 변화해서 시뮬레이션 하였다. 그림 3은 전류-전압 곡선을 나타낸 그림이다.

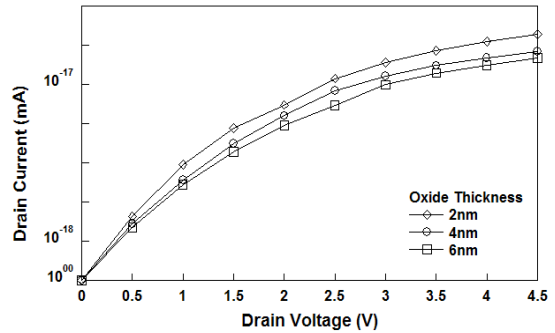


그림 3. 산화막 크기에 따른 IV 특성 곡선

그림 3은 산화막 크기가 2nm, 4nm, 6nm 일때의 전류-전압 특성을 비교한 곡선이다. 사용한 바이어스로는 소스와 게이트 기판의 전압을 0V로 하였고, 드레인 전압은 0V에서 0.5V씩 증가시켜 4.5V까지 증가시켰다. 시뮬레이션을 실행한 결과 그림 2.에서 나타난 것처럼 산화막의 크기가 작아질수록 흐르는 전류가 증가함을 알 수 있었다.

IV. 결론

본 논문에서는 MicroTec을 이용하여 Trench D-MOS의 산화막 크기에 따른 전류-전압의 특성을 분석하고자 하였다. 일정한 도핑농도를 유지하였고, 산화막 크기에 변화를 주고 시뮬레이션을 하여 그에 따른 전류와 전압의 특성 곡선을 분석하였다. 그 결과는 산화막 크기가 작아질수록 흐르는 전류가 증가하는 것을 볼 수 있었다. Trench D-MOS의 산화막은 MOS 소자에서 gate 절연막으로 사용되는 것처럼 반도체 소자의 내부에 캐리어들의 이동을 막고 전기적을 절연시켜주는 절연체의 역할을 한다.

그러므로 Trench D-MOS의 전류를 높이기 위해서는 산화막의 크기를 줄임으로써 그 조건을 최적화시키는 것이 중요하다.

참 고 문 헌

- [1] 양일석 외2명, "친환경 절전형 전력 반도체 기술", 전자통신동향분석, 제24권, 제6호, pp.11~13, 2009.
- [2] Jack Glenn and Jim Siekkinen, "A Novel Vrtical Deep Trench RESURF DMOS (VTR-DMOS)" ISPSO 2000, May 22-25, Toulouse, France