

# Printed CMOS 공정기술을 이용한 MASK ROM 설계

장지혜 · 하관봉 · 김영희

창원대학교

## MASK ROM IP Design Using Printed CMOS Process Technology

Ji-Hye Jang, Pan-Bong Ha, Young-Hee Kim

Changwon National University

E-mail : youngkim@changwon.ac.kr

### 요 약

본 논문에서는 인쇄공정기술로써 ETRI 0.8 $\mu\text{m}$  CMOS 공정을 사용하여 수동형 인쇄 RFID 태그 칩용 64bit ROM을 설계하였다. 먼저 태그 칩의 제작단가를 줄이기 위하여 기존 실리콘 기반의 복잡한 리소그래피 공정을 사용하지 않고 게이트 단자인 폴리 층을 프린팅 기법 중 하나인 임프린트 공정을 사용하여 구현하였다. 그리고 설계된 ROM 셀 회로는 기존 ROM 셀 회로의 NMOS 트랜지스터대신에 CMOS 트랜스미션 게이트를 사용함으로써 별도의 BL 프리차지 회로와 BL 감지 증폭기가 필요 없이 출력 버퍼만으로 데이터를 읽어낼 수 있도록 하였다. 0.8 $\mu\text{m}$  CMOS 공정을 이용하여 설계된 8 행  $\times$  8 열의 어레이를 갖는 64b ROM의 동작전류는 9.86 $\mu\text{A}$ 이며 레이아웃 면적은 311.66  $\times$  490.59 $\mu\text{m}^2$ 이다.

### ABSTRACT

We design 64-bit ROM IP for RFID tag chips using printed CMOS non-volatile memory IP design technology for a printed CMOS process. The proposed 64-bit ROM circuit is using ETRI's 0.8 $\mu\text{m}$  CMOS process, and is expected to reduce process complexity and cost of RFID tag chips compared to that using a conventional silicon fabrication based on a complex lithography process because the poly layer in a gate terminal is using printing technology of imprint process. And a BL precharge circuit and a BL sense amplifier is not required for the designed cell circuit since it is composed of a transmission gate instead of an NMOS transistor of the conventional ROM circuit. Therefore an output datum is only driven by a DOUT buffer circuit. The Operation current and layout area of the designed ROM of 64 bits with an array of 8 rows and 8 columns using 0.8 $\mu\text{m}$  ROM process is 9.86 $\mu\text{A}$  and 379.6  $\times$  418.7 $\mu\text{m}^2$ .

### Key words

Printed Electronics, ROM, RFID,

### 1. 서 론

RFID (Radio Frequency Identification)는 사물에 부착된 태그 (Tag)로부터 전파를 이용하여 사물의 정보 및 주변정보를 수집, 저장, 수정 및 추적함으로써 다양한 서비스를 제공하는 무선 주파수 인식 기술이다. 현재 RFID의 응용분야는 물류, 교통, 재고관리 등이다. 그리고 RFID 태그 칩은

배터리 (battery)가 있는 능동형 보다 배터리가 없어 저가격, 소형화에 유리한 수동형 태그 칩 개발에 많은 노력을 기울이고 있다[1].

수동형 RFID 태그는 안테나와 태그 칩으로 구성되고, 태그 칩은 아날로그 회로, 로직 회로, 메모리 회로로 구성되어 있다[2]. 아날로그 회로는 안테나에서 받은 주파수를 사용 가능한 데이터로 변환하는 복조기, 데이터를 주파수 신호로 바꾸어

주는 변조기, 리더 (reader)에 의해서 안테나에 공급받은 에너지를 공급전압으로 만들어주는 전압배출기 (voltage multiplier)로 구성되어 있다. 로직 회로는 프로토콜, CRC (Cyclic Redundancy Check) 확인, 에러검사, 및 아날로그 회로의 동작 모드를 조절하는 역할을 한다. 메모리 회로는 읽기/쓰기 (read/write)가 가능하고 파워다운 (power-down)시 저장된 정보를 유지할 수 있는 비휘발성 메모리인 EEPROM이 주로 사용되고 있다. RFID는 저전력 회로설계가 요구되고 있고 태그 칩의 원가절감을 위하여 저면적의 IP를 필요로 한다[3]. 특히 RFID 기술은 저가격 구현, 상품코드의 국제 표준화 등의 환경변화로 인하여 다양한 산업분야에서 실용화를 가능하게 만들고 있기 때문에 집적도나 성능보다는 생산비용과 대면적화가 요구되고 있는 실정이다. 하지만 현재 실리콘 기반으로 집적화된 칩으로 제조되어 RF 안테나에 별도로 접합하는 방법을 이용하는 수동형 RFID 태그의 경우 1개당 생산가격을 50원 이하로 낮추는 것은 현재로서는 불가능할 것으로 여겨진다. 이 한계점을 극복하기 위해 실리콘 기반이 아닌 인쇄기법으로 제작된 수동형 인쇄 RFID 태그 칩의 기술개발이 진행되어지고 있으며 item-level tracking용 RFID의 개발이 요구되어지고 있다.

본 논문에서는 ETRI 0.8 $\mu$ m 인쇄 CMOS 공정을 사용하여 인쇄 RFID 태그 칩 용 64bit ROM을 설계하였다. 태그 칩의 제작단가를 줄이기 위하여 기존 실리콘 기반의 복잡한 리소그래피 공정을 사용하지 않고 게이트 단자인 폴리 층을 프린팅 기법 중 하나인 임프린트 공정을 사용하여 구현하였다. 기존 NOR 타입 ROM 회로는 고객에게 전달되는 시간을 최소화 할 수 있고 빠른 접근 시간을 장점으로 하지만 단가가 비싼 단점이 있다. 설계된 ROM 회로는 메탈 마스크에 의해 진행되어 전달되는 시간을 최소화 하면서 단순한 임프린트 공정을 사용함으로써 저비용의 제작이 가능하다. 그리고 설계된 셀 회로는 기존 ROM 셀 회로의 NMOS 트랜지스터를 사용하지 않고 CMOS 트랜스미션 게이트를 사용함으로써 별도의 BL 프리차지 회로와 BL 감지 증폭기가 필요 없이 출력 버퍼 회로만으로 데이터를 읽어낼 수 있도록 하였다. 시뮬레이션 결과로는 동작전류가 9.86 $\mu$ A이며 9.8ns의 액세스 타임을 갖는다. 그리고 레이아웃 면적은 379.6 x 418.7 $\mu$ m<sup>2</sup> 이고 현재 제작 중에 있다.

## II. 회로 설계

설계된 64bit ROM IP의 블록도는 그림 1에서 보는 바와 같이 8 행 x 8 열의 ROM 셀 어레이,와 동작 모드인 리드신호인 RD 신호에 따라 내부에 적합한 제어신호를 발생시키는 Control logic, Row 어드레스 3개를 디코딩 하여 8개의 RWL 신호를 선택하여 주는 Row 디코더, 그리고 BL에 전달된

8-bit의 데이터를 출력하기 위한 DOUT Buffer 회로로 구성되어 있다. 인터페이스 신호는 크게 명령어 제어 신호, 어드레스 신호, 출력 데이터가 있다. 명령어 제어 신호인 RD 신호가 있고 어드레스는 A[2:0]의 3bit 어드레스에 의해 8개의 RWL 중 1개의 RWL이 선택되며, 출력 데이터로는 DOUT[7:0]이 있다.

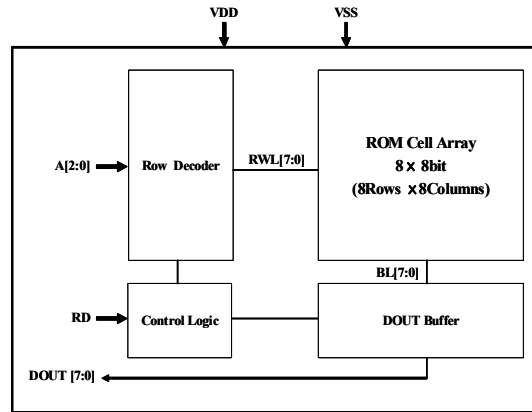


그림 1. 64b ROM의 블록도.

설계된 ROM에서의 Read Timing Diagram은 그림 2와 같다. Read 동작은 읽어낼 어드레스를 RD 신호가 활성화되기 이전에 어드레스 셋업 타임(Address setup time)인 tAS만큼 먼저 인가한 후 RD 신호를 Low에서 High로 tRD 만큼 인가하면 선택된 셀의 8비트 데이터가 액세스 타임인 tAC 시간이 지난 이후 DOUT 포트(port)로 나오게 된다. 그리고 어드레스 신호는 RD 신호가 비활성화 되고 난 후 주소 유지 시간(Address hold time)인 tAH 만큼 계속 유지되어야 한다.

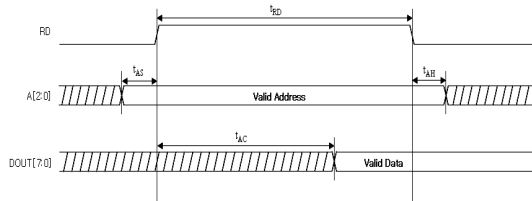


그림 2. 설계된 ROM의 read timing diagram.

아래 표 1은 64bit ROM의 데이터 코드 표로 ROM 코드는 8 행 x 8 열을 가지고 HEX code로 구성되어 있다. 맨 우측이 최하위비트인 LSB(Lesat Significant Bit)로 DOUT0에 해당하며 맨 좌측이 최상위비트인 MSB(Most Significant Bit)로 DOUT7에 해당한다. 8개의 행 중에 첫 번째 행이 선택되었을 경우 '00010010'의 8bit에 해당하는 데이터가 출력되며 이 코드표를 사용하여 8 행 x 8 열의 셀 어레이를 가지는 64bit ROM

셀 회로도를 구성하였다.

표 1. 64bit ROM의 데이터 코드

segment 표시 숫자	열번호	MSB	ROM 코드								LSB
12	1	0	0	1	0	0	0	1	0	1	
23	2	0	0	1	0	0	0	0	1	1	
34	3	0	0	1	1	0	1	0	1	0	
45	4	0	1	0	0	0	0	1	0	0	
56	5	0	1	0	1	0	1	0	1	1	
67	6	0	1	1	0	0	1	1	1	1	
78	7	1	1	1	1	1	0	0	0	0	
89	8	0	0	0	0	1	0	0	0	0	

↓

D7 D6 D5 D4 D3 D2 D1 D0

그림 3은 설계된 64bit ROM의 8행 × 8열의 셀 회로도이다. 행 신호에 해당하는 8개의 WL과 WLb 신호와 열 신호에 해당하는 8개의 BL 신호로 이루어져 있다.

행 어드레스인 A[2:0]에 의하여 8개의 WL 신호와 WLb 신호 중 하나가 선택되어 8개의 CMOS 트랜스미션 게이트가 온 되고 해당되는 8개의 데이터들이 BL으로 전달되어 8비트의 데이터를 읽을 수 있게 된다. 그리고 각 행에 해당하는 8개의 CMOS 트랜스미션 게이트 소스 단자에는 표 1의 ROM 코드표와 동일한 데이터로 저장되어 있음을 볼 수 있다.

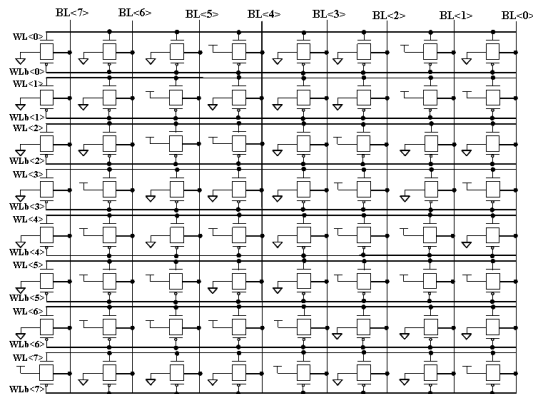


그림 3. 64bit ROM의 셀 회로도.

그림 4는 행 어드레스 A[2:0]인 3개의 신호를 디코딩하여 8개의 RA210[7:0] 출력을 만들어 주는 행 디코더(Row decoder) 회로이다. 디코딩된 내부 행 어드레스인 8개의 RA210[7:0] 신호는 WL 구동회로의 입력으로 들어가 8개의 WL 신호와 WLb 신호를 만들어 주어 그 중 하나를 선택함으로써 8개의 행으로 구성되어 있는 셀 어레이 중 하나의 행을 선택하여 준다. 읽기 모드 시 선택어진 행의 데이터를 BL으로 전달하여 출력신호 DOUT[7:0]으로 내보내게 되고 선택되지 않은 나머지 행들은 어떠한 영향도 미치지 않게 된다.

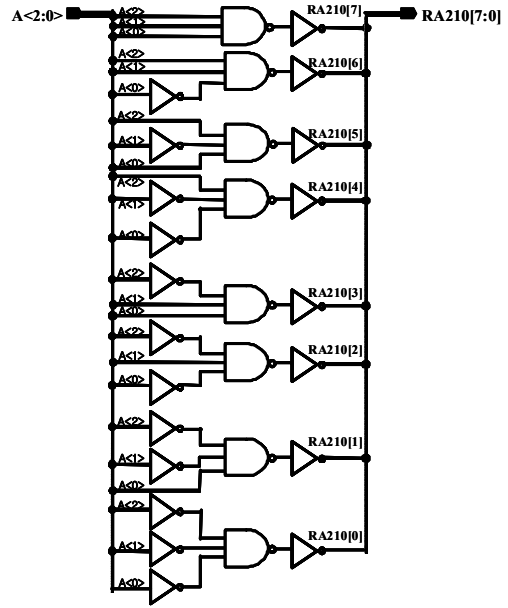


그림 4. Row 디코더 회로.

그림 5는 어드레스 버퍼 회로이다. 행 어드레스 신호 A[2:0]를 래치해 주기 위하여 마스터-슬레이브(Master-Slave) 방식의 D 플립플롭(D Flip-Flop) 회로를 사용하였다.

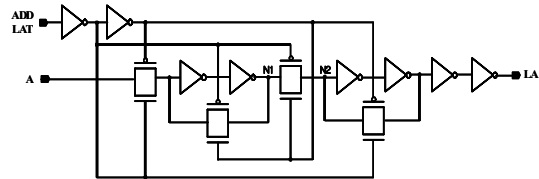


그림 5. 어드레스 버퍼 회로.

그림 6은 WL 구동 회로이다. 디코딩된 행 어드레스 신호인 RA210 신호를 이용하여 WL 신호와 WLb 신호를 만들어 주게 된다.

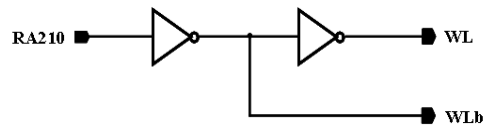


그림 6. 어드레스 버퍼 회로.

그림 7은 DOUT 버퍼 회로로 BL에 전달된 8비트의 리드 데이터인 '0' 또는 '1'의 데이터를 DOUT으로 구동해주는 회로이다.

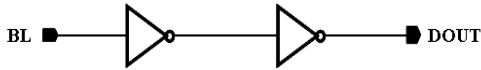


그림 7. DOUT 버퍼 회로.

### III. 모의실험 결과

0.8 $\mu$ m CMOS 공정을 이용하여 RFID 태그 칩 용 64bit ROM을 설계하였다. 그림 8은 3개의 어드레스 A[2:0]가 '000'에서 '111'로 연속적으로 변함에 따른 출력 데이터 DOUT[7:0]의 모의실험 과정을 보여주고 있다. 어드레스가 '000'일 때 첫 번째 행이 선택되고 ROM 코드표의 데이터인 '00010010'의 코드와 일치하는 8bit의 데이터가 DOUT[7:0]에 출력되는 것을 볼 수 있다. 마찬가지로 어드레스가 연속적으로 변함에 따라 각 행에 해당되는 ROM 코드값과 비교하여 동일한 데이터가 출력된다.

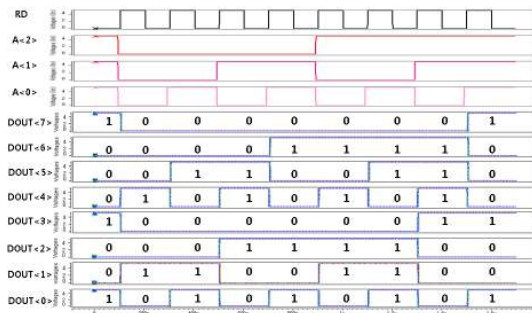


그림 8. 64bit ROM의 모의실험 결과.

표 2는 설계된 64bit ROM의 읽기 시 평균 동작 전류의 값을 보여준다. 모의실험 조건은 출력 DOUT 단자에 0.2pF의 로딩 커패시턴스를 삽입하고 RD 신호의 하이 펄스 폭(high pulse width)은 520ns, 주기는 1.56 $\mu$ s를 주고 모의실험 하였다. 최대 평균 활성 전류량은 VDD=5.5V, -40 $^{\circ}$ C, SF model에서 9.86 $\mu$ A로 모두 10 $\mu$ A 이하이다.

표 2. 설계된 64bit ROM의 평균 활성 전류

VDD	Temp	Read current				
		SS	SF	TT	FS	FF
4.5V	-40 $^{\circ}$ C	7.5 $\mu$ A	7.5 $\mu$ A	7.4 $\mu$ A	7.4 $\mu$ A	7.3 $\mu$ A
	25 $^{\circ}$ C	7.5 $\mu$ A	7.5 $\mu$ A	7.4 $\mu$ A	7.3 $\mu$ A	7.2 $\mu$ A
	85 $^{\circ}$ C	7.5 $\mu$ A	7.4 $\mu$ A	7.3 $\mu$ A	7.3 $\mu$ A	7.2 $\mu$ A
5V	-40 $^{\circ}$ C	8.6 $\mu$ A	8.7 $\mu$ A	8.5 $\mu$ A	8.4 $\mu$ A	8.6 $\mu$ A
	25 $^{\circ}$ C	8.6 $\mu$ A	8.6 $\mu$ A	8.4 $\mu$ A	8.3 $\mu$ A	8.3 $\mu$ A
	85 $^{\circ}$ C	8.5 $\mu$ A	8.5 $\mu$ A	8.3 $\mu$ A	8.3 $\mu$ A	8.2 $\mu$ A
5.5V	-40 $^{\circ}$ C	9.7 $\mu$ A	9.9 $\mu$ A	9.7 $\mu$ A	9.4 $\mu$ A	9.5 $\mu$ A
	25 $^{\circ}$ C	9.7 $\mu$ A	9.7 $\mu$ A	9.5 $\mu$ A	9.3 $\mu$ A	9.5 $\mu$ A
	85 $^{\circ}$ C	9.6 $\mu$ A	9.5 $\mu$ A	9.4 $\mu$ A	9.3 $\mu$ A	9.2 $\mu$ A

그림 9는 64bit ROM의 레이아웃 면적을 보여주

며, 크기는 379.6 $\mu$ m  $\times$  418.7 $\mu$ m이다.

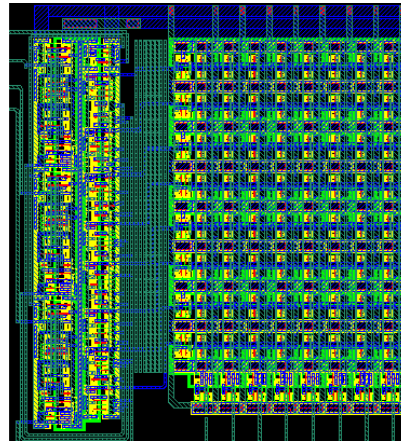


그림 9. 64bit ROM의 layout plot.

### V. 결 론

RFID 태그 칩의 제작단가를 줄이기 위하여 기존 실리콘 기반의 복잡한 리소그래피 공정을 사용하지 않고 인쇄 CMOS 공정을 사용하여 게이트 단자인 폴리 층을 프린팅 기법 중 하나인 임프린트 공정으로 구현함으로써 저비용의 ROM을 구현하였다. 그리고 셀 회로는 기존의 NMOS 트랜지스터가 아닌 CMOS 트랜스미션 게이트를 사용함으로써 별도의 BL 프리차지 회로와 BL 감지 증폭기를 필요로 하지 않았고, DOUT 버퍼회로만으로 출력 데이터를 구동하였다.

### 참고문헌

[1] <http://www.epcglobalinc.org>.  
 [2] Weinstein, R., "RFID : A technical overview and its application to the enterprise," IT Professional, vol.7, Issue 3, pp.27-33, May-June 2005.  
 [3] 백승면, 이재형, 송성영, 김중희, 박무훈, 하판봉, 김영희, "UHF RFID 태그칩용 저전력, 저면적 비동기식 EEPROM 설계", 한국해양정보통신학회 논문지, 제 11권 12호, pp.2366-2372, Dec. 2007.  
 [4] 윤상철, 임종선, 이창진, "인쇄전자소자 : 고해상도 인쇄공정기술의 현황 및 전망," Polymer Science and Technology, vol. 18, No. 3, pp. 238-244, June 2007.