

---

# 고속 부동소수점 근사연산용 로그변환 회로

문상국

목원대학교 전자공학과

## High Precision Logarithm Converters for Binary Floating Point Approximation Operations

Sangook Moon

Mokwon University, Department of Electronic Engineering

E-mail : smoon@mokwon.ac.kr

### 요 약

3차원 그래픽 응용이 가능한 소형 모바일 기기에서의 부동소수점 연산 처리는 전력소모가 많고 하드웨어 비용이 많이 들며 연산 해상도가 너무 정확한 연산보다는 적절한 해상도를 확보하되 하드웨어 자원을 적게 소모하고 전력소모가 낮을수록 바람직하다. 비용이 많이 소요되는 부동소수점 연산은 곱셈과 나눗셈이며, 로그 변환을 이용하면 곱셈과 나눗셈을 덧셈과 뺄셈으로 변환하여 고속 동작을 구현할 수 있으며, 이는 로그 함수값을 얼마나 실제값에 근사화시킬 수 있는지에 따라 성능이 좌우된다. 본 연구에서는 이러한 고속 부동소수점 연산에 적용될 수 있는 로그변환 회로에 대한 동향을 조사하되, 설계 시 중요하게 고려해야 할 점과 로그변환 회로가 어떻게 근사화되고 적용될 수 있는지에 대하여 상세히 분석한다.

### ABSTRACT

In most floating-point operations related with 3D graphic applications for mobile devices, properly approximated data calculations with reduced complexity and low power are preferable to exactly rounded floating-point operations with unnecessary preciseness with cost. Among all the sophisticated floating-point arithmetic operations, multiplication and division are the most complicated and time-consuming, and they can be transformed into addition and subtraction respectively by adopting the logarithmic conversion. In this process, the most important factor for performance is how high we can make an approximation of the logarithm conversion. In this paper, we cover the trends in studying the logarithm conversion circuit designs. We also discuss the important factor in design issues and the applicable fields in detail.

### 키워드

로그변환, 부동소수점, 고속 곱셈, 고속 나눗셈

### 1. 서 론

3차원 그래픽은 엔터테인먼트, 의학 이미지 프로세싱, 애니메이션, 교육, 군사용 시각화 응용 등 다양한 응용 분야에 사용되고 있다. 최근에는 실리콘 기술의 발달로 이동이 용이한 소형 정보기기에도 PDA나 iPhone과 같은 개인 단말기에 작지만 3차원 그래픽 응용의 수요가 많아지고 있는 추세이다. 3차원 그래픽의 복잡한 계산을 위해서

는 상당한 양의 수학적 계산과 CPU와 메모리 간의 넓은 대역폭을 필요로 한다. 특히 모바일 정 보기는 배터리의 제한이 있기 때문에 저전력의 특성이 반드시 요구되며, 기존 3차원 그래픽을 처리하는 방식으로는 한계가 있어 전체 면적의 제한이 있음에도 불구하고 별도의 그래픽 가속기를 필요로 하게 된다. 그래픽 가속기에 대한 연구는 수세기에 걸쳐서 진행이 되었지만 대부분의 경우에 있어서 하드웨어 자원의 투자량에 비례하여

성능을 이끌어내는 형식이 많았다. 최근에는 모바일 기기의 반도체 면적의 제한으로 로그 변환 시스템을 응용하여 부동소수점을 계산할 수 있는 방식이 제안되었다. 이는 IEEE 754 표준의 특성에도 부합하는 방식으로, 곱셈과 나눗셈을 로그 변환하여 덧셈과 뺄셈으로 대체시키고, 최종 결과를 다시 역로그변환하는 방식으로 결과를 구하는 방식이다. 본 논문에서는 이러한 로그 변환 시스템을 응용하여 부동소수점을 계산하는 방법에 대해 어떤 방식이 존재하는지와 기존 방식들의 장단점에 대해서 분석한다.

### II. 단순 근사 로그 변환

단순 근사 로그 변환 방식은 다음과 같은 직선 근사치로 접근하는 방식이다.  $N$ 이 이진수이고  $2^j \leq N \leq 2^{k+1}$ 라고 가정한다.  $j, k$ 는 정수이고  $j \leq k$ 의 관계를 가진다. 이러한 경우  $k$ 는 로그 변환 결과의 정수 부분이 되고  $m$ 은 1보다 크지 않은 소수 부분이 된다 [1].

$$(\log_2 N)' = k + m$$

홉마음표 기호는 근사값을 의미한다. 단순 근사 로그 변환은 단순하고 하드웨어 추가비용이 전혀 없어 저비용 구현에 유용하지만 3차원 그래픽에 응용되기에는 정확도가 비교적 떨어진다. 그림 1은 단순 근사 로그 변환 그래프로, IEEE 754 표준의 표준화 1을 포함한 소수부분, 즉 1과 2 사이에서 어떤 방식으로 근사화가 이루어지고 있는지를 보인다.

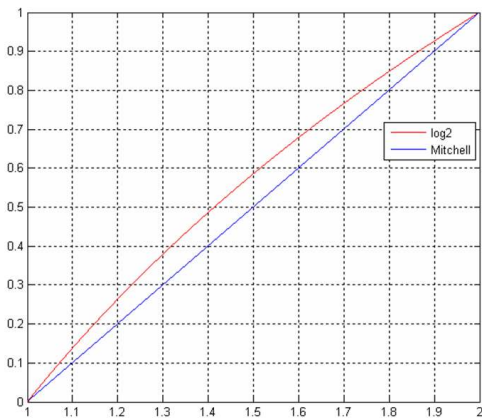


그림 1. 단순 근사 로그 변환

### III. 구간별 근사 로그 변환

단순 근사 로그 변환은 아이디어는 매우 간단하지만, 실제 근사화되는 범위가 1에서 2 사이로 제한되어 있으므로 비용면에서는 매우 효율적인 근사화 방식이다. 이를 개선시키기 위하여 1과 2 사이의 구간을 나누려는 노력이 시도되었다 [2][3]. 구간을 최적화 시키는 방식은 [4]에서 가장 효율적인 모습을 보이는데, 구간을 2, 4, 6개의 구간으로 나누고, 6개의 구간으로 나누는 방식이 효율적이라는 논리를 주장했다. 6개 구간 최적 근사화 로그 변환방식을 정리하면 아래와 같다.

$$fractionpart = \begin{cases} (m + (1/4)m_{6MSB}) & \text{for } m \in [0, 0.625) \\ (m + (1/4)m_{6MSB} + 2^{-6}) & \text{for } m \in [0.625, 0.25) \\ (m + 2^{-4} + 2^{-7} + 2^{-8}) & \text{for } m \in [0.25, 0.375) \\ (m + 2^{-4} + 2^{-6} + 2^{-7}) & \text{for } m \in [0.375, 0.625) \\ (m + 2^{-4} + 2^{-7}) & \text{for } m \in [0.625, 0.75) \\ (m + (1/4)m_{6MSB}) & \text{for } m \in [0.75, 1.0) \end{cases}$$

[4]에서 제안하는 회로는 최근까지 가장 비용대비 효율적인 회로라고 분석되긴 하지만 그림 2에 보이듯이 에러의 범위가 존재한다. 이를 보완하기 위하여 [5]에서는 새로운 방식을 제안하였다.

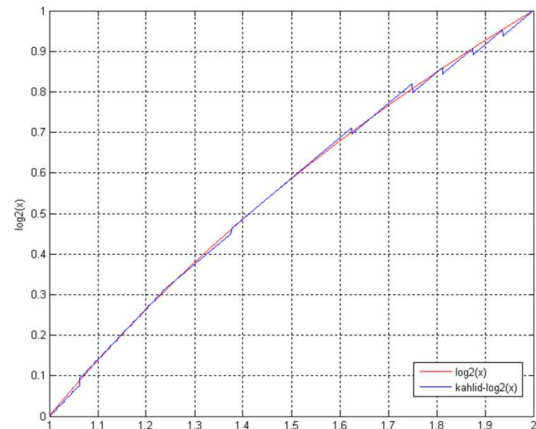


그림 2. 6구간 분리 근사 로그 변환

### IV. 오차 보상 로그 변환

오차 보상 로그 변환 개념은 보다 수학적인 지식을 근사화에 응용한 방법이다. 이 방식은 도함수의 정의를 사용하였는데, 이진 부동소수  $x$ 를  $1.m$ 이라고 가정하였을 때  $0 \leq m < 1$ 의 관계가 성립한다. 로그함수  $\log_2(x)$ 는  $1 \leq x < 2$ 의 범위 안에서 연속이며 미분 가능하다. 만일  $\Delta x = x_0 - x$ 가 충분히 작다면, 다음 선형 근사식이 성립한다.

$$f(x + \Delta x) \approx f(x) + \Delta y = f(x) + f'(x)\Delta x$$

따라서, 로그 변환식의 선형 근사식은 아래와 같이 변형할 수 있다.

$$\log_2(x_0 + \Delta x) \approx f(x_0) + \Delta y = \log_2(x_0) + \left(\frac{1}{x_0 * \ln 2}\right)\Delta x$$

[5]에서는 구간을 16개로 나누어 근사화하였는데, 위 식은 각각의 구간에서 초기값을 가지고, 각각의 변화량에 따른 오차 보상값을 더한다고 생각될 수 있다. 오차 보상 로그 변환 방식의 근사화는 그림 3에서 보이는 것과 같이 실제 로그 값과 거의 차이가 없다. 하지만 [4]에 비해 하드웨어 자원은 거의 5배 가까이 소비한다.

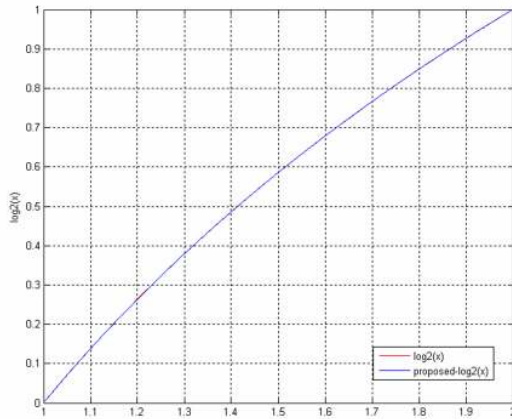


그림 3. 16구간 오차 보상 로그 변환

## V. 결 론

본 논문에서는 IEEE 부동소수점 포맷에 적용이 가능한 로그 변환 방식의 연구 동향과 장단점에 대하여 논하였다. 각각의 방식은 에러가 크고 추가 자원이 필요없는 구조, 투자 자원 대비 가장 효율적인 구조, 많은 자원으로 오차를 최소화 시키는 구조 등 trade-off가 매우 합리적이다. 이 중 3차원 부동소수점에 적용되기에는 [5]의 구조가 가장 적합하며, 이 로그 변환을 이용하여 곱셈/나눗셈을 덧셈/뺄셈으로 변환이 가능하고, 이는 고성능 연산을 요하는 부동소수점을 계산하기에 매우 효율적이다.

## 참고문헌

[1] S. L. Sangregory, C. Brothers, D. Gallagher, "A Fast, Low-Power Logarithm Approximation with CMOS

VLSI Implementation," in IEEE Midwest Symposium on Circuits and Systems, Aug. 1999, pp. 388-391.

[2] M. Combet, H. Zonneveld, and L. Verbeea, "Computation of the Base Two Logarithm of Binary Numbers," IEEE Transaction on Electronic Computers, Vol. 14, Dec. 1965, pp. 863-867.

[3] M. Combet, H. Zonneveld, and L. Verbeea, "Computation of the Base Two Logarithm of Binary Numbers," IEEE Transaction on Electronic Computers, Vol. 14, Dec. 1965, pp. 863-867.

[4] H. A. Khalid, and E. S. Raymond, "CMOS VLSI Implementation of Low-power Logarithmic converter," IEEE Transaction on Computers, Vol. 52, No. 11, Nov. 2003, pp. 1422-1433.

[5] Yong-Hwan Lee, Young-Sung Cho, and Sangook Moon, "Design of a high precision logarithm converter in a binary floating point divider," Concurrency and Computation: Practice and Experience, online publication in Wiley InterScience, 2010.