
Power Management IC용 One-Time Programmable Memory Cell 설계

전황곤 · 여억녕 · 김려연 · 김두휘 · 장지혜 · 이재형 · 하관봉 · 김영희

창원대학교 전자공학과

Design of a One-Time Programmable Memory Cell for Power Management ICs

Hwang-Gon Jeon, Yi-Ning Yu, Li-Yan Jin, Du-Hwi Kim, Ji-Hye Jang, Jae-Hyung Lee, Pan-Bong Ha, Young-Hee Kim

Department of Electronic Eng., Changwon National University

E-mail : youngkim@changwon.ac.kr

요 약

본 논문에서는 power management IC에 사용되는 아날로그 트리밍용 antifuse OTP 셀을 제작하였다. VPP (=7V)와 VNN (=5V)의 Dual program voltage를 이용하는 antifuse OTP 셀은 antifuse 양단에 hard breakdown 이상의 전압을 인가하여 thin gate oxide를 breakdown시킨다. 0.18 μm BCD 공정을 이용하여 제작된 antifuse OTP 셀의 면적은 48.01 μm^2 으로 eFuse OTP 셀 면적의 44.6% 수준이다. 20개의 테스트 패턴을 측정된 결과 프로그램 후 antifuse의 저항은 수 k Ω 이하로 양호하게 측정되었다.

ABSTRACT

We manufacture an antifuse OTP (One-time programmable) cell for analog trimming which will be used in power management ICs. For the antifuse cell using dual program voltage of VPP (=7V) and VNN (=5V), the thin gate oxide is broken down by applying a voltage higher than the hard break-down voltage to the terminals of the antifuse. The area of the manufactured antifuse OTP cell using 0.18 μm BCD process is 48.01 μm^2 and is about 44.6 percent of that of an eFuse cell. The post-program resistances of the antifuse are good with the values under several kilo ohms when we measure twenty test patterns.

Key words

Antifuse OTP cell, post-program resistance, power management IC

1. 서 론

비휘발성 메모리 IP는 power management IC (PMIC), LCD 구동 칩, CMOS 이미지 센서 칩 등에 아날로그 트리밍, 보안 및 암호화 키, 메모리 교정 (repair) 기능을 수행하기 위해 사용되고 있다. 그런데 EEPROM, Flash와 같은 비휘발성 메모리 IP는 추가적인 공정을 필요로 한다 [1]. 그래서 추가 공

정이 필요 없는 eFuse (Electrical Fuse)나 antifuse 방식의 OTP (One-Time Programmable) 메모리 IP가 많이 사용되고 있다 [2]. eFuse (electrical Fuse) OTP 셀은 폴리실리콘 게이트에 10mA~30mA 정도의 과전류를 흘려 eFuse를 blowing하므로 퓨즈를 선택적으로 끊어준다. eFuse의 경우는 5V의 VIO 전압을 사용하므로 프로그램이

가능하다. 안티퓨즈 방식의 OTP 메모리 셀은 얇은 gate oxide에 breakdown voltage보다 높은 전압을 인가하여 전기적으로 단락시켜 프로그램하게 된다 [3]. Antifuse-type OTP 셀은 efuse-type OTP 셀에 비해 면적이 작고 프로그램과 읽기 모드에서 바이트 단위로 수행하는 장점이 있다.

Antifuse로 사용되는 thin gate oxide의 두께가 40Å 이하로 줄어들면서 soft breakdown [4]에 의한 program 저항이 넓게 분포하는 경향이 있다. Post-program 저항을 줄이기 위해서는 thin gate oxide의 hard breakdown voltage 이상의 전압을 인가하는 것이 필요하다. 그런데 기존의 single VPP (positive program voltage)를 사용하는 antifuse cell은 MV (medium voltage) 소자의 신뢰성 때문에 VPP 전압을 높이는 데 한계가 있다. 그래서 VPP와 VNN 두개의 program voltage supply를 사용하는 dual program voltage 방식의 antifuse OTP cell이 새롭게 제안되었다 [5].

본 논문에서는 PMIC의 아날로그 트리밍 용도로 사용되는 dual program voltage 방식의 antifuse OTP 셀을 제작하여 측정하였다. 0.18 μm BCD 공정으로 제작된 antifuse OTP 셀의 면적은 48.01 μm^2 으로 동일 공정을 이용한 eFuse OTP 셀에 비해 44.6% 수준으로 셀 면적을 줄였다. 그리고 VPP (=7V)와 VNN (=5V)의 dual program voltage를 이용하여 20개의 테스트 셀을 프로그램한 결과 antifuse 저항이 수 k Ω 이하로 성공적으로 프로그램되는 것을 확인하였다.

II. OTP 셀 설계

그림 1은 eFuse OTP 셀 회로도와 레이아웃 사진을 보여주고 있다. 그림 1(a)의 eFuse OTP 메모리 셀 회로는 eFuse link, 프로그램용 NMOS 트랜지스터 (MN1)와 읽기 모드용 NMOS 트랜지스터 (MN2)로 구성되어 있으며, eFuse의 프로그램 이전 저항은 50~100 Ω 정도이다 [2]. eFuse를 blowing하는 경우 eFuse를 통해 프로그램 전류가 흐르면서

eFuse의 저항은 수 100k Ω 이상이 된다. 이와 같이 eFuse는 conductive state와 highly resistive state 중 하나로 프로그램 된다. 저전력 eFuse 셀은 eFuse, 프로그램 전류를 흘릴 수 있는 큰 채널 폭의 NMOS 트랜지스터, 읽기 모드용 작은 채널 폭의 NMOS 트랜지스터로 구성되어 있다. 그래서 읽기 모드에서 RWL (Read Word-Line)과 BL의 기생하는 커패시턴스를 줄여 읽기 모드의 동작전류를 줄일 수 있다 [2]. eFuse OTP 메모리 셀의 레이아웃 크기는 30.27 μm ×3.56 μm (=107.76 μm^2)이다.

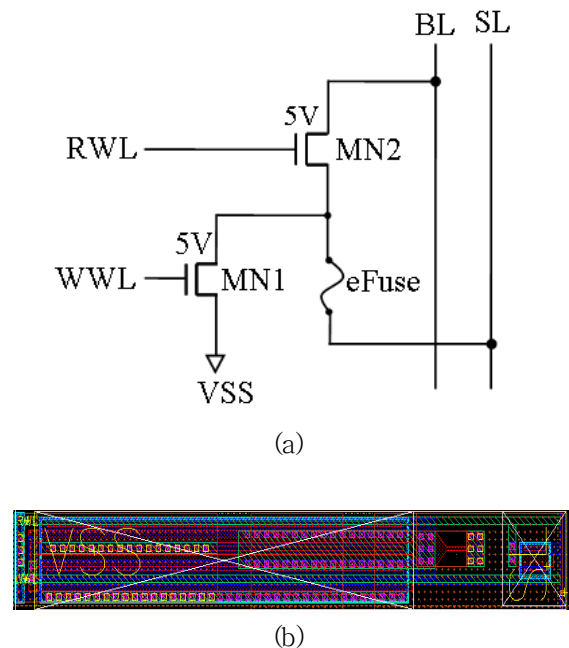
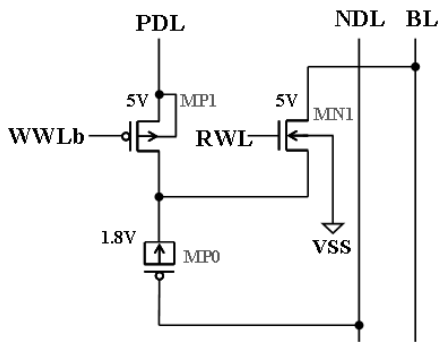


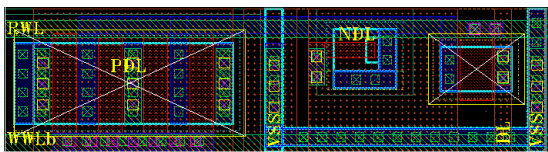
그림 1. eFuse OTP 셀 (a) 회로도 (b) 레이아웃 사진.

제작된 antifuse OTP cell의 회로도는 그림 2(a)에서 보는 바와 같이 1.8V의 LV (low-voltage) PMOS antifuse인 MP0, program mode시 PDL (Positive Data Line)을 통해 VPP (=7V) 또는 VDD (=1.8V)의 전압을 전달하는 스위칭 트랜지스터인 MP1, read mode시 antifuse의 data 정보를 BL (Bit-Line)에 전달하는 read-out transistor인 MN0로 구성되어 있다. PMOS antifuse의 gate는 NDL (Negative Data Line)에 연결되어 있으며, VNN (=5V) 또는 0V의 전압이 공급된다. 그림 2(a)에서 MN0와

MP1은 thick gate oxide 두께를 갖는 MV (Medium-Voltage) 트랜지스터이다. 제작된 OTP 셀은 layout 면적을 줄이기 위해 Deep N-Well이 필요 없는 LV PMOS 트랜지스터를 안티퓨즈로 사용하였다. 그림 2(b)는 OTP 셀의 레이아웃 사진을 보여주고 있다. 제작된 OTP 셀은 PMOS 안티퓨즈 양단에 thin gate oxide의 hard breakdown voltage 이상 전압을 인가하므로 안티퓨즈의 post-program 저항을 수 kΩ 이하로 프로그램 된다. 0.18μm BCD 공정에서 지원되는 1.8V PMOS antifuse의 hard breakdown voltage는 11V이므로 antifuse를 파괴시키기 위해서는 antifuse 양단에 11V 이상의 전압을 인가하여야 한다 [5]. Antifuse OTP 메모리 셀의 레이아웃 크기는 13.6μm×3.53μm (=48.01μm²)이다. 0.18μm BCD 공정을 이용한 eFuse OTP 셀에 비해 44.6% 수준으로 compact하게 OTP IP를 구현할 수 있다.



(a)



(b)

그림 2 Antifuse OTP 셀 (a) 회로도 (b) 레이아웃 사진.

Antifuse OTP는 프로그램과 읽기 모드가 있으며, 표 1은 동작 모드별 OTP 셀 노드에서의 바이어스 전압을 보여주고 있다. 프로그램 모드에서 VPP 전압은 외부 프로그램 전압인 7V로 구동되고 선택된 WWLb (Write Word-Line

bar)은 0V, 선택되지 않은 WWLb는 VPP를 유지하게 된다. 그리고 프로그램 모드에서 RWL (Read Word-Line)은 항상 0V가 인가된다. DIN 데이터 값이 '0'가 인가되는 경우 PDL과 NDL 전압은 각각 VPP, VNN이 인가되어 안티퓨즈가 파괴되면서 전기적으로 단락된다. 그리고 DIN이 '1'인 경우 PDL과 NDL 전압은 각각 VDD와 0V가 되어 안티퓨즈는 파괴되지 않으며, 안티퓨즈는 절연 상태의 개방 상태가 된다.

표 1. 동작 모드별 OTP 셀 노드의 바이어스 전압 조건.

	프로그램 모드		읽기 모드	
WWLb	0V		VPP	
RWL	0		VPP	
DIN	0	1	×	×
PDL	VPP	VDD	VDD	VDD
NDL	VNN	0V	0V	0V
BL	VDD	VDD	0V	VDD
Antifuse	Broken	Unbroken	Broken	Unbroken

III. 측정 결과

그림 3은 0.18μm BCD 공정을 이용하여 제작된 antifuse OTP 셀의 테스트 파형을 보여주고 있다. 그림 3에서 보는바와 같이 PDL과 NDL은 프로그램 시 각각 7V, -5V를 인가하였으며, 프로그램 시간인 t_{PGM}은 200μs이다. 그리고 프로그램 펄스는 2회 연속으로 인가하였다.

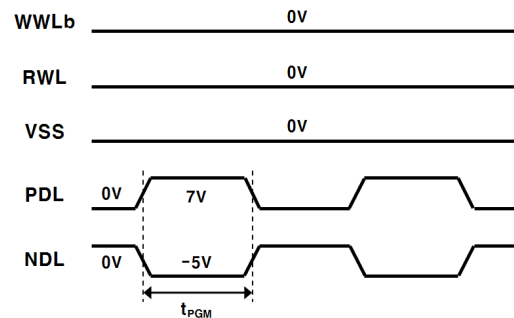


그림 3. Antifuse OTP 셀의 테스트 파형.

그림 2의 antifuse 셀 테스트 패턴에

function generator를 이용하여 그림 3의 프로그램 파형을 인가한 뒤 multimeter를 이용하여 antifuse 양단의 저항을 측정하였다. 프로그램 후 antifuse의 저항은 표 2에서 보는 바와 같이 수 k Ω 이하로 측정되었으며, antifuse OTP IP에 사용가능한 셀로 판명되었다.

표 2. Antifuse의 post-program 저항 측정 결과.

Sample No.	Post-Program Resistance [Ω]
1	2.14K
2	0.66K
3	0.98K
4	0.81K
5	0.59K
6	0.70K
7	0.66K
8	0.59K
9	0.69K
10	0.64K
11	0.73K
12	2.25K
13	0.84K
14	0.71K
15	1.00K
16	3.06K
17	0.65K
18	0.63K
19	1.91K
20	1.01K

VI. 결 론

PMIC에 아날로그 트리밍 등의 기능을 수행하기 위해 BCD 공정 기반의 OTP 메모리가 많이 사용되고 있다.

본 논문에서는 thin gate oxide의 hard breakdown voltage이상의 전압을 인가하는 dual program voltage를 이용한 antifuse OTP 셀을 제작하여 측정하였다. Program되는 antifuse 셀은 VPP (=7V)와 VNN (=5V)의 dual power에 의해 12V 이상의 전압이 걸리며, program되지 않는 antifuse는 VDD (=1.8V)의 전압이 걸린다. 그래서 12V 이상의 전압이 걸리는 antifuse는 hard breakdown이 일어나며, post-program 저

항은 수 k Ω 으로 측정되었다.

감사의 글

This work was sponsored by ETRI System Semiconductor Industry Promotion Center, Human Resource Development Project for SoC Convergence.

참고문헌

- [1] Hyouk-kyu Cha, Ilhyun Yun, Jinbong Kim, Byeong-Cheol So, Kanghyup Chun, Ilku Nam, and Kwyro Lee, "A 32-KB Standard CMOS Antifuse One-Time Programmable ROM Embedded in a 16-bit Microcontroller", IEEE Journal of Solid-State Circuits, vol. 41, no. 9, Sep. 2006.
- [2] D. H. Kim et al., "Design and Measurement of a 1-kBit eFuse One-Time Programmable Memory IP Based on a BCD Process", IEICE Trans. Electron, vol. E93-C, no. 8, pp. 1365-1370, Aug. 2010.
- [3] Y. H. Kim et al., "Design of Asynchronous Multi-Bit OTP Memory", IEICE Trans. Electron., vol. E92-C, no. 1, pp. 173-177, Jan. 2009.
- [4] M. Depas et al., "Soft Breakdown of Ultra-Thin Gate Oxide Layers", IEEE Transactions on Electron Devices, vol. 43, no. 9, pp. 1499-1504, Oct. 2004.
- [5] Li-Yan Jin et al., "Design of 1-kbit antifuse OTP memory IP using dual program voltage," to be published in the J. Cent. South Univ. Technol., 2010.