자가정렬을 이용한 TSV 칩 적층
TSV Chip Stacking using Self-Alignment

*,#이재학 [1]

*,#Jae Hak Lee(jaehak76@kimm.re.kr)[1]

[1] 한국기계연구원 초정밀기계시스템연구실

Key words : Self-Alignment, TSV (Through-Silicon Via), Atmospheric Plasma

1. 서론

모바일 기기의 경박단소화, 고성능화, 다기능화 추세에 따라 큰 메모리 용량과 고성능의 메모리/logic IC 가 요구되고 있다. IC 의 집적도는 18 개월마다 2 배씩 증가한다는 Moore 의 법칙에 따라 증가하여 왔으나 최근에는 칩의 고성능화를 추구하기 위해 기술 발전 속도가 가속화되어 More Moore 가 요구되고 있다. 이러한 니즈를 달성하기 위해 3D 패키징에 대한 연구가 세계적으로 활발히 진행 중이다. 특히 TSV 패키징 방법은 기존 3D 패키징에 비해 높은 집적도로 접속이 가능하며 electrical line 이 짧아 RC delay 가 매우 작아 저전력, 고성능의 칩 제작이 가능한 장점이 있다[1, 2].

TSV 칩 적층 방법은 웨이퍼 혹은 칩을 적층하느냐에 따라 W2W, W2C, C2C 으로 분류되며 W2W 적층의 경우 생산성이 높지만 제품의 수율이 작은 단점이 있으며 W2W/W2C 의 경우 제품의 수율은 높지만 정밀한 칩의 정렬이 요구되므로 생산성이 낮은 단점이 있다. 본 연구에서는 W2C/C2C 본딩공정 시간을 단축할 수 있는 고속 본딩 기술로 자가정렬 효과를 적용하고 저비용의 고속 TSV 칩 적층 공정을 제안하여 가능성을 확인 및 평가하였다.

2. 자가정렬을 이용한 TSV 칩 적층 기술 개요

Fig. 1 은 친수성 표면의 자가 정렬 효과를 이용한 TSV 칩 적층 방법과 Via filling 방법을 보여주고 있다. 관통 via 의 side wall 에 절연층, 확산 방지막, 젖음층 및 표면에 SiO_2 를 형성한 후 칩을 친수화 시키기 위하여 플라즈마를 이용하여 표면처리하고 DI 를 칩 표면에 떨어뜨린다. 그 위에 칩을 놓으며 DI 가 친수성 처리된 칩 사이로 젖음이 발생하여 표면에너지를 최소화 하는 방향으로 칩이 자가정렬 된다.

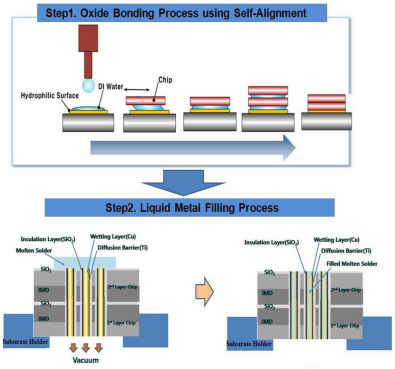
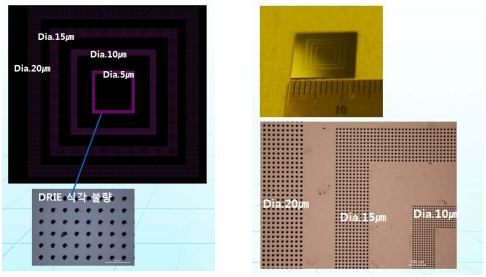


Fig. 1 Overview of TSV Chip Stacking New Process using Self-Alignment and Liquid Metal Filling

각 층을 이와 같은 방법으로 칩을 정렬 후 오븐에 넣어 칩 사이의 DI 를 증발시키면 칩 사이의 DI 가 증발되면서 칩 표면이 긴밀한 접촉 및 secondary bonding 이 발생하여 칩을 정밀하게 pre-bonding 할 수 있으며 pre-bonding 된 칩은 정렬의 틀어짐 없어 핸들링이 용이하다. Pre-bonding 된 칩을 고온에서 다시 한번 annealing 하면 칩 사이에 oxide bonding 이 형성된다[3]. 이렇게 여러층이 적층된 시편에 용융솔더를 위치시키고 진공압을 인가하면 via 관통홀 내부로 젖음이 발생하여 홀 내부를 채우고 전기적으로 각 층이 접속된다. 자가정렬과 용융솔더를 이용한 TSV 칩 적층 방법은 ECD 를 이용한 기존 Cu filling 방법에 비해 비용이 저렴하며 고속으로 TSV 칩을 적층할 수 있는 장점이 있다.

3. TSV 칩 적층 실험

Fig. 2 는 실험을 위하여 제작한 TSV 칩의 마스크 디자인과 Via 가 형성된 칩을 나타내고 있으며 via 는 20 ㎛, 15 ㎛, 10 ㎛, 5 ㎛로 제작하여 다양한 크기의 via 의 칩 정렬 결과를 확인할 수 있도록 하였다. 칩의 크기는



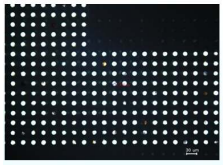
(a) TSV Chip Mask (b) Fabricated TSV Chip

Fig. 2 TSV Chip Specimen

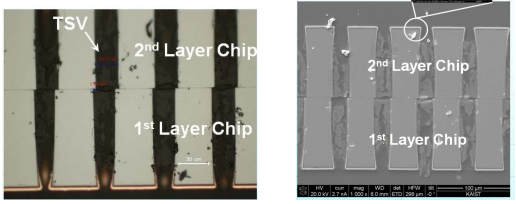
12mm x 12mm 로 정밀하게 다이싱하였으며 자가정렬을 이용한 칩 정렬의 경우 다이싱 정밀도에 의하여 칩 정렬도가 큰 영향을 받으므로 칩 크기 오차 3um 이내로 정밀하게 다이싱하였다. TSV 칩은 향후 용융솔더를 Via 내부에 filling 하기 위하여 side wall 에 Ti adhesion layer 와 Cu wetting layer 를 sputter 를 이용하여 형성하였다. 플라즈마 처리 조건은 기존 연구 결과를 이용하여 30kHZ AC, 7kV, N_2 20lpm 을 이용하여 1.8mm/sec 의 속도로 처리하였다. Annealing 온도는 200℃로 3 시간 동안 접합을 수행하였다.

4. TSV 칩 적층 결과

Fig. 3 은 실제로 적층된 두 층의 TSV 칩 bottom illumination 이미지와 단면사진을 보여준다. Fig. 3 (a)는 적층된 칩의 하부조명 이미지를 나타내며 관통 via 가 정밀하게 정렬되어 빛이 통과하여 TSV 가 밝게 보임을 알 수 있다. Fig. 3 (b)와 Fig. 3 (c)는 적층된 TSV 칩 단면의 광학 사진과 SEM 사진을 나타내며 두 개의 칩이 정렬 오차 2.873 ㎛로 매우 정밀하게 정렬되어 있고 향후 용융솔더를 적용하여 via 를 형성할 수 있다.



(a) Bottom illuminated image



(b) Optical image (c) SEM image

Fig.3 Stacked TSV Chips

4. 결론

친수성 표면의 자가정렬 효과를 이용하여 고속으로 정렬오차 3 ㎛이하로 정밀하게 칩을 정렬 및 적층할 수 있음을 확인하였고 향후 용융솔더를 이용하여 관통 via 를 쉽게 filling 할 수 있을 것으로 판단된다.

후기

본 연구는 지경부/산업기술연구회의 협동연구사업 일환인 “차세대 반도체 MCP 핵심 기술개발사업”의 지원에 의한 것입니다.

참고문헌

1. J.U. Knickerbocker, P.S. Andry, B. Dang et al., “3D Silicon Integration”, IEEE Electronic Components and Technology Conference, 2008, pp.538-543
2. M. Sunohara, T. Tokunaga, T. Kurihara et al., “Silicon Interposer with TSVs (Through Silicon Vias) and Fine Multilayer Wiring”, IEEE Electronic Components and Technology Conference, 2008, pp.847-852
3. 이재학, 하태호, 이창우, 송준엽, 유중돈, “친수성 표면의 자가정렬 효과와 플라즈마를 이용한 MCP 용 저온 실리콘 Oxide 접합 방법,” 한국정밀공학회 추계학술대회 논문집, 687-688, 2009