

# 웨이브 솔더링을 이용한 TSV 필링 및 3D 본딩 연구

## The study of 3D bonding and TSV filling by using wave soldering

\*고영기, #유세훈, 한민규, 이창우

\*Y.K. Ko, #S. Yoo (yoos@kitech.re.kr), M.K. Han, C.W. Lee

한국생산기술연구원 용접접합기술센터

Key words : TSV, 3D Packaging, Via filling, Sn-Bi bump

### 1. 서론

차세대 반도체는 소형화, 고밀도, 다기능, 고성능, 높은 신뢰성 등이 요구되고 있다. 이러한 요구사항을 해결하기 위한 방법으로 칩을 적층하는 3D IC 기술이 현재 활발히 개발 중이다. 3D IC 기술중 TSV(Through Silicon Via)는 Si 칩에 through via 를 형성하고, through via 내에 도전성 재료를 충전하여 칩의 위아래 방향으로 전기적 신호를 전달하기 위한 기술이다. TSV 는 기존의 와이어 본딩방법과 비교하여 고집적도, 빠른 신호전달, 낮은 전력소비 등의 장점을 가지고 있다.<sup>1-2</sup> 기존의 TSV 를 도전성재료로 충전하기 위해 구리 전해도금법이 많이 사용되었다. 하지만 via 직경이 작아지고 중횡비가 증가함에 따라 기존 구리 전해도금법은 기공 형성 및 긴 충전시간으로 인해 공정단가가 높아지는 문제점이 있었다. 따라서, 저단가 및 빠른 충전속도를 가지면서 완벽한 충전이 가능한 새로운 방법이 요구되고 있다. 또한 미세접합은 pitch 간격이 작아짐에 따라 미세범프 형성 및 본딩조건을 제어하는 공정이 요구되고 있다. 본 논문에서는 저단가, 빠른 filling 시간을 갖는 wave soldering 과 vacuum 을 활용한 via filling 기술 및 초미세범프 형성 및 저온 솔더링 기술을 논의하고자 한다.

### 2. 실험방법

TSV 의 직경은 각각 20, 30  $\mu\text{m}$ 이며 DRIE 를 이용하여 형성하였다. Wafer 는 100, 200  $\mu\text{m}$ 로 thinning 하였다. Filling 방법은 높은 생산성과 빠른 filling 시간을 갖는 웨이브 솔더링-진공방법을 이용하여 필링하였다. 이 방법은 노즐을 통해 유동하는 용융솔더 위에 TSV 가 형성된 웨이퍼가 놓여지고, 웨이퍼 위쪽에 진공을 형성하여 필링하는 방법이다. 용융솔더의 온도는 300 $^{\circ}\text{C}$ 이며 flow speed 는 1000rpm 이었다. 진공압

은 0.04, 0.08Mpa 로 실시하였다. 각 조건에 따른 wafer 단면을 SEM 에 의해 관찰하였다. 또한, 초미세범프 및 저온솔더링 조건의 확립을 위하여 Cu pillar bump 와 Sn-58Bi cap bump 를 형성하였다. 산화층이 증착된 웨이퍼 위에 각각 Ti 0.05  $\mu\text{m}$ , Cu 0.5  $\mu\text{m}$ 을 스퍼터링 한 후 PR 을 40  $\mu\text{m}$ 높이로 도포하였다. 포토공정을 통하여 직경 20  $\mu\text{m}$ 의 hole 을 형성한 후 Cu pillar bump 를 형성하였다. 도금온도는 상온이며 전류밀도는 3ASD 이었다. 그 후, Cu pillar bump 위에 Sn-Bi cap bump 를 형성하였다. Sn-Bi 범프의 도금온도는 40 $^{\circ}\text{C}$ , 전류밀도는 13~15ASD, 도금시간은 약 3 분이다. 전류밀도에 따른 Sn-58Bi 의 조성 변화 및 reflow 후 미세조직을 관찰하였다.

### 3. 실험결과

Fig. 1 은 0.08Mpa 의 진공압에 따른 30  $\mu\text{m}$ , 20  $\mu\text{m}$  직경 via hole 의 Via filling 결과이다. 30  $\mu\text{m}$  직경 via hole 은 0.5 초의 짧은 시간동안 완벽한 filling 을 관찰하였다. 하지만 20  $\mu\text{m}$  직경 via hole 은 via 내에 debris 가 발견되었으며 완벽하게 filling 된 부분도 있는 반면 debris 가 존재하는 via hole 은 완벽하게 filling 되지 않았다. 따라서 debris 제거는 필수적이며 이를 위해 초음파세척을 각각의 hole size 에 따라 비교 관찰한 결과를 Fig. 2 에 나타내었다. 초음파세척 후 30  $\mu\text{m}$  via hole 은 debris 가 완벽하게 제거된 반면 20  $\mu\text{m}$  via hole 은 초음파 후에도 debris 가 제거되지 않는 문제점을 가지고 있었다. 따라서 완벽한 filling 을 위해서는 Debris 의 제거는 필수적이며 향후 해결방법을 논의 할 것이다. Fig. 3(a)은 Cu Pillar bump 와 Sn-Bi cap bump 의 이미지이다. Cu Pillar bump 는 100 분 도금시 약 20  $\mu\text{m}$  높이로 도금되었으며 도금율은 약 20  $\mu\text{m}$  직경에 대하

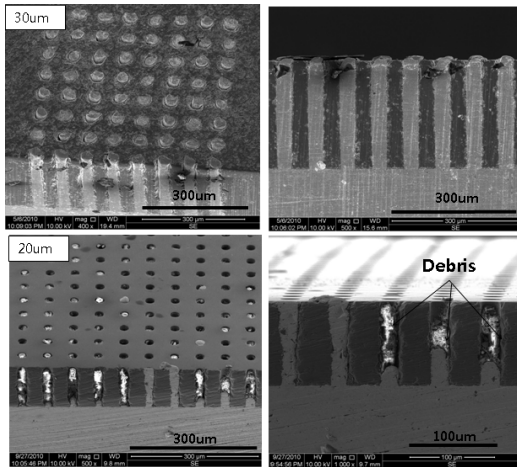


Fig.1 SEM images of via with diameter of 20  $\mu\text{m}$  and 30  $\mu\text{m}$  filled with solder in condition of 0.08Mpa with wave soldering method.

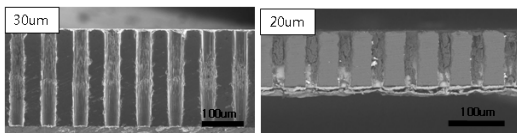


Fig.2 SEM images of 20  $\mu\text{m}$  and 30  $\mu\text{m}$  via hole after ultra sonic.

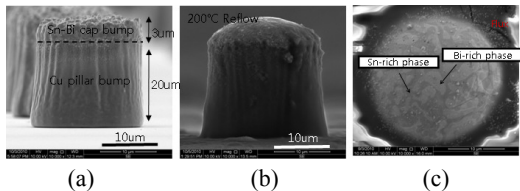


Fig.3 SEM images of (a) Cu pillar bump and Sn-Bi cap bump, (b) Sn-Bi bump after reflow at 200 $^{\circ}\text{C}$  and (c) microstructure of Sn-Bi bump after reflow.

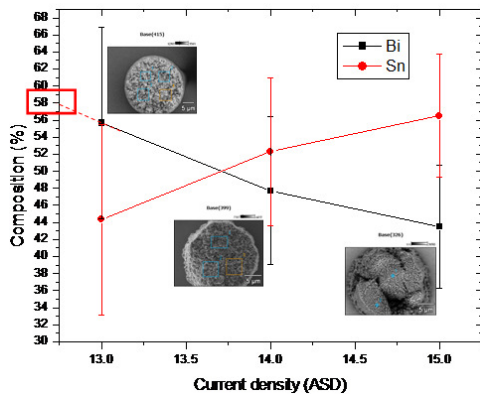


Fig.4 Change of composition of Sn and Bi by current density.

여 2  $\mu\text{m}/10\text{min}$  로 나타났다. 또한 Cu Pillar bump 위에 Sn-Bi cap bump 를 형성하였다. 도금은도 40 $^{\circ}\text{C}$ 에서 13ASD 의 전류밀도로 3 분 도금시 약 3  $\mu\text{m}$ 높이로 형성되었다. Fig. 3(b)는 형성된 Sn-Bi cap bump 를 200 $^{\circ}\text{C}$ 에서 Reflow 후 이미지이다. Reflow 후 Sn-Bi bump 의 미세조직은 Fig. 3(c)와 같이 lamellar 구조로 관찰되었다. Sn-Bi bump 의 조성은 전류밀도 13ASD 에서 평균 약 56%Bi 로 나타났으며 전류밀도가 높아질수록 Bi 함량이 낮아지는 것을 관찰하였다.(Fig.4) 전류밀도를 현재의 13ASD 보다 낮춰 정확한 Sn-58Bi 조성 (eutectic)의 확립이 필요한 것으로 판단된다.

#### 4. 결론

1. Wave soldering-vacuum 필링방법을 사용하여 30  $\mu\text{m}$  직경의 via hole 에 0.5 초의 빠른 시간 동안 solder 를 완벽하게 filling 하였다. 하지만 20  $\mu\text{m}$  via hole 은 debris 에 의해 완벽하게 filling 되지 않았다. 완벽한 via filling 을 위해서는 via hole 내의 debris 제거는 필수적이다.
2. High aspect ratio 를 갖는 Cu pillar bump 에 저온계 솔더인 Sn-Bi cap bump 형성하여 초미세 피치를 위한 저온 접합부를 형성하였다.

#### 후기

본 연구는 지식경제부가 지원하는 협동연구사업 “차세대 반도체 MCP 핵심기술개발”의 지원을 받아 수행되었습니다.

#### 참고문헌

1. Jiang, T., Luo, S., “3D Integration-Present and Future,” Proceedings of 10th Electronics Packaging Technology Conferences, pp. 373-378, 2008.
2. Curran, B., Ndip, I., Gutovski, S. and Reichl, H., “Managing Losses in Through Silicon vias with Different Return Current Path Configurations,” Proceedings of 10th Electronics Packaging Technology Conferences, pp. 206-211, 2008.