

# 태양광 PCS의 계통 연계를 위한 Digital PLL 기법

양승대\*, 심재휘\*, 홍기남\*, 최익\*, 최주엽\*, 이상철\*\*, 이동하\*\*

\*광운대학교, \*\*대구경북과학기술원

## Digital Phase Locked Loop Method for a Single-Phase Photovoltaic Power Conditioning Systems

Yang, Seung Dae\*, Shim, Jae Hwe\*, Hong, Ki Nam\*, Choy, Ick\*, Choi, Ju Yeop\*, Lee, Sang Cheol\*\*, Lee, Dong Ha\*\*,

\*Kwangwoon University([yds4860@gmail.com](mailto:yds4860@gmail.com)), \*\*Daegu Gyeongbuk Institute of Science & Technology

### ABSTRACT

본 논문은 최근 빠른 속도로 성장하고 있는 신재생에너지 분야 중 태양광을 이용한 계통연계형 PV PCS의 PLL(Phase Locked Loop) 기법을 DSP로 처리할 수 있도록 디지털 논리회로로 구현하는 DPLL(Digital Phase Locked Loop) 기법을 제시하고 모델링과 시뮬레이션을 통하여 검증한다.

### 1. 서론

최근 정부의 적극적인 녹색성장을 위한 정책의 일환으로 관심이 고조되고 있는 가운데 신재생에너지원을 이용한 시스템에 대한 연구와 산업계의 개발이 활성화 되고, 그 시장규모가 빠른 속도로 성장하고 있다. 그 중 태양광, 연료전지, 풍력 등의 전기가 아닌 형태의 에너지를 전기에너지로 변환하여 계통으로 연계하는 인버터는 시스템의 아주 중요한 장치이다.

이러한 계통연계형 인버터에서 PLL은 역할을 결정할 수 있는 중요 기능이다. 본 논문에서는 단상 계통연계형 인버터의 PLL을 위한 DPLL 기법을 제시하고 모델링과 시뮬레이션을 통하여 검증한다.

## 2. PV PCS PLL 기법

### 2.1 PLL 기본원리

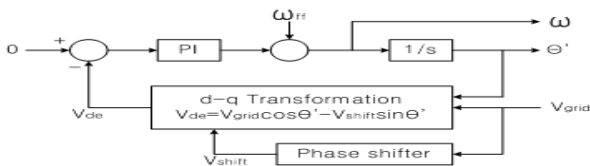


그림 1 PLL 제어블럭도

Fig. 1 Phase Locked Loop Control Block

$$\begin{bmatrix} V_{grid} \\ V_{shift} \end{bmatrix} = \begin{bmatrix} V_{peak} \cos(\theta) \\ V_{peak} \sin(\theta) \end{bmatrix} \quad (1)$$

$$\begin{bmatrix} U_{qe} \\ U_{de} \end{bmatrix} = \begin{bmatrix} \cos(\theta^*) & \sin(\theta^*) \\ -\sin(\theta^*) & \cos(\theta^*) \end{bmatrix} \begin{bmatrix} V_{grid} \\ V_{shift} \end{bmatrix} \quad (2)$$

$$\begin{bmatrix} U_{qe} \\ U_{de} \end{bmatrix} = U_{peak} \begin{bmatrix} \cos(\theta^* - \theta) \\ \sin(\theta^* - \theta) \end{bmatrix} = U_{peak} \begin{bmatrix} \cos(\Delta\theta) \\ \sin(\Delta\theta) \end{bmatrix} \quad (3)$$

$$U_{de} = U_{peak} [\cos(\theta^*) \sin(\theta) - \sin(\theta^*) \cos(\theta)] \quad (4)$$

$$\Rightarrow U_{de} = U_{peak} [\sin(\theta^* - \theta)] = U_{peak} [\sin(\Delta\theta)]$$

PLL 기본원리는 그림1과 같다. 식(1)과 같이 계통의 단상전압과 90° 위상차를 가지는 전압을 발생시킨 후 식(2), (3) 같이 동기각속도 d q좌표계 전압으로 변환시켜 식(4)의 d축 전압이 0이 되도록 즉,  $\Delta\theta$ 가 0이 되도록 PI(Proportional Integral)제어로 위상각을 추종하는 방법이다.

### 2.2 PLL 시뮬레이션

계통의 단상전압은 전압센서로 읽어오고 90° 위상차를 가지는 전압은 그림2의 APF(All Pass Filter) 회로를 통하여 만들어 낼 수 있다. 회로의 전달함수를 구하면 식(5)와 같이 되고 입력과 출력의 위상차  $\phi$ 는 식(6)과 같이 나타낼 수 있다. 위상차가 90°가 될 수 있도록 R과 C값을 선정하여 회로를 구성하였다.

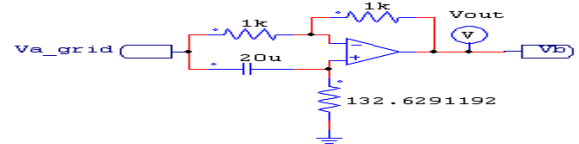


그림 2 All-pass filter 회로

Fig. 2 All-pass filter circuit

$$\frac{v_o}{v_i} = \frac{1 - j2\pi fRC}{1 + j2\pi fRC} \quad (5)$$

$$\phi = -2 \tan^{-1}(2\pi fRC) = -90^\circ \quad (6)$$

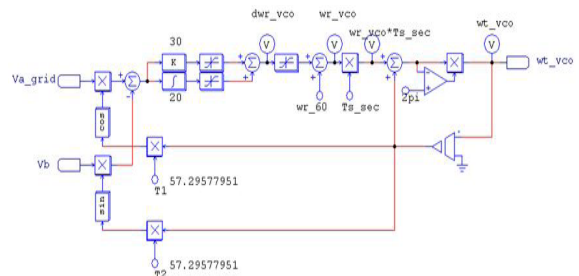


그림 3 PSIM PLL 제어 구성도

Fig. 3 PSIM PLL control block

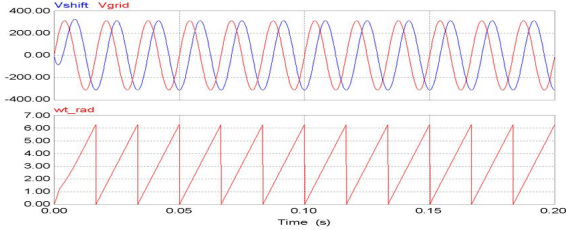


그림 4 PSIM PLL 시뮬레이션 결과파형  
Fig. 4 PSIM PLL simulation waveform

그림3 같이 PSIM을 이용하여 d축 전압오차를 PI제어기를 거쳐 0으로 제어하도록 구성하였다. 시뮬레이션 결과는 그림4와 같이 계통 전압의 위상을 바르게 추종하고 있다.

### 3. Digital PLL 기법

#### 3.1 Digital All-pass filter 구성

Digital PLL을 만들기 위해서는 위에서 살펴보았던 아날로그 회로인 APF를 디지털 논리회로로 변환하는 것이 필요하다. 식(7)은 Bilinear Transformation으로 평균값으로 샘플링을 하여 아날로그를 디지털로 변환하는 식이다. 이 식을 이용하여 식(5)를 변환하면 식(8), (9)를 얻을 수 있다. 이를 논리회로로 구성하면 그림4와 같이 되며 PSIM으로 구현한 회로가 그림5와 같다.

$$j\omega = s = \frac{2}{T} \frac{1-z^{-1}}{1+z^{-1}}, z^{-1}Y(z) = y(t-T) \quad (7)$$

$$H(s) = -\frac{s-a}{s+a}, a = \frac{1}{RC} \quad (8)$$

$$H(z) = \frac{Y[z]}{X[z]} = \frac{\beta+z^{-1}}{1+\beta z^{-1}}, \beta = \frac{-1+(aT/2)}{1+(aT/2)} \quad (9)$$

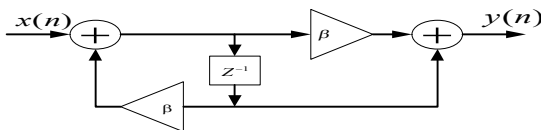


그림 4 All-pass filter 디지털 논리회로  
Fig. 4 All-pass filter digital logic circuit

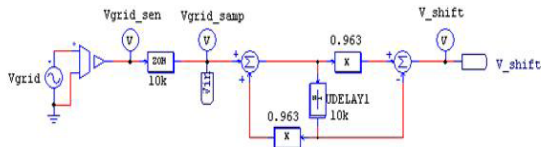


그림 5 PSIM All-pass filter 디지털 논리회로  
Fig. 5 PSIM All-pass filter digital logic circuit

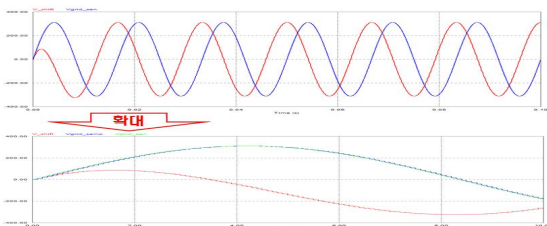


그림 6 All-pass filter 디지털 논리회로 결과파형  
Fig. 6 All-pass filter digital logic circuit waveform

디지털 APF의 시뮬레이션 결과는 그림6과 같다. 위상차 90°의 파형을 확인할 수 있다.

#### 3.2 DPLL 시뮬레이션

디지털 APF와 기존 논리제어회로를 결합하여 DPLL 구성한다. 위상의 갑작스런 변동에도 위상각 추종에 문제가 없는 지를 확인하기 위해 그림7과 같이 0.05초에 위상이 90° 상승하는 위상변동회로를 구성하여 시뮬레이션을 하였다.

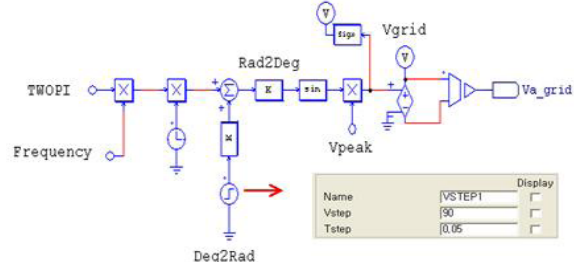


그림 7 위상 변동 테스트 회로  
Fig. 7 Phase jump test circuit

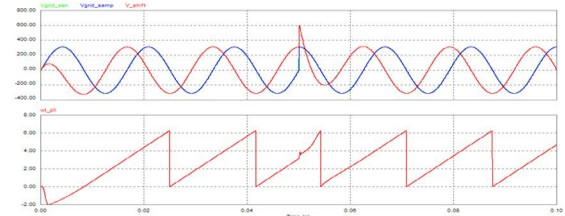


그림 8 위상 변동 테스트 회로 결과파형  
Fig. 8 Phase jump test circuit waveform

시뮬레이션 결과는 그림8과 같이 위상 변동에도 문제없이 위상각을 추종함을 확인할 수 있었다.

### 3. 결론

본 논문은 계통연계형 태양광 인버터의 중요부분인 PLL을 디지털 논리회로로 구성된 DPLL을 설계하고 시뮬레이션을 통하여 검증하였다. DPLL은 별도의 아날로그 APF 회로를 모두 디지털논리회로로 구성되어 있어 DSP로 쉽게 구현할 수 있다. 향후 실제 실험을 통하여 DPLL 기법의 신뢰성을 확인할 계획이다.

본 연구는 교육과학기술부의 대구경북과학기술원 일반사업 연구비 지원에 의해 수행되었습니다.

### 참고 문헌

- [1] V. kaura and V. Blasko, "Operation of a phase locked loop system under distorted utility conditions", IEEE Transactions on Industry Application., vol. 33, No. 1, Jan./Feb. 1997
- [2] 정영석, "태양광발전용 계통연계형 인버터의 단독운전 검출 기법", 박사학위 청구논문, 2006년
- [3] 배현수, "전력변환 시스템의 디지털 제어 기법에 관한 연구", 박사학위 청구논문, pp.127-128, 2009년 8월