

낮은 전압스트레스를 갖는 고승압비 부스트 컨버터

홍승희, 이상현, 오동성*, 홍성수, 한상규
국민대학교 전력전자 연구소, 삼성전기*

High Voltage Conversion Ratio Tapped-Inductor Boost Converter with Low Voltage Stress

Seung Hee Hong, Sang Hyun Lee, *Dong Sung Oh, Sung Soo Hong, Sang Kyoo Han
Kookmin University Power Electronic Center, *Samsung Electro-Mechanics Co. LTD

ABSTRACT

높은 승압비를 위한 기존의 탭인덕터 부스트 컨버터는 스위치의 턴 온/오프 시 기생 소자의 공진에 의해 발생하는 스위치 및 다이오드의 큰 전압 스트레스를 해결하기 위해 손실 스너버를 적용하였고, 이로 인해 효율 저하 및 원가 상승의 문제점이 있었다. 본 논문에서는 이러한 문제점을 해결할 수 있는 고효율의 부스트 컨버터를 제안한다. 제안된 회로는 트랜스포머를 사용하여 높은 승압비를 달성하고, 각 소자의 내압을 링크전압 또는 출력전압으로 제한하여 고효율·저가격화 및 신뢰성 개선에 매우 유리하다. 최종적으로 제안회로의 입력 DC24V 및 출력 DC230V인 모의실험을 통해 고찰된 실험결과를 제시함으로써 제안 회로의 우수성과 이론적 분석의 타당성을 검증한다.

D_2 및 캐패시터 C_{Link} 가 추가된 구조이다. 제안된 회로는 스위치 M이 도통했을 때, 트랜스포머 2차측의 전압 V_{sec} 이 링크 캐패시터의 전압 $V_{C.Link}$ 보다 작을 경우 D_2 는 차단되고 반대의 경우 D_2 는 도통하게 된다. 한편, 스위치 M이 차단되었을 때 다이오드 D_2 는 다이오드 D_3 양단 전압을 출력 전압 V_0 로 클램프시키는 역할을 한다. 이와 같이 제안된 회로는 2개의 동작영역이 존재하나 본 논문에서는 스위치 M이 도통했을 때 다이오드 D_2 가 '오프'되는 동작영역에 대해서만 서술하기로 한다.

2.1 동작 모드해석

해석의 편의를 위해 다음과 같이 가정한다.

L_K 는 L_m 에 비해 매우 작고, L_m 이 매우 커 i_{Lm} 은 일정하다.
모든회로는 정상상태로 동작하고 $V_{C.Link}$ 와 V_0 는 일정하다.

1. 서론

최근 LED TV, 태양광 및 연료 전지등 여러 응용분야에서 고승압형 DC/DC 컨버터의 필요성이 증대되고 있으며, 일반적으로 높은 승압비를 갖는 전력변환회로로 탭인덕터 부스트 컨버터가 많이 사용된다. 이는 시비율과 권선비에 따라 높은 승압비를 얻을 수 있지만 트랜스포머의 누설 인덕터와 기생 캐패시터의 공진에 의해 반도체 소자의 전압스트레스가 과도하게 증가하는 문제점이 있다. 따라서, 전압스트레스를 줄여주기 위한 손실 스너버의 사용이 필수적이며, 이는 시스템의 원가상승 및 효율감소의 단점이 있다. 본 논문에서는 이러한 기존 회로의 문제점을 해결하기 위한 고승압비 부스트 컨버터를 제안한다.

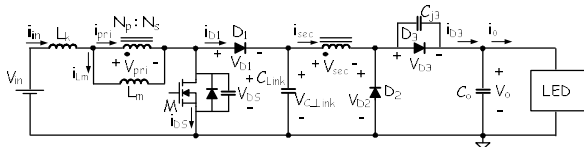


그림 1 제안회로

2. 고효율 탭인덕터 부스트 컨버터

본 논문에서 제안하는 회로는 각 소자의 내압을 각각 링크 전압 또는 출력 전압으로 클램프(Clamp) 시킴으로써 별도의 손실 스너버가 필요없이 내압 저감의 효과를 가질 수 있다.

제안회로는 기존 탭인덕터 부스트 컨버터에 다이오드 D_1 ,

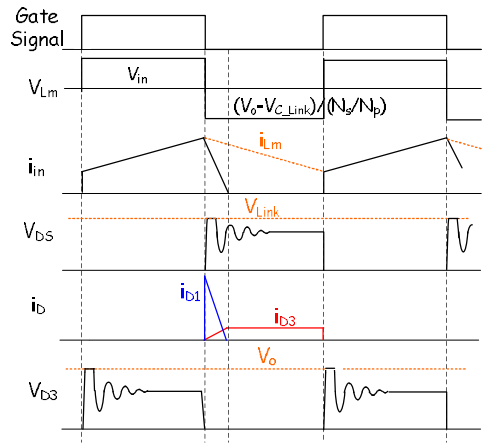


그림 2 D_2 오프 모드 주요동작 파형

모드 1($t_0 \sim t_1$): 스위치 M이 턴 온하면 다이오드 D_1 , D_2 , D_3 에 역전압이 인가되어 모두 턴 오프되고 입력전류 i_{in} 은 V_{in}/L_m 의 기울기로 증가하게 된다. 한편, 트랜스포머의 누설 인덕터 L_K 와 다이오드 D_3 의 기생 캐패시터 C_{j3} 사이의 공진이 발생하나 출력전압 V_0 로 클램프 된다.

모드 2($t_1 \sim t_2$): 스위치 M이 턴 오프하면 입력전류 i_{in} 이 다이오드 D_1 을 따라 링크 캐패시터 C_{Link} 로 흐르므로 자화 인덕턴스 L_m 양단에 음의 전압이 인가되어 다이오드 D_2 는 턴 오프 된다. 1차측 전류 i_{pri} 는 입력전류 i_{in} 과 자화인덕턴스 전류 i_{Lm} 의

차이만큼 흐르게 되며, 2차측 전류 i_{sec} 에 의해 다이오드 D_3 가 도통하게 되므로 자화 인덕터 L_m 에는 그림 2와 같이 $(V_o - V_{C_Link})/(N_s/N_p)$ 전압이 인가되고, L_K 에는 $V_{in} + V_{C_Link}$ ($V_o - V_{C_Link})/(N_s/N_p)$ 의 전압이 인가되어 입력전류 i_{in} 은 감소한다. 한편, 이전 모드에서 자화 인덕터 L_m 에 저장된 에너지는 2차측으로 전달되고 누설 인덕터 L_K 에 저장된 에너지는 스위치의 드레인 소스 사이의 캐패시터 C_{DS} 와 공진을 발생시켜 드레인 소스 전압 V_{DS} 를 급격히 상승하게 하지만 다이오드 D_1 에 의해 스위치 전압은 V_{C_Link} 로 클램프 된다.

모드 3($t_2 \sim t_3$): 입력전류 i_{in} 이 '0'이 되면 다이오드 D_1 이 턴 오프되고 자화 인덕터 전류 i_{Lm} 은 모두 트랜스포머를 통해 출력 측으로 전달된다.

2.2 입출력전압 변환비 및 링크 커패시터 전압

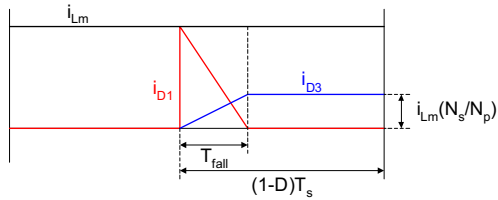


그림 3 스위치 '오프' 구간에서 다이오드 D_1 , D_3 의 전류파형

캐패시터의 평균전류는 전하평형 원리에 의해 '0'이 되어야 한다. 따라서 다이오드 D_1 의 평균전류는 다이오드 D_3 의 평균전류와 동일해야 하고 자화 인덕터 L_m 이 매우 커 자화 인덕터 전류 i_{Lm} 의 리플이 무시 할 만큼 작다면 그림 3의 T_{fall} 은 식 (1)처럼 유도될 수 있다.

$$\frac{1}{2} T_{fall} i_{Lm} = \frac{1}{2} [(1-D) T_s + (1-D) T_s - T_{fall}] \frac{i_{Lm}}{(N_s/N_p)} \quad (1)$$

여기서 자화 인덕터 전류 i_{Lm} 은 입력전류 i_{in} 과 트랜스포머 1차측 전류 i_{pri} 의 합과 같으므로 식 (2)와 같이 유도되고 식 (1)과 식 (2)로부터 출력전압 V_o 는 식 (3)과 같이 유도된다.

$$i_{Lm} = \frac{i_o V_o}{V_n} + \frac{N_s}{N_p} i_o \quad (2)$$

$$V_o = \frac{1 + (N_s/N_p) D}{1 - D} V_n \quad (3)$$

한편, 자화 인덕터의 평균전압은 전압 시간 평형조건에 의해 '0'이 되어야 하므로 식 (4)와 같이 만족되어야 한다. 따라서 식 (3)과 식 (4)로부터 링크 커패시터 전압 V_{C_Link} 를 식 (5)과 같이 유도할 수 있다.

$$V_n D T_s = \frac{V_o - V_{C_Link}}{(N_s/N_p)} (1-D) T_s \quad (4)$$

$$V_{C_Link} = \frac{V_n}{(1-D)} \quad (5)$$

3. 모의실험 결과

본 논문에서 제안된 회로의 타당성을 검증하기 위해 PSIM을 이용한 모의실험을 하여 그 결과를 아래에 나타내었다. 실험에 사용된 사양은 입력전압 DC24V, 출력전압 DC230V, 트랜스포머 권선비는 25:68, 자화인덕턴스는 100uH, 누설인덕턴스는 4uH이다. 그림 4는 다이오드 D_2 의 오프 모드에 따른 결과 파형이다. 위에서 언급한 바와 같이 스위치 턴 오프시 드레인 소스 양단 전압 V_{DS} 와 다이오드 D_3 의 전압 V_{D3} 가 각각 링크 캐패시터 전압 V_{C_Link} 와 출력 전압 V_o 로 클램핑되고 있음을 확인할 수 있다.

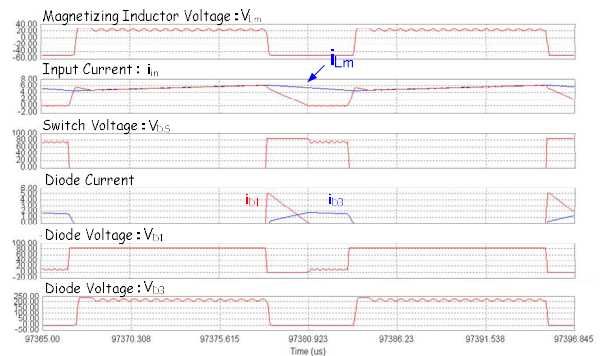


그림 4 실험결과 주요파형

4. 결론

본 논문에서는 낮은 전압 스트레스를 갖는 고승압비 부스트 컨버터를 제안하였다. 제안된 회로는 각 소자의 내압을 각각 링크전압 또는 출력전압으로 클램프 시켜 별도의 손실 스너버가 필요없이 내압저감의 효과를 얻을 수 있어 고효율/저가격화 및 신뢰성 개선에 매우 유리하다. 제안회로의 타당성을 검증하기 위하여 입력 DC24V 및 출력 DC230V인 모의실험을 수행하였다. 실험 결과 제안회로는 반도체 소자의 전압스트레스가 매우 작아, 높은 승압비를 필요로 하는 LED 구동회로에 매우 적합함을 확인하였다.

본 연구는 삼성전기(주)의 연구비 지원과 지식경제부 및 정보통신 연구진흥원의 대학 IT연구센터 지원사업의 연구 결과로 수행되었음 (NIPA 2011 C1090 1121 0005)

참고 문헌

- [1] N. Vazquez, L. Estrada, C. Hernandez, E. Rodriguez. "The Tapped Inductor Boost Converter", IEEE International Symposium on Industrial Electronics, pp 538-543, June 2007.
- [2] Q. Zhao, F.C. Lee. "High Efficiency, High Step up DC DC Converters", IEEE Transactions on Power Electronics, Vol 18, No 1, pp 65-73, January 2003.