

단일 스위치 배전압 방식의 단상 PFC 회로의 제어기 설계

구대관*, 지준근*, 차귀수*, 임승범**, 목형수***
 순천향대학교*, (주)이온**, 건국대학교***

Design of Controller for Single-phase PFC Circuit with 1-switch Voltage Doubler Strategy

Dae Kwan Ku*, Jun Keun Ji*, Guesoo Cha*, Seung Beom Lim**, Hyung Soo Mok***
 Soonchunhyang University*, EON CO. Ltd**, Konkuk Univ***

ABSTRACT

본 논문에서는 단일 스위치 배전압 방식의 단상 PFC 회로의 제어기 설계방법을 제안한다. 이 PFC 회로는 저가형 이중변환 방식 단상 UPS의 AC DC 변환부에 사용되고는 있으나, 전압 제어기와 전류 제어기의 설계방법과 입력 역률 보상 및 입력 전류 고조파 억제 성능에 대한 연구결과가 알려지지 않았다. 제안된 방법으로 설계된 제어기들의 제어 성능과 입력 역률 및 입력 전류의 THD를 시뮬레이션을 통해서 검증하였다.

1. 서론

최근 중요 부하에 대한 안정적인 전원공급을 위해 이중변환(Double Conversion) 방식 UPS(Uninterruptible Power Supply)가 널리 쓰이고 있다. 이 방식의 UPS는 AC DC AC 변환구조를 갖기 때문에 전원계통의 교란에 대해서도 우수한 성능을 갖는다. 반면 자체적인 구조로 인해 효율 및 입력 역률 저하와 입력 전류의 THD 증가 문제가 발생한다.

1993년 Salmon 등에 의해 제안된 단상 단일 스위치 배전압 PWM 승압형 정류기(Single phase 1 switch Voltage Doubler PWM Boost Rectifier)는 온오프 제어 가능한 소자 한 개와 브릿지 다이오드만으로 구성된 AC DC 승압형 컨버터이다^[1]. 제안된 회로는 저가형 이중변환방식 단상 UPS에서 AC DC 변환부에 대한 해결책이 될 수 있다. 그러나 제어기 설계방법과 역률 보상 및 입력 전류의 고조파 억제에 대한 후속 연구가 알려지지 않았다.

본 논문에서는 단일 스위치 배전압 방식의 단상 PFC 회로의 제어기 설계방법을 제안하고, 제안된 방법으로 설계된 제어기로 출력 전압 제어, 입력 전류 제어, 역률 보상, 입력 전류의 THD 억제 성능을 시뮬레이션과 실험으로 검증하였다.

2. 회로 구성 및 제어기 설계

2.1 회로 구성 및 동작 특성

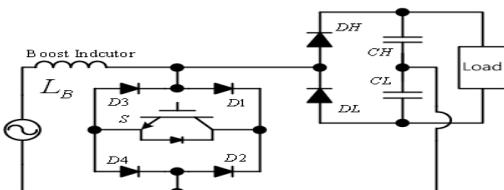


그림 1 단일 스위치 배전압 방식의 단상 PFC 회로
 Fig.1 Single-phase PFC Circuit with 1-switch Voltage Doubler Strategy

그림 1은 단일 스위치 배전압 방식의 단상 PFC 회로이다. IGBT가 OFF 상태에서는 배전압 회로로 동작 하고, IGBT가 ON 되면 브릿지 다이오드를 통해서 회로가 형성되어 부스트 인덕터에 에너지가 저장된다. 다시 IGBT가 OFF 되면 배전압 회로로 동작하면서 부스트 인덕터에 저장되었던 에너지가 방출 되어 승압작용을 하게 된다.

2.2 제어기 설계

2.2.1 전압 제어기 설계

그림 2는 제안된 전체적인 제어기들의 블록다이어그램이다.

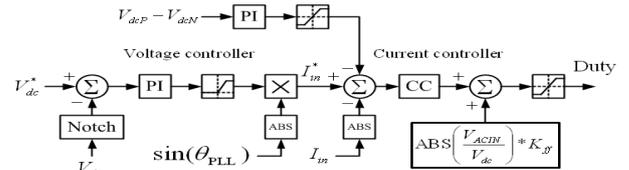


그림 2 제어기 블록다이어그램

Fig.2 Block diagram of controller

이중변환방식 UPS의 AC DC 컨버터는 DC AC 인버터의 직류단 전압을 공급해주는 역할을 한다. 직류단 캐패시터 전압에는 120Hz 리플 성분이 있기 때문에 전압 제어기는 필터링된 전압을 이용해야 한다. 리플 성분을 제거하기 위해서 노치(Notch) 필터를 이용한다. 직류단 전압 리플이 120Hz이기 때문에 제거 주파수 및 제거 대역을 120Hz와 20Hz 정도로 설정하면 효과적으로 직류단 전압 리플을 제거시킬 수 있다.

전압 제어기는 PI 제어기를 이용하며, 전류 제어기가 이상적으로 동작한다면 PI 전압 제어기의 전달 함수는 다음과 같다.

$$\frac{V_{dc}}{V_{dc}^*} = \frac{s(k_{pv}/C_{dc}) + (k_{iv}/C_{dc})}{s^2 + s(k_{pv}/C_{dc}) + (k_{iv}/C_{dc})} \quad (1)$$

위 식에서 $C_{dc}(C_H + C_L)$ 는 직류단 캐패시터 정수이다. PI 제어기의 비례 이득과 적분 이득의 설정은 원형 2차 시스템(Prototype Second Order System)의 설계법에 의해 다음식과 같이 구할 수 있다.

$$k_{pv} = 2\zeta\omega_{nv}C_{dc}, \quad k_{iv} = \omega_{nv}^2 C_{dc} \quad (2)$$

전압 제어기의 출력이 전류 제어 지령의 크기가 되기 때문에 120Hz 리플 성분이 포함되지 않도록 ω_{nv} 를 10 ~ 15Hz 정도로 충분히 낮춰서 선정해야 한다.

직류단에 있는 두 개의 캐패시터 전압의 불평형을 보상하기 위해 캐패시터 전압의 차이에 대해서도 PI 제어기를 이용하여 전류 지령에 보상하였다.

2.2.2 전류 제어기 설계

PFC의 제어에서 전류 제어 성능은 입력 역률 보상과 입력 전류의 THD 억제 성능을 결정하기 때문에 중요하다. 설계할 전류 제어기는 절대값 전류 제어를 이용한다. 부스트 인덕터에 흐르는 전류는 교류이지만, 절대값 전류 제어를 하면 영전류 왜곡(Zero Current Distortion)이 감소하리라고 기대할 수 있다.

절대값 전류 제어의 지령값은 전원 전압의 각 정보의 sin값에 절대값을 취한 값과 전압 제어기의 출력을 곱하여 구한다.

전류 제어기를 설계하기 위해서, 소신호 해석법을 이용하여 전류 제어기의 플랜트 모델을 연속 시간영역에서 다음과 같이 간단히 나타낼 수 있다.

$$G_i(s) = (V_{dc}/2)/(L_i s) \quad (3)$$

L_i 는 부스트 인덕터 정수이다. 위 모델을 Zero order hold 방법으로 이산 시간영역 모델로 변환후 계산하면 다음과 같다.

$$G_{iz}(z) = 23.01/(z-1) \quad (4)$$

위의 방법으로 구한 이산 시간 영역 모델을 플랜트로 하여 주파수 영역 해석방법으로 PID 제어기를 설계한다.

MATLAB/SIMULINK의 SISOTOOL을 이용하여 플랜트를 이산 시간 영역 모델 $G_{iz}(z)$ 로 설정하고, 개루프(Open Loop) 전달함수의 대역폭을 1.92kHz, 위상여유(Phase Margin)를 60도로 정하여 설계된 PID 제어기의 근 궤적(Root Locus)과 보드 선도(Bode Plot)는 그림 3과 같다.

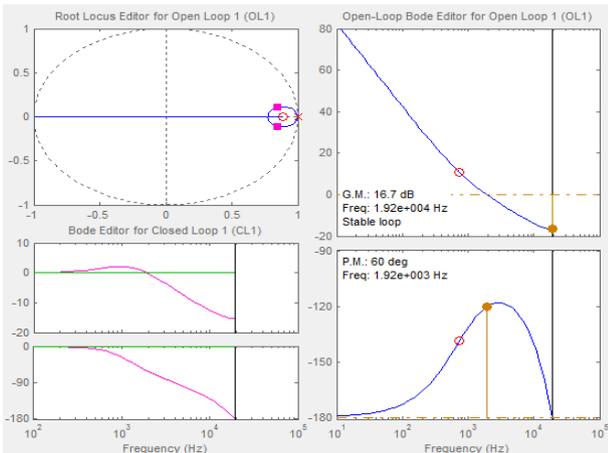


그림 3 설계된 전류 제어기의 근 궤적과 보드 선도
Fig. 3 Root Locus and Bode Plot of designed current controller

2.2.3 듀티 전향보상

디지털 PFC 제어에는 제어기의 대역폭을 높이기 어렵기 때문에 입력 전류의 진상 현상(Phase Leading)을 막기 쉽지 않다. 이 문제를 극복하기 위해 다음 식과 같은 듀티 전향보상을 이용한다^[2].

$$ABS(V_{ACIN}/V_{dc}) * K_{ff} \quad (5)$$

K_{ff} 는 전향보상 이득으로 경험적으로 설정할 수 있다. 입력 전압 측정에 노이즈 성분이 많을 경우 궤환 경로에 저역 통과 필터 또는 대역 통과 필터를 걸거나, PLL의 sin 출력에 교류 전원 전압의 최대값을 곱하여 이용할 수 있다.

3. 시뮬레이션 및 실험결과

제안된 제어기 설계 방법으로 설계된 제어기의 성능을 검증하기 위해서 PSIM DLL을 이용한 시뮬레이션을 수행하였다. 표 1은 시뮬레이션에 사용된 시스템 파라미터이다.

표 1 시스템 정수

Table 1 System parameters

Rated Output Power	3kVA
AC Source Voltage	220Vrms/60Hz
Boost Inductor	430uH
DC Link Capacitor	680uF
Switching Device & Frequency	IGBT, 40kHz
V_{dc} Reference Voltage	760V
Load Type	Half Bridge Inverter & 17.5 Ohm R Load

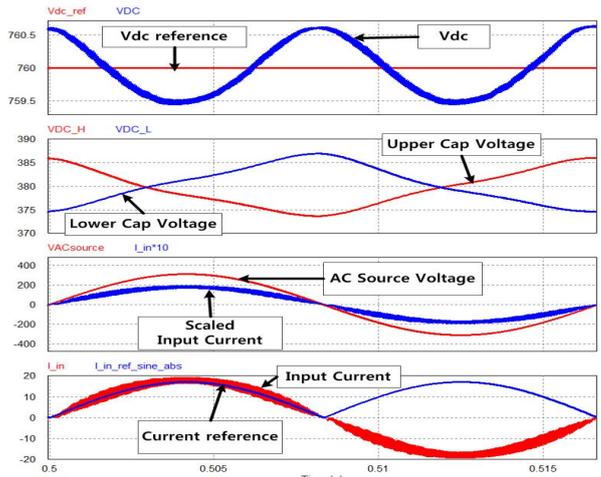


그림 4 시뮬레이션 결과 파형

Fig. 4 Waveforms of simulation results

그림 4는 PSIM DLL 시뮬레이션 결과 파형들이다. 첫 번째 파형은 전압 지령과 실제 직류단 전압 V_{dc} 의 노치 필터를 거친 V_{dc} 이다.

두 번째 파형은 직류단의 캐패시터 전압 파형이다. 상하단 캐패시터에 전압 불평형이 생기지 않는다는 것을 알 수 있다.

세 번째 파형은 교류 전원 전압과 10배 확대된 입력 전류 파형이다. 입력 역률은 0.995로 입력 역률 보상이 가능하다.

네 번째 파형은 입력 전류와 절대값 전류 지령치이다. 입력 전류가 전류 지령을 우수한 성능으로 추종한다는 것을 알 수 있으며, 입력 전류 THD는 3.62%로 고조파 억제가 가능하였다.

4. 결론

본 논문에서는 단일 스위치 배전압 방식의 단상 PFC 회로의 제어기 설계방법들을 제안하였고, 제안된 방법으로 설계된 제어기를 시뮬레이션과 실험으로 검증하였다. 전압 및 전류 제어기는 지령값을 우수하게 추종하였으며, 입력 역률 0.995, 입력 전류 THD는 3.62%로 10%이하 고조파 억제가 가능하였다.

이 논문은 (주)이온의 연구비 지원에 의해 연구되었습니다.

참고 문헌

- [1] J.C. Salmon, "Circuit topologies for single phase voltage doubler boost rectifiers", IEEE Trans. on Power Electronics, Vol. 8, no. 4, pp. 521-529, 1993.
- [2] D.M. Van de Sype, K. De Gussemé, A.P. Van den Bossche, J.A. Melkebeek, "Duty ratio feedforward for digitally controlled boost PFC converters", IEEE Trans. Industrial Electronics, Vol. 8, No. 1, pp. 108-115, 2005.