TF-P011

Charge Trap Flash 메모리 소자 프로그램 동작 시 전하수송 메커니즘

유주태, 김동훈, 김태환

한양대학교 전자통신컴퓨터공학과

현재 사용되고 있는 플로팅 게이트를 이용한 플래시 메모리 소자는 비례축소에 의해 발생하는 단 채널 효과, 펀치스루 효과 및 소자간 커플링 현상과 같은 문제로 소자의 크기를 줄이는데 한계가 있다. 이러한 문제를 해결하기 위하여 silicon nitride와 같은 절연체를 전자의 트랩 층으로 사용하는 charge trap flash (CTF) 메모리 소자에 대한 연구가 활발히 진행되고 있다. CTF 메모리 소자의 전기적 특성에 대한 연구는 활발히 진행 되었지만, 수치 해석 모델을 사용하여 메모리 소자의 전하수송 메커니즘을 분석한 연구는 매우 적다. 본 연구에서는 수치 해석 모델을 적용하여 개발한 시뮬레이터를 사용하여 CTF 메모리 소자의 프로그램 동작 시 전하수송 메커니즘에 대한 연구를 하였다. 시뮬레이터에 사용된 모델은 연속방정식, 포아송 방정식과 Shockley-Read-Hall 재결합 모델을 수치해석적 방법으로 계산하였다. 또한 CTF 소자 프로그램 동작 시 트랩 층으로 주입되는 전자의 양은 Wentzel-Kramers-Brillouin 근사 법을 이용하여 계산하였다. 트랩 층에 트랩 되었던 전자의 방출 모델은 이온화 과정을 사용하였다. 게이트와 트랩 층 사이의 터널링은 Fowler-Nordheim (FN) tunneling 모델, Direct tunneling 모델, Modified FN tunneling 모델을 적용하였다. FN tunneling 만을 적용했을때 보다 세가지 모델을 적용했을 때가 더 실험치와의 오차가 적었다. 그 이유는 시뮬레이션 결과를 통해 인가된 전계에 의해 Bottom Oxide 층의 에너지 밴드 구조가 변화하여 세가지 tunneling 모델의 구역이 발생하는 것을 확인 할 수 있었다. 계산된 결과의 전류-전압 곡선을 통해 CTF 메모리 소자의 프로그램 동작 특성을 관찰하였다. 트랩 층의 전도대역과 트랩 층 내부에 분포하는 전자의 양을 시간에 따라 계산하여 트랩 밀도가 시간이 지남에 따라 일정 값에 수렴하고 많은 전하가 트랩 될수록 전하 주입이 줄어듬을 관찰 하였다. 이와 같은 시뮬레이션 결과를 통해 CTF 메모리의 트랩층에서 전하의 이동에 대해 더 많이 이해하여 CTF 소자가 가진 문제점 해결에 도움을 줄 것이다.

This work was supported by the National Research Foundation of Korea (NRF) grant funded by the Korea government (MEST) (No. 2010-0018877).

Keywords: CTF, numerical