

TW-P019

## 채널의 도핑 농도 변화에 따른 20 nm 이하의 FinFET 플래시 메모리에서의 프로그램 특성

권정임, 김태환

한양대학교 컴퓨터공학부

휴대용 저장매체에서부터 solid state disk와 같은 고속 시스템 저장 매체 까지 플래시 메모리의 활용도가 급속도로 커지고 있다. 이에 플래시 메모리에 대한 연구 또한 활발히 진행 되고 있다. 현재 다결정 실리콘을 전하 주입 층으로 사용하는 기존의 플래시 메모리는 20 nm 급 까지 비례 축소되어 활용되고 있다. 하지만 20 nm 이하 크기의 소자에서는 과도한 누설전류와 구동전압의 불안정, 큰 간섭현상으로 인한 성능저하와 같은 많은 문제점에 봉착해 있다. 이를 해결하기 위해 FinFET, Vertical 3-dimensional memory, MRAM (Magnetoresistive Random Access Memory), PRAM(Phase-change Memory)과 같은 차세대 메모리 소자에 대한 연구가 활발히 진행 되고 있다. 본 연구에서는 차세대 메모리 구조로 주목 받고 있는 FinFET 구조를 가진 플래시 메모리에서 fin 의 채널영역의 도핑 농도 변화에 의한 20 nm 이하의 게이트 크기를 가지는 소자의 전기적 특성과 프로그램 특성을 3차원 시뮬레이션을 통해 계산하였다.

본 연구에서는 FinFET 구조를 가진 플래시 메모리의 채널이 형성되는 fin의 윗부분도핑농도의 변화에 의한 전기적 특성과 프로그램 특성을 계산하였다. 본 계산에 사용된 구조는 게이트의 크기, 핀의 두께와 높이는 18, 15 그리고 28 nm이다. 기판은 Boron으로  $1 \times 10^{18} \text{ cm}^{-3}$  농도로 도핑 하였으며, 소스와 드레인, 다결정 실리콘 게이트는  $1 \times 10^{20} \text{ cm}^{-3}$  농도로 Phosphorus로 도핑 하였다. 채널이 형성되는 fin의 윗부분의 도핑농도를  $1 \times 10^{18} \text{ cm}^{-3}$  에서  $5 \times 10^{19} \text{ cm}^{-3}$  까지 변화 시키면서 각 농도에 대한 프로그램 특성과 전기적 특성을 계산하였다. 전류-전압 곡선과 전자 주입 층에 주입되는 전하의 양을 통해 특성을 확인하였고 각 구조에서의 채널과 전자 주입 층의 전자의 농도, 전기장, 전기적 위치 에너지와 공핍 영역의 분포를 통해 분석하였다. 채널의 도핑농도 변화로 인한 fin 영역의 공핍 영역의 분포 변화로 인해 전기적 특성과 프로그램 특성이 변화함을 확인하였다.

이 논문은 2011년도 정부(교육과학기술부)의 재원으로 한국연구재단의 기초연구사업 지원을 받아 수행된 것임(2011-0025491).

**Keywords:** FinFET, TCAD