

팬아웃 웨이퍼 레벨 공정을 이용한 3 차원 적층패키지의 제조 Fabrication of 3-Dimensional Stacked Package using Fan-Out Wafer Level Process

*#김형준, 이재학, 하태호, 이창우, 송준엽

*#H. J. Kim (kimhj@kimm.re.kr), J. H. Lee, T. H. Ha, C. W. Lee, J. Y. Song

한국기계연구원 초정밀시스템연구소

Key words: Wafer level package, 3D packaging, Fan-out

1. 서론

근래의 휴대용 전자기기는 크기를 줄이며 기능은 다양화 하면서도 전력소비를 적게 하는 방향으로 발전하고 있다. 이러한 요구 조건들을 만족시키기 위하여 단위 소자의 I/O 수는 증가하게 되고, 하나의 패키지가 다 기능을 수행할 수 있도록 개발되고 있는 추세이다. 기존의 웨이퍼 레벨 패키징(WLP: Wafer Level Packaging) 기술은 접속의 집적도를 높이고, 열적·전기적 특성을 향상 시키면서도 기존의 반도체 공정을 이용함으로써 생산단가를 낮출 수 있는 장점을 가지고 있다. 그러나 고집적화를 위한 I/O 수의 증가는 제한된 패키지 영역 내의 접속 범프 pitch 를 감소시켜, 패키지와 기판 간의 접속을 어렵게 한다. 이는 소자나 패키지에 비해 기판생산 기술이 가지는 한계에 의해 발생하는 'interconnection gap'이 주된 이유이다.

'Interconnection gap' 이슈를 극복하기 위하여 팬아웃 웨이퍼레벨 패키지(FOWLP: Fan-Out Wafer Level Package) 기술이 Infineon 사에 의해 제안되었다. FOWLP 는 반도체 칩이 내장된 인공적인 몰드웨이퍼(molded wafer)를 제조하고, 칩의 패드를 배선공정을 이용하여 몰드웨이퍼의 표면에 재배열 함으로써, 미세화 되는 반도체 소자의 foot print 를 극복하고, 현재 기판 제조기술의 기술적 한계와 신기술 개발에 필요한 경제적 위험성을 동시에 극복할 수 있다 [1-5].

FOWLP 를 이용한 기술에서 가장 각광받고 있는 적용분야 중의 하나는 3 차원 PoP (Package-on-Package) 적층을 이용한 SiP(System-in-Package)의 제조이다. 3 차원 적층은 몰드 관통

비아(TMV: Through Mold Via)와 웨이퍼의 양면 재배열 공정을 통하여 이루어지며, 수직방향으로 단위 패키지를 쌓아 올리게 된다. 특히 FOWLP 가 주로 사용되는 제품이 핸드폰과 같은 모바일 기기이기 때문에 전체 패키지 두께는 1mm 이하이어야 하는 제약이 있다.

본 논문에서는 양면 FOWLP 의 제조 및 이들을 이용한 수직방향 적층패키지의 제조공정 및 결과에 대해서 기술하고자 한다.

2. 양면 FOWLP 및 3 차원 적층패키지의 제조공정 결과

양면 FOWLP 의 제작을 위한 전반적인 공정도를 Fig. 1 에 나타내었다. Cu pillar 가 형성된 Al daisy chain 칩과 희생칩을 준비하고 DAF (Die Attach Film)을 이용하여 접합시켰다(a). 이렇게 준비된 칩들을 P&P (Pick & Placement) 공정을 이용하여 몰딩테이프가 부착된 몰드 캐리어 위에 배열하였다(b). 칩들이 재배치된 몰드 캐리어에 에폭시계열의 몰딩 컴파운드를 고르게 분산시킨 후 웨이퍼 레벨 몰딩을 수행하여 약 500 μ m 두께의 인공적인 몰드 웨이퍼를 제조하였다. 몰딩 공정은 130 $^{\circ}$ C 에서 수행되었으며, 몰딩 후 175 $^{\circ}$ C 에서 PMC(Post Mold Curing)를 수행하였다(c). 몰드 웨이퍼는 두께 제한에 대한 조건을 만족시키기 위하여 다시 200 μ m 두께로 thinning 해 주었다. 이 과정에서 희생칩은 다 제거되고 TMV 역할을 수행할 Cu pillar 만이 남게 된다(d). 200 μ m 두께의 몰드 웨이퍼는 핸들링이 매우 어렵기 때문에 TBA (Temporary Bonding Adhesive)를 이용하여 두꺼운 캐리

어 웨이퍼에 접합시켰다(e). 이후 FS(Front Side)

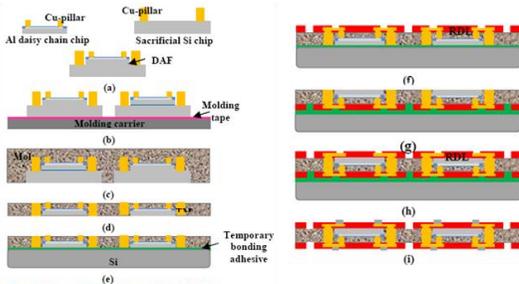


Figure 1. A schematic of the process flow of double-side FOWLP.

재배선 공정을 통해 FS RDL(Redistribution Layer)을 형성하고(f), BS(Back Side) RDL 형성을 위해 FS 에 캐리어 웨이퍼를 부착하였다(g). 이후 동일하게 BS RDL 을 형성하고(h), 캐리어 웨이퍼를 제거하여 양면 FOWLP 웨이퍼 제조를 완료하였다(i) [6]. 상기의 공정을 이용하여 제작된 FOWLP 를 Fig. 2 에 나타내었다.

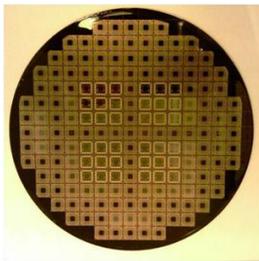


Figure 2. Fabricated 200µm-thick FOWLP wafer with double-side RDLs.

TMV 와 RDL 의 Cu 배선간의 접합상태를 확인하기 위하여 단면관찰을 수행하였으며, 그 결과를 Fig. 3 에 나타내었다. 결과에서 알 수 있듯이 Cu 배선과 Cu TMV 간의 접합이 매우 잘 이루어졌음을 확인할 수 있다. FOWLP 웨이퍼는 dicing 공정을 통하여 단위 패키지화

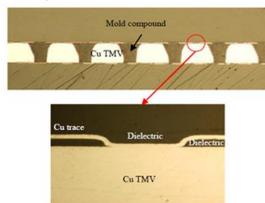


Figure 3. Cross-section of FOWLP and the interface between Cu TMVs and Cu trace of RDLs.

되었으며, 이들 단위 패키지를 이용하여 수직 방향 3 차원 적층패키지를 성공적으로 제조하였다. 실제 제작된 3 차원 적층패키지를 Fig. 4 에 나타내었다.

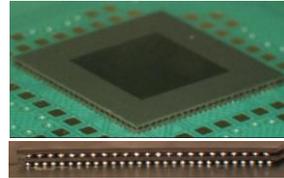


Figure 4. Fabricated 3D-stacked FOWLP (PoP type).

3. 결론

기존의 웨이퍼 레벨 공정을 적용하여 200µm 두께의 양면 FOWLP 웨이퍼를 성공적으로 제조하였다. 또한 단위 FOWLP 들을 이용하여 수직방향으로 적층시킨 PoP type 3 차원 적층 패키지를 성공적으로 제작하였다. 또한 모바일 기기적용을 위하여 전체 적층패키지의 두께를 1mm 이하로 유지하였다.

참고문헌

1. T. Mayer, et al., “Embedded Wafer Level Ball Grid Array (eWLB)”, *Proc. 10th EPTC*, pp. 994 (2008)
2. J. Luan, et al., “Challenges for Extra Large Embedded Wafer Level Ball Grid Array Development”, *Proc. 11th EPTC*, pp. 202 (2009)
3. Seung Wook Yoon et al., “3D eWLB (embedded wafer level BGA) Technology for 3D-Packaging/3D-SiP (System-in-Package) Applications”, *Proc. 11th EPTC*, pp. 915 (2009)
4. S. W. Ho, et al., “Double Side Redistribution Layer Process on Embedded Wafer Level Package for Package on Package (PoP) Applications”, *Proc. 12th EPTC*, pp. 383 (2010)
5. Brunnbauer, M, “An Embedded Device Technology Based on a Molded Reconfigured Wafer,” *Proc 56th ECTC*, San Diego, CA, pp. 547-551 (2006)
6. Kim.H.J, et al., “Process and Reliability Assessment of 200µm-Thin Embedded Wafer Level Packages (EMWLPs)”, *Proc. 61st ECTC*, pp. 78-83 (2011)