

수치해석을 이용하여 3차원 TSV 패키지의 신뢰성 확보를 통한 언더필 물성치의 결정

Determination of the underfill material property for reliable TSV 3D

integration package using numerical analysis

*윤형석¹, #전인수¹, 최광성², 엄용성²

*H. S. Yoon¹, #I. S. Jeon(I_jeon@chonnam.ac.kr)², K.S.Choi², Y.S. Eom²

¹전남대학교 기계공학과, ²한국전자통신연구원 패키지연구팀

Key words : 3D Package, Numerical Anaysis, TSV(through silicon via), Underfill

1. 서론

휴대폰, PMP, MP3, PSP 등과 같은 휴대용 기기들이 큰 관심을 얻고 있으며 경박 단소, 고집적, 다기능 및 신뢰성 등을 만족시키기 위해 발전되고 있다. 휴대 제품의 소형화를 위해서 3D packaging이 연구되고 있고 그중에서도 기존의 와이어 본딩 형태가 아닌 TSV(through silicon via)를 이용하여 칩들을 수직으로 적층하는 3D integration 기술이 큰 관심을 얻고 있다[1-2].

TSV를 적용하면 동작속도는 높이면서, 저항이 줄어들어 소비전력을 낮출 수 있는 장점과 미세 pitch 적용이 가능하다. 이를 이용한 3D integration은 다양한 재료로 이루어진 복잡한 구조로 되어있는데, 전력이 공급되거나 제작 공정에서 온도변화가 생기면, 서로 다른 열팽창계수 (coefficient of thermal expansion, CTE)의 불일치로 인해 열 응력이 발생하게 된다. 게다가 칩이 작아지면서 3D package에 더 큰 열 응력이 가해지게 되면서 성능을 저하시키고 크랙을 발생시켜, 소자의 신뢰성에 큰 영향을 주게 된다[3-6].

3D package에 있는 솔더 볼과 TSV 연결부에 가해지는 열 응력을 줄이기 위해 underfill을 적용하였다. 그러나 TSV가 적용된 3D package에서 온도변화에 의한 underfill의 역할에 대한 실험결과와 수치해석 결과를 발견하기가 어려웠고, silica를 첨가하여 부피비를 변화시켰을 때, 그에 따른 underfill의 물성변화에 의한 연구결과에 대해서도 발견하기가 어려웠다. 이 논문에서, 우리는 열 응력을 받는 솔더 볼, 3D package 내부의 TSV 연결부와 PCB에서 발생하는 변형에 대해, 충진하는 underfill의 물성변화에 대한 영향을 연구하였다. 실험에 사용되는 샘플 package에 사용되는 칩은 SBM공정을 사용하여 범프를 형성하였고, 플립칩 본딩을 수행하였다. 제작된 package는 모아레 간섭계를 통해 변형이 측정되었다. 그리고 2차원 수치해석을 통하여 모델의 변형을 계산하였고, 측정결과와 계산결

과의 비교를 통해 이 연구에 대한 해석기법의 검증을 진행하였다. 다음으로 3차원 수치해석을 통해 TSV가 적용된 3D 패키지에서 열 응력을 최소화 시키는 적합한 underfill의 물성에 대한 연구를 진행하였다.

2. 실험방법

2.1 2D 모델

저 용점 솔더(42Sn/58Bi)로 칩과 PCB가 연결되는 구조에 충진 되는 underfill의 조성의 변화에 따른 영향을 파악하기 위해 flip chip bonding을 진행할 샘플을 제작하였다.

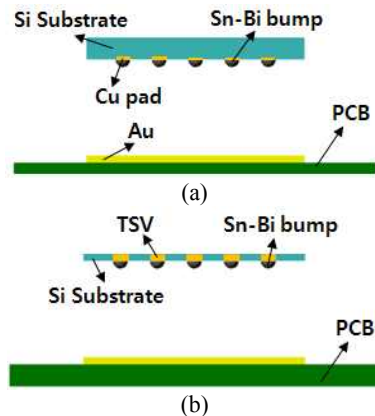


Fig. 1 Schematic diagram of geometry model (a) Si substrate to PCB (b) TSV substrate to PCB

해당 칩에 SBM공정을 통하여 범프를 형성시켜 연마과정을 거쳐 모아레 측정을 위한 샘플을 제작하였다.

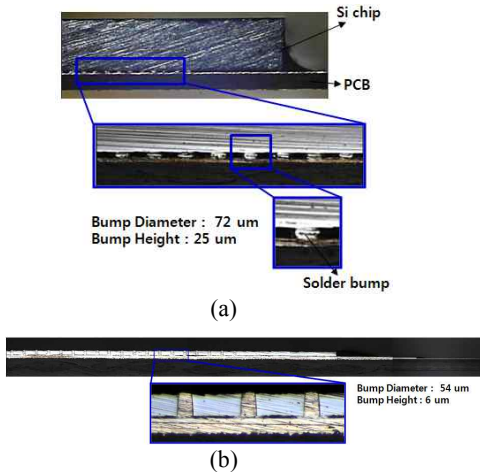


Fig. 2 Schematic of measurement set-up process (a) Si chip (b) TSV chip

2.2 3D 모델

해석 툴로 상용프로그램인 ABAQUS를 사용하였으며 변위의 대칭성이 유지되도록 경계 조건을 부과하였다. 사용된 물성은 등방성 탄성재료로 가정을 하였고, PCB(FR-4)는 직각 이방성 물성, TSV(Cu)는 탄-소성 물성을 적용해 주었다. Underfill에 포함되는 silica filler의 체적비를 0%, 15%, 25%로 조절하여, 조성의 변화에 따라 E(Elastic Modulus)와 CTE를 다르게 적용하였다. 초기온도는 25°C로 설정하였고, 100°C까지 온도를 올려 온도 변화에 따라 패키지에 발생하는 응력에 대한 해석을 진행 하였다.

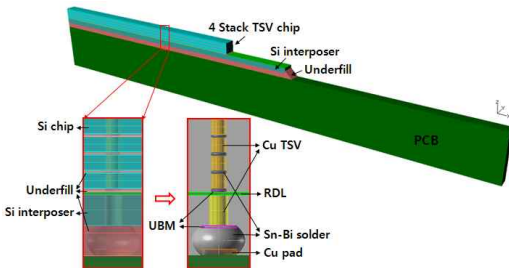


Fig. 3 Schematic diagram of geometry model

3. 실험결과

솔더 접합부에 underfill이 충전되었을 때, 그렇지 않은 경우와 비교하여 확연히 응력이 적게 발생하였고, underfill에 들어가는 silica filler의 체적비가 각각 0%, 15%, 25%로 변화함에 따라 열팽창계수도 감소하면서 발생하는 응력이 감소하는 것을 확인하였다.

4. 결론

본 연구에서는 3D package와 PCB를 연결

하는 솔더 접합부에서, 주위를 둘러싼 underfill의 조성을 달리하여 수치해석을 진행하였다. Underfill에 들어가는 silica filler의 체적비의 변화에 따라 패키지에 발생하는 응력 및 변위의 변화를 확인할 수 있었다.

후기

본 연구는 지식경제부 및 한국산업기술평가관리원의 산업원천기술개발사업[KI002134, 웨이퍼레벨 3차원 IC 설계 및 집적기술]과 2010년도 정부(교육과학기술부)의 재원으로 한국과학재단의 지원을 받아 수행된 연구임. (No. R01-2010-000-20040-0)

참고문헌

- Gordon E. Moore. "Cramming more components onto integrated circuits," Electronics, Vol.38, No.8, pp.114-117, 1965.
- S.F.Al-Sarawi, D. Abbott, P. Franzon, "A Review of 3D-packaging technology," IEEE Trans-CPMT-B, Vol.21, No.1, pp.2-14, 1998.
- Pang, H.L.J., Chong, Y.R., "Flip Chip on Board Solder Joint Reliability Analysis Using 2-D and 3-D FEA Models," IEEE Transaction on Advanced Packaging, Vol.24, No.4, pp. 499-506, 2001.
- Guotao Wang, et al., "Packaging effect on reliability of Cu/low-k interconnects," IEEE Transactions on Devices and Materials Reliability, Vol. 3, No. 4, pp. 119-128, 2003.
- Y.L. Shen, "Thermo-mechanical stresses in copper interconnects - A modeling analysis," Microelectronic Engineering, Vol. 83, pp. 446-459, 2006.
- Thompson, S. E., Sun, G., Choi, Y. S. and Nishida, T., "Uniaxial-Process-Induced Strained-Si: Extending the CMOS Road map," IEEE Trans. Electron Devices, Vol. 53, No. 5, pp. 1010-1020, 2006.