

# MEMS 가속도센서를 위한 CMOS 인터페이스 회로

정재환 · 김지용 · 장정은 · 신희찬 · 유중근

인천대학교 전자공학과

## CMOS Interface Circuit for MEMS Acceleration Sensor

Jae-hwan Jeong · Ji-yong Kim · Jeong-eun Jang · Hee-chan Shin · Chong-gun Yu

Dept. of Electronics Engineering, University of Incheon

E-mail : incheonuniversity@gmail.com

### 요 약

본 논문에서는 MEMS 가속도센서를 위한 CMOS 인터페이스 회로를 설계하였다. 설계된 CMOS 인터페이스 회로는 CVC(Capacitance to Voltage Converter), 그리고 SC-Integrator와 Comparator를 포함하는  $\Sigma\Delta$  Modulator로 구성되어 있다. 회로에 일정한 Bias를 공급할 수 있도록 Bandgap Reference를 이용하였으며, 저주파 잡음과 offset을 감소시키기 위하여  $\Sigma\Delta$  Modulator에 CHS(Chopper-Stabilization) 기법을 사용하였다. 그 결과 설계된  $\Sigma\Delta$  Modulator의 출력은 입력 전압 진폭이 100mV가 증가할 때 duty cycle은 10%의 비율로 증가하고, 전체 회로의 Sensitivity는 x, y축은 0.45V/g, z축은 0.28V/g의 결과를 얻을 수 있었다. 제안된 CMOS 인터페이스 회로는 CMOS 0.35 $\mu$ m공정을 이용하여 설계되었다. 입력 전압은 3.3V이며, 샘플링 주파수는 2MHz이다. 설계된 칩의 크기는 PAD를 포함하여 0.96mm x 0.85mm 이다.

### ABSTRACT

This paper presents a CMOS interface circuit for MEMS acceleration sensor. It consists of a capacitance to voltage converter(CVC), a second-order switched-capacitor (SC) integrator and comparator. A bandgap reference(BGR) has been designed to supply a stable bias to the circuit and a  $\Sigma\Delta$  Modulator with chopper-stabilization(CHS) has also been designed for more suppression of the low frequency noise and offset. As a result, the output of this  $\Sigma\Delta$  Modulator increases about 10% duty cycle when the input voltage amplitude increases 100mV and the sensitivity is x, y-axis 0.45v/g, z-axis 0.28V/g. This work is designed and implemented in a 0.35 $\mu$ m CMOS technology with a supply voltage of 3.3V and a sampling frequency of 3MHz sampling frequency. The size of the designed chip including PADs is 0.96mm x 0.85mm.

### 키워드

MEMS,  $\Sigma\Delta$ , Sigma-delta Modulator, acceleration sensor

### 1. 서 론

최근 시스템의 소형화, 휴대화의 추세에 따라, 성숙된 실리콘 마이크로머시닝 기술과 주변회로 집적화 기술을 접목하여 잡음에 의해 제약 받는 가속도 센서의 측정 해상도를 제고시키는 방향의 연구가 진행되고 있다.[1] MEMS 가속도 센서 또한 Interface 회로에 집적하여 1 chip으로 제작하는 연구가 활발히 진행되고 있다. MEMS 가속도 센서는 크기가 1 $\mu$ m에서 1mm에 이르는 반도체 공정을 이용한 일괄공정을 통해 제작된 작은

본 논문은 IDEC 지원에 의해서도 일부 수행되었음.

실리콘 칩의 마이크로 회로를 가속도 센서에 넣은 장치이다.

MEMS 가속도 센서는 크기가 1 $\mu$ m에서 1mm에 이르는 반도체 공정을 이용한 일괄공정을 통해 제작된 작은 실리콘 칩의 마이크로 회로를 가속도 센서에 넣은 장치이다. MEMS 공정은 소형화 기술로서 물리적 크기와 무게를 작게 하는 것 이외에도 신뢰도와 기능을 향상시키므로 다양한 응용분야의 창출이 가능하며 현재 스마트폰의 애플리케이션이나 Game controller, 자동차 산업에서의 미끄럼 방지 및 에어백 제어 등을 위한 장치로 활용되고 있다.

현재 휴대용 계산기, 전자시계, 초소형 컴퓨터 등에 널리 사용되고 있는 CMOS는 소비전력이

매우 작고 제작 공정도 간결하다는 장점을 갖고 있어 대부분의 집적회로에 쓰이고 있다 따라서 1 chip 모듈화 추세에 따라 실리콘 면적과 전력의 손실, 저주파 잡음을 줄이기 위해 Interface circuit 을 CMOS 공정을 이용하여 설계하고자 한다

## II. 회로설계

### 1. 전체 회로 구성

그림 1은 본 논문에서 제안된 MEMS 가속도센서를 위한 CMOS 인터페이스 회로의 전체 블록 다이어그램이다. 입력으로 받은 아날로그 신호를 디지털 신호인 '1'과 '0'으로 변환하여 출력하는 시스템이다. 설계된 회로는 크게 CVC(Capacitance to Voltage Converter), SC-Integrator, Comparator로 구성되어 있다. 세부적으로, 일정한 Bias를 공급하기 위한 Bandgap Reference, Integrator와 CVC 동작에 필요한 OTA(Operational Transconductance Amplifier), 증폭기의 Signal Range와 Linearity를 위한 CMFB(Common Mode Feedback), 회로 동작에 필요한 Clock Generator, Bias 전류를 공급해 주기 위한 Wide Swing Current Mirror 등의 회로가 있다. 이에 대한 자세한 내용은 아래에 언급하였다.

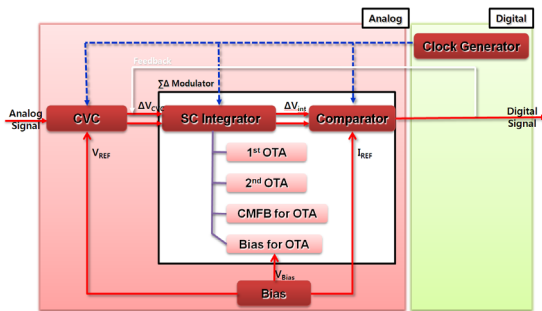


그림 1. 제안된 회로의 블록 다이어그램

### 2. Bias Circuit

전원 전압이나, 온도 변화에 최대한 영향을 받지 않고 필요한 Bias를 공급해 주기 위한 회로이다. BGR은 Core와 Buffer 두 부분으로 나뉘어져 있다. Core의 출력인 Vref는 CVC와 SC-Integrator에 사용되며, Buffer의 출력인 pc와 pcc는 OTA와 Comparator에 필요한 bias 전류를 공급해 준다. 그림 2는 설계된 BGR의 Core 부분 회로도이다. 온도 특성을 향상시키기 위해서 BJT를 사용하였다. 그림 3은 온도 특성에 대한 모의실험 결과이다. 설계된 회로의 온도특성은 16.1ppm/°C (-50°C ~ 25°C)와 -28.3ppm/°C (25°C ~ 125°C)이며, VDD Sensitivity는 0.04%이다.

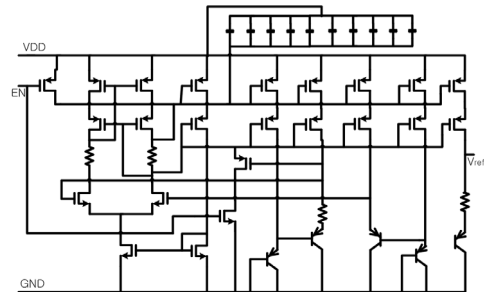


그림 2. BGR의 Core 회로도

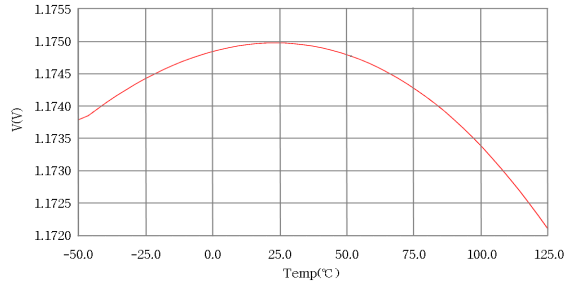


그림 3. BGR의 온도 특성

### 3. CVC

CVC는 MEMS센서에서 커패시턴스의 변화를 전압으로 바꾸어주기 위하여 필요하다. 설계된 회로는 그림 4와 같이 SC Amplifier로 구성되어 있으며, 증폭기의 구조는 그림 5에서 확인할 수 있다. Correlated double sampling[2]을 통해 저주파 잡음을 줄이고, 완전 차동 회로로 설계하여 Common mode 잡음을 줄이도록 하였다.

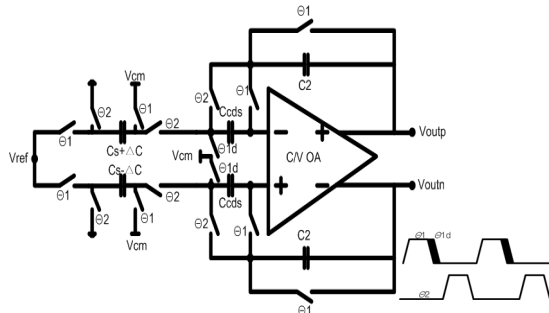


그림 4. CVC 회로도

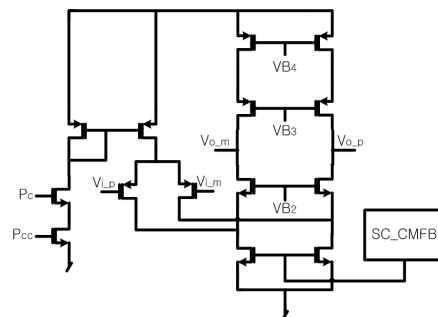


그림 5. OTA 회로도

#### 4. SC-Integrator

아날로그 신호를 디지털 신호로 양자화 할 때, 양자화 잡음이 발생하게 된다. 이 잡음을 최소화하기 위해 필요한 부분이 SC-Integrator이다. 증폭기 두 개를 사용하여 두 번의 적분을 함으로써 양자화 잡음을 더욱더 최소화하였다. 또한 Chopper-Stabilization[1] 기법을 사용하여 증폭기의 오프셋 전압에 의한 에러를 최소화하였다. 설계된 회로도 구성은 그림 6에서 확인할 수 있다.[3]

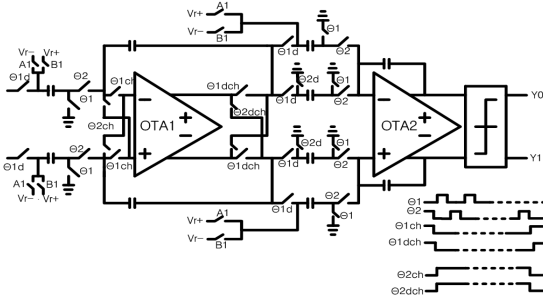


그림 6. SC-Integrator 회로도

증폭기의 성능은 표 1과 같다. Band Width만 작게 설계되었는데, 이는 기존 연구의 샘플링 주파수는 5.12MHz이고 본 논문은 2MHz로 설계되었기 때문이다. 더 낮은 동작속도를 갖지만, 대신에 전류소모가 훨씬 더 작다는 장점을 지니고 있다

표 1.  $\Sigma\Delta$  Modulator OTA 성능

Parameter	[1]	[1]	OTA1	OTA2
Gain(dB)	75	67	76	77
Phase Margin( $^{\circ}$ )	81.7	78.5	81.5	81.55
Band Width(MHz)	18.5	24	6.48	10.4
Current Consumption( $\mu$ A)	2120	1600	19.89	19.91

#### 5. Comparator

아날로그 입력 값을 1-bit 디지털 출력 값으로 바꾸는 역할을 한다. 그림 7과 같이 Pre-amplifying stage를 갖는 Regenerative latch구조를 사용한다. NMOS 차동 입력단과 Regenerative latch, SR latch로 구성된다. Digital switching noise와 Supply bounce noise에 대한 Sensitivity를 줄이기 위해 차동 입력을 사용했다. 이 구조는 회로가 간단하여 전력소모가 작다는 장점을 갖는다. 표 2는 결과와 성능을 요약한 것이다.

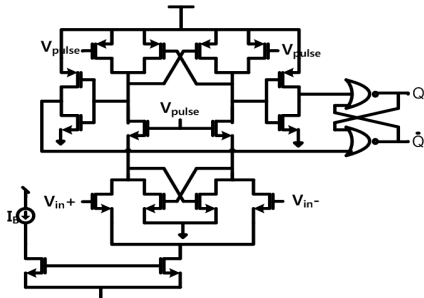


그림 7. 비교기 회로도

표 2. 비교기의 성능

Parameter	[1]	This work
Sensitivity(mV)	$\leq 30$	0.3
Power( $\mu$ W)	480	89.925

### III. 모의실험 결과

설계된 회로의 성능 검증을 위해 0.35 $\mu$ m CMOS 공정 변수를 사용하여 모의실험을 하였다. 그림 8은  $\Delta C$ 가 -1.5pF에서 1.5pF까지 변화할 때, CVC 회로의 출력전압을 그래프로 나타낸 것이다. 0.0pF일 때 0.0mV에 근접하게 나오며 1.5pF에서 350mV까지 출력된다. 자세한 변수 값은 표 3에 정리하였다.

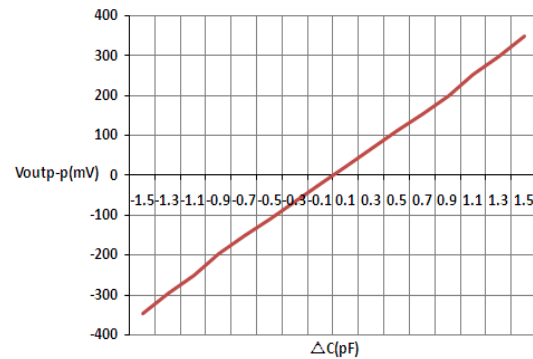


그림 8. -1.5pF~+1.5pF 변화에 대한 CVC 출력 전압

표 3. CVC 성능

$\Delta$ pF	0.0	0.5	1.0	1.5
Voutp-p(mV)	0.0	109.9	226.4	348.4

표 4는 입력 진폭이 -300mV에서 +300mV로 변할 때,  $\Sigma\Delta$  Modulator의 출력을 Duty cycle의 비율로 정리한 것이다. 입력 진폭이 100mV가 변할 때, 약 10%의 비율로 변하는 것을 확인할 수 있다. 시간의 구간에 따라 오차가 발생하지만, 그 오차는 0.4%정도로 작은 값을 가진다. 그림 9는 입력 진폭에 따른 출력 전압을 나타낸 것으로, 기울기가 0.1m인 선형적인 그래프로 표현할 수 있다. 그림 10은  $\Sigma\Delta$  Modulator의 출력 파형을 나타낸 것이다. 출력의 Duty cycle은 입력이 0mV일 때 50%이며, +300mV일 때는 50%보다 크다. 그리고 -300mV일 때는 50%보다 작음을 확인할 수 있다.

표 5는 기존 연구와 본 논문의 결과 값을 비교한 것이다. 동작 속도는 기존 연구보다 느리지만, 총 전류 소모량이 약 26배나 작게 설계된 장점이 있다. Sensitivity는 샘플링 주파수가 2MHz일 때, x, y축은 0.45V/g, z축은 0.28V/g임을 확인할 수 있다.[5]

표 4.  $\Sigma\Delta$  Modulator의 입력 진폭에 따른 Duty cycle 변화

Parameter	Value						
Vin(mV)	-300	-200	-100	0	+100	+200	+300
Vout Duty cycle (%)	19.91	30.03	40.03	50.00	59.97	69.97	80.09
Linearity Error(%)	0.45	0.10	0.07	0.00	0.05	0.04	0.11

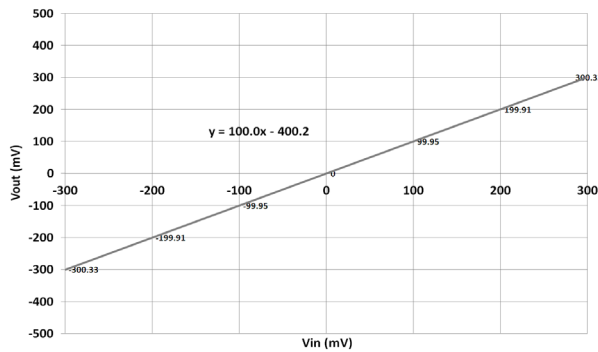


그림 9.  $\Sigma\Delta$  Modulator의 출력 특성

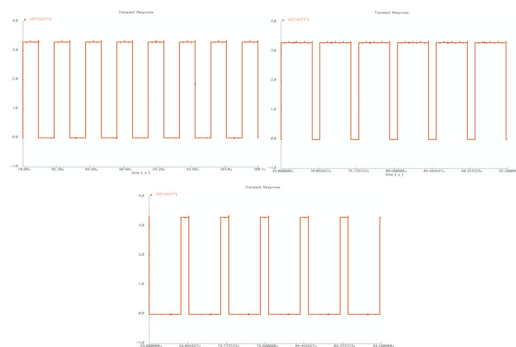


그림 10. (a) 0mV,  $\Sigma\Delta$  Modulator output  
(b) +300mV,  $\Sigma\Delta$  Modulator output  
(c) -300mV,  $\Sigma\Delta$  Modulator output

표 5. 전류 소모 비교

	[1]	This work
Current Consumption(mA)	5.4	0.204
Clock Freq.(MHz)	5.12	2
Gain	0.55 V/g	x,y축: 0.45V/g z축: 0.28V/g
Process	0.35um CMOS	0.35um CMOS

설계된 회로의 레이아웃 도면은 그림 11에 보였다. 칩의 크기는 960um × 850um이며, PAD를 제외한 크기는 640um × 540um이다.

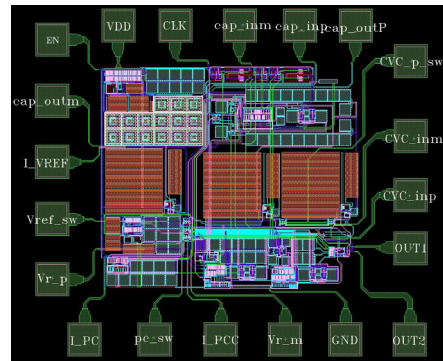


그림 11. 전체 레이아웃

## V. 결론

본 논문에서는 MEMS 가속도 센서를 위한 CMOS 인터페이스 회로를 0.35um CMOS 공정을 이용하여 설계하였다. 잡음을 최소화하기 위하여, CDS기법을 이용한CVC와 Chopper-stabilization 기법을 사용한  $\Sigma\Delta$ Modulator를 설계하였다. 모의실험 결과 입력 진폭이 100mV 증가할 때 10%의 비율로 출력의 Duty cycle이 증가하였고, 전체 회로의 Sensitivity는 x, y축은 0.45V/g, z축은 0.28V/g의 결론을 얻을 수 있었다. 설계된 회로의 칩 크기는 PAD를 포함하여 960um × 850um이다.

## 참고문헌

- [1] K. Xiaofei, "A fully-differential Chopper-Stabilized Sigma-Delta Interface for Micro Accelerometer," *Beijing Microelectronics Technology Institute*, pp 726 - 729, Sep. 2010
- [2] S. Reddy, Design of Interface Circuit for Differential Capacitance Measurement," *Master of Science (by Research) in VLSI & Embedded Systems*, pp 55-57, Sep. 2011
- [3] 이강명, "저전압 저전력 오디오용 시그마-델타 변조기 설계에 관한 연구" *인천대학교 전자공학과 대학원*, pp 34-50, Dec. 1999
- [4] W. Bracke, "Ultra-Low-Power Interface Chip for Autonomous Capacitive Sensor Systems," *IEEE Transactions on Circuits and Systems*, vol. 54, no. 1, pp 130-139, Jan. 2007
- [5] J. Chae, "A Monolithic Three-Axis Micro-g Micromachined Silicon Capacitive Accelerometer," *Journal of Microelectromechanical Systems*, vol. 14, no. 2, pp 240, Apr. 2005