

10-비트 CMOS 시간-인터폴레이션 디지털-아날로그 변환기

김문규* · 장영찬*

*금오공과대학교

A 10-bit CMOS Time-Interpolation Digital-to-Analog Converter

Myungyu Kim* · Young-Chan Jang*

*Kumoh National Institute of Technology

E-mail : ycjang@kumoh.ac.kr

요 약

본 논문은 8-비트 디코더, 2-비트 시간-인터폴레이터, 그리고 출력 버퍼로 구성된 10-비트 시간-인터폴레이션 디지털-아날로그 변환기를 제안한다. 제안하는 시간-인터폴레이션 기법은 RC 로우패스 필터에 의한 시정수를 이용해서 charging time을 조절하여 아날로그 값을 결정하는 방법이다. 또한 시간-인터폴레이터를 구현하기 위해 공정 변화를 최소화하기 위해 레플리카 회로를 포함한 제어 펄스 발생기를 제안한다. 제안하는 10-비트 시간-인터폴레이션 디지털-아날로그 변환기는 3.3 V 0.35 μm 1-poly 6-metal CMOS 공정을 이용하여 설계된다. 설계된 10-비트 시간-인터폴레이션 디지털-아날로그 변환기의 면적은 기존의 10-비트 저항열 디지털-아날로그 변환기의 61%를 차지한다. 그리고 시뮬레이션 된 DNL과 INL은 각각 +0.15/-0.21 LSB와 +0.15/-0.16 LSB이다.

ABSTRACT

In this paper, a 10-bit digital-to-analog converter (DAC) with small area is proposed. The 10-bit DAC consists of a 8-bit decoder, a 2-bit time-interpolator, and a buffer amplifier. The proposed time-interpolation is achieved by controlling the charging time through a low-pass filter composed of a resistor and a capacitor. To implement the accurate time-interpolator, a control pulse generator using a replica circuit is proposed to minimize the effect of the process variation. The proposed 10-bit Time-Interpolation DAC occupies 61 % of the conventional 10-bit resistor-string DAC. The proposed DAC is designed using a 0.35 μm CMOS process with a 3.3 V supply. The simulated DNL and INL are +0.15/-0.21 LSB and +0.15/-0.16 LSB, respectively.

키워드

디지털-아날로그 변환기, 시간-인터폴레이션, 제어 펄스 발생기

1. 서 론

Active-matrix liquid crystal display (AMLCD) 디스플레이 시스템은 컬럼 드라이버를 구현하기 위해 작은 면적, 빠른 속도, 그리고 저전력의 디지털-아날로그 변환기가 요구된다. 게다가 최근 모바일 AMLCD 시스템은 8-비트에서 10-비트와 같은 높은 해상도의 디지털-아날로그 변환기를 필요하게 되었다. 기존의 컬럼 드라이버는 uniformity에 대한 엄격한 요구사항으로 인해 커패시터 기반의 디지털-아날로그 변환기보다 저항

열 디지털-아날로그 변환기가 많이 사용되고 있었다. 하지만 기존에 사용되던 저항열 디지털-아날로그 변환기는 해상도를 증가시키려면 면적이 기하급수적으로 늘어난다는 단점이 있다. 그래서 높은 해상도, 저면적의 디지털-아날로그 변환기를 구현하기 위한 방법으로 저항열 디지털-아날로그 변환기와 함께 인터폴레이션 기법을 이용한 구조가 제안되었다 [1]-[3]. 제안된 저항열 디지털-아날로그 변환기는 기준 전압 저항열과 각 채널당 전류 보상을 위한 전류원으로 구성된다 [1]. 이 구

조는 면적과 전력소모가 커지는 단점을 가지고 있다. 이와 다른 인터폴레이션 기법으로 출력 버퍼에 인터폴레이션 기법을 적용한 구조이다 [2]-[3]. 출력 버퍼를 변형한 구조는 정확한 매칭과 각 채널의 출력 버퍼에 있는 current DAC의 uniformity와 monotonicity를 위해 채널 길이와 폭이 큰 트랜지스터를 사용해야 한다

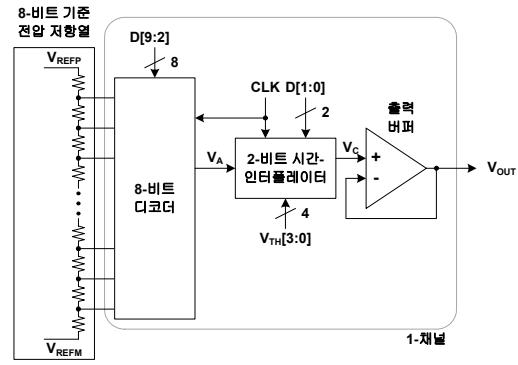
본 논문은 8-비트 저항열 디지털-아날로그 변환기와 2-비트 시간-인터폴레이터로 구성된 10-비트 시간-인터폴레이션 디지털-아날로그 변환기가 제안된다. 또한 로우패스 필터를 이용하여 charging time을 조절할 수 있도록 시간-인터폴레이터를 제안한다.

II. 본 론

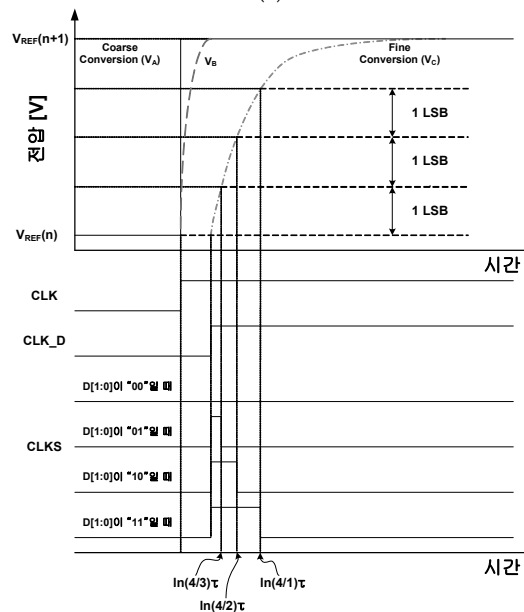
그림 1(a)는 10-비트 디지털-아날로그 변환기의 블록도이고, 8-비트 저항열 디지털-아날로그 변환기와 2-비트 시간-인터폴레이터, 그리고 출력 버퍼로 구성된다. 8-비트 저항열은 다중 채널을 위해 공유된다. 제안하는 구조는 기존에 제안된 인터폴레이션 방법과 달리 출력 버퍼의 구조 변형이 요구되지 않는다. 본 논문의 인터폴레이션 기법은 디코더의 변형과 시간-인터폴레이터의 추가로 인터폴레이션을 수행한다 그림 1(b)는 8-비트 디코더와 2-비트 시간-인터폴레이터의 타이밍도이다. 제안된 10-비트 디지털-아날로그 변환기에 사용된 8-비트 디코더는 2-비트 시간-인터폴레이션을 위해 전압 레벨이 순차적으로 변화하는 아날로그 신호(V_A)를 출력한다. V_A 는 CLK 신호가 low일 때, 디지털 신호(D[9:2]) 신호에 의해 $V_{REF}(n)$ 으로 결정된다. 그리고 CLK 신호가 high로 바뀌면 V_A 는 $V_{REF}(n+1)$ 신호로 바뀐다. 순차적으로 변화하는 V_A 는 2-비트 시간-인터폴레이터의 입력으로 들어가고, V_C 신호를 변화시킨다. V_C 신호는 2-비트 시간-인터폴레이터의 RC 로우패스 필터에 의해 charging time이 결정된다. 제안하는 시간-인터폴레이션 기법은 저항과 커패시터로 구성된 로우패스 필터에 의해 생기는 charging time을 조절하는 것을 이용하여 구현된다 디지털 코드(D[1:0])을 이용하여 네 가지 경우의 charging time을 선택할 경우 2-비트의 해상도가 올라간다 따라서 순차적으로 변화하는 8-비트의 해상도를 가진 V_A 와 2-비트 시간-인터폴레이터를 이용하여 2-비트의 해상도를 올릴 수 있다. 결과적으로 2-비트 시간-인터폴레이터의 출력 V_C 는 10-비트의 해상도를 가지게 된다. V_C 신호는 출력 버퍼를 이용하여 최종 출력된다.

그림 1(b)는 8-비트 디코더와 2-비트 시간-인터폴레이터의 타이밍도이다 제안된 10-비트 디지털-아날로그 변환기에서 사용된 8-비트 디코더는 2-비트 시간-인터폴레이션을 위해 전압 레벨이 순차적으로 변화하는 아날로그 신호(V_A)를 출력한다. V_A 는 CLK 신호가 low일 때, 디지털 신호(D[9:2])

신호에 의해 $V_{REF}(n)$ 으로 결정된다. 그리고 CLK 신호가 high로 바뀌면 V_A 는 $V_{REF}(n+1)$ 신호로 바뀐다. 순차적으로 바뀌는 V_A 는 2-비트 시간-인터폴레이터의 입력으로 들어가고, V_C 신호의 변화시킨다. V_C 신호는 2-비트 시간-인터폴레이터의 RC 로우패스 필터에 의해 charging time이 결정된다. 제안하는 시간-인터폴레이션 기법은 저항과 커패시터로 구성된 로우패스 필터에 의해 생기는 charging time을 조절하는 것으로 구현될 수 있다. 2-비트 시간-인터폴레이터는 디지털 코드(D[1:0])를 이용하여 네 가지 경우의 charging time을 선택하여 2-비트의 해상도를 올릴 수 있다. 따라서 순차적으로 변화하는 8-비트의 해상도를 가지는 V_A 와 2-비트 시간-인터폴레이터를 이용하여 10-비트의 해상도를 가진 V_C 를 얻을 수 있다. 2-비트 시간-인터폴레이터의 출력 V_C 신호는 출력 버퍼를 이용하여 출력된다.



(a)



(b)

그림 1. 제안하는 10-비트 시간-인터폴레이션 디지털-아날로그 변환기 (a) 블록도 (b) 타이밍도

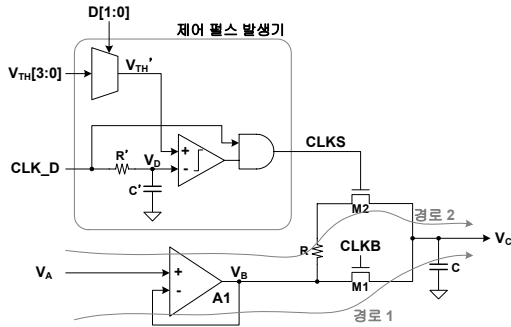


그림 2. 2-비트 시간-인터플레이터의 블록도

그림 2는 2-비트 시간-인터플레이터의 블록도이다. 제안하는 2-비트 시간-인터플레이터는 아날로그 버퍼(A1), 두 개의 스위치(M1, M2), RC 로우패스 필터(R, C), 그리고 제어 펄스 발생기로 구성된다. CLK 신호가 low일 때, 경로 1이 열리게 되고 V_C 신호는 V_A신호로 결정된다. 그리고 CLK 신호가 high일 때, 경로 2가 열리게 되고 V_C 신호는 RC 로우패스 필터에 의해 생기는 시정수의 기울기로 순차적으로 변화하는 V_A의 전압 레벨로 charging하게 된다. 이 경우 아날로그 앰프(A1)는 2-비트 시간-인터플레이터의 입력부에 연결되는데 RC 로우패스 필터에 의해 생기는 loading effect를 제거해주기 위해 사용된다. 아날로그 앰프(A1)에 의해 V_A 신호는 지연이 되어 V_B에 나타나기 때문에 CLK 신호를 지연시킨 CLKD 신호를 만들어 제어 펄스 발생기에 공급한다. 제어 펄스 발생기는 R', C', 그리고 NAND 로직으로 구성된 쇼트 펄스 발생기로 구성된다. CLK 신호의 펄스 폭은 V_D가 V_{TH}'까지 도달하는데 걸리는 시간에 의해 결정되고 M2를 제어한다. 이 R'와 C'로 구성된 로우패스 필터는 경로 2에서 사용된 로우패스 필터의 레플리카 회로로 공정 변화에 대한 effect를 최소화하기 위해 사용된다. V_{TH}'의 전압 레벨은 디지털 코드 (D[1:0])에 의해 선택된다. V_A와 CLKD의 charging 레벨은 다르지만 상대적으로 동등한 전압 레벨에 접근하는데 필요한 시간은 동일하다. 따라서 full swing하는 CLKD 신호의 swing 크기를 V_{CLKD_SW}로 정의할 때 그림 1(b)에서 보는 것처럼 fine conversion을 하기 위한 V_{TH}[3:0]는 V_{CLKD_SW}×1/4, V_{CLKD_SW}×2/4, 그리고 V_{CLKD_SW}×3/4으로 결정될 수 있다. 이 전압 레벨은 8-비트 기준 전압 저항열에서 공급된다.

CLKS 신호의 펄스 폭은 식 (1) 과 식 (2)에 의해 $\ln(4/3)\tau$, $\ln(4/2)\tau$, 그리고 $\ln(4/1)\tau$ 으로 결정된다. 여기서 τ 는 로우패스 필터를 구성하고 있는 R'와 C'의 시정수이다.

$$V_D = V_{CLKD_SW} - V_{CLKD_SW} \cdot e^{-t/\tau} \quad (1)$$

$$t = \tau \cdot \ln\left(\frac{1}{1 - \frac{V_D}{V_{CLKD_SW}}}\right) \quad (2)$$

III. 시뮬레이션 결과

제안하는 시간-인터플레이션 기법의 성능을 검증하기 위해 10-비트 디지털-아날로그 변환기는 3.3 V 0.35 μ m CMOS 1-poly 6-metal 공정에서 제작되었다. 그림 3은 10-비트 디지털-아날로그 변환기의 DNL 및 INL을 보여준다. 시뮬레이션 결과 LSB가 3.125 mV일 때, DNL은 +0.15/-0.21 LSB이고 INL은 +0.15/-0.16 LSB이다. 그림 4는 면적을 비교하기 위한 제안하는 디지털아날로그 변환기와 기존의 디지털아날로그 변환기의 레이아웃을 나타낸다. 그림 4에서 보이는 것처럼 제안하는 10-비트 시간-인터플레이션 디지털-아날로그 변환기는 기존의 10-비트 저항열 디지털-아날로그 변환기의 61%를 차지하는 것을 볼 수 있다.

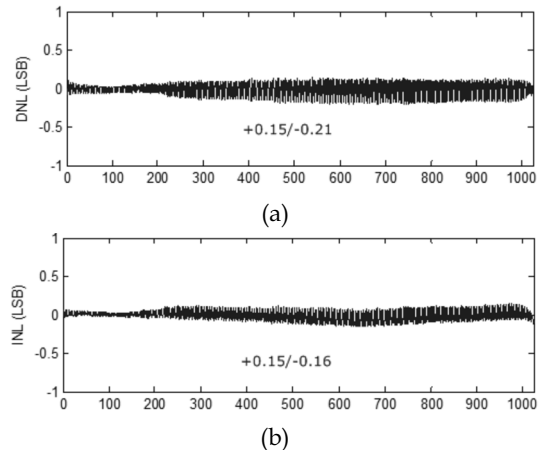


그림 3. 시뮬레이션 결과 (a) DNL (b) INL

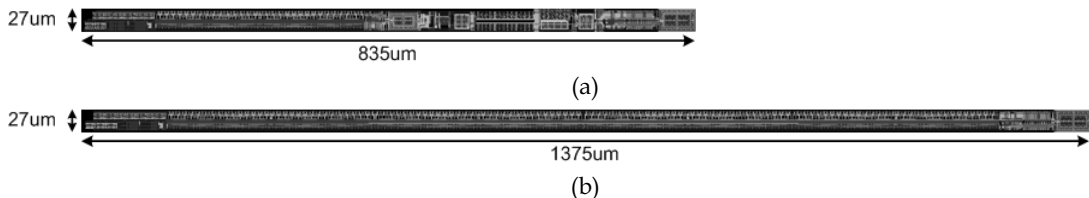


그림 4. 레이아웃 면적 비교 (a) 제안하는 10-비트 시간-인터플레이션 디지털-아날로그 변환기 (b) 기존의 10-비트 저항열 디지털-아날로그 변환기

IV. 결 론

본 논문은 칩 면적을 줄이기 위한 10-비트 시간-인터폴레이션 디지털-아날로그 변환기를 제안하였다. 제안된 디지털-아날로그 변환기는 3.3 V 0.35 μm CMOS 1-poly 6-metal 공정에서 제작되었다. 제안하는 10-비트 시간-인터폴레이션 디지털-아날로그 변환기는 기존의 10-비트 저항열 디지털-아날로그 변환기의 61 %를 차지한다. 그리고 LSB가 3.125 mV일 때, DNL은 +0.15/-0.21 LSB이고 INL은 +0.15/-0.16 LSB이다.

감사의 글

This research was supported by the Basic Science Research program through the National Research Foundation of Korea (NRF) funded by the Ministry of Education, Science and Technology (2010-0006314) and IDEC.

참고문헌

- [1] C.-W. Lu, P.-Y. Yin, C.-M. Hsiao, M.F. Chang, "A 10b resistor-resistor-string DAC with current compensation for compact LCD driver ICs," in IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers, pp. 318-319, Feb. 2011
- [2] J.-S. Kang, J.-H. Kim, S.-Y. Kim, J.-Y. Song, O.-K. Kwon, Y.-J. Lee, B.-H. Kim, C.-W. Park, K.-S. Kwon, W.-T. Choi, S.-K. Yun, I.-J. Yeo, K.-B. Han, T.-S. Kim and S.-I. Park, "A 10b Driver IC for a Spatial Optical Modulator for Full HDTV Applications," in IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers, pp.138-139, Dec. 2007.
- [3] H.-M. Lee, Y.-J. Jeon, S.-W. Lee, G.-H. Cho, H.-R. Kim, Y.-K. Choi, M. Lee, "A 10b Column Driver with Variable-Current-Control Interpolation for Mobile Active-Matrix LCDs," in IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers, pp. 266-267, Feb. 2009