
CMOS 0.18um 공정을 이용한 Dead-Time 적응제어 기능을 갖는 PWM DC-DC Boost 변환기 설계

황인호·윤은정·박종태·유종근

인천대학교 전자공학과

Design of a PWM DC-DC Boost Converter with Adaptive Dead-Time Control Using a CMOS 0.18um Process

In-Ho Hwang·Eun-Jung Yoon·Jong-Tae Park·Chong-Gun Yu

Dept. of Electronics Engineering, University of Incheon

E-mail : c-format@nate.com

요 약

기존의 DC-DC Boost 변환기에 사용되는 일반적인 non-overlapping gate driver는 dead-time이 고정되어 있기 때문에 body-diode conduction loss 또는 charge-sharing loss가 발생하는 문제점이 있다. 따라서 본 논문에서는 이러한 loss에 의한 효율 감소를 줄이기 위해 dead-time 적응제어 기능을 갖는 PWM DC-DC Boost 변환기를 설계하였다. 또한, 부하전류가 작은 경우 효율을 증가시키기 위해 power switching 회로를 사용하였다. 그 결과 넓은 부하 전류 범위에서 높은 효율을 얻을 수 있다. 제안된 DC-DC Boost 변환기는 CMOS 0.18um 공정으로 설계하였다. 2.5V의 입력전압을 받아서 3.3V의 출력전압을 얻는다. 스위칭 주파수는 500kHz이며, 최대효율은 97.8%이다.

ABSTRACT

Since the non-overlapping gate driver used in conventional DC-DC boost converters generates fixed dead-times, the converters suffer from the body-diode conduction loss or the charge-sharing loss. To reduce the efficiency degradation due to these losses, this paper presents a PWM DC-DC boost converter with adaptive dead-time control. In light loads, power switching is also employed to increase the efficiency. The designed DC-DC boost converter can thus achieve high efficiency at wide current range. The proposed DC-DC boost converter has 3.3V output from a 2.5V input with 0.18um technology. It operates at 500KHz and has a maximum power efficiency of 97.8%.

키워드

DC-DC Converter, Boost Converter, Dead-Time, Power Switching, Efficiency

1. 서 론

최근 휴대전화, 노트북등의 전자기기들은 다양한 서비스를 제공하기 위해 높은 사양이 요구되며 많은 전력소모가 발생하게 된다. 특히 이러한 전자기기들은 한 번 충전으로 사용시간의 증가가 요구되고, 안정적인 전원공급이 필요하다. 그리고 하나의 배터리 전원으로부터 다양한 내부 시스템

의 전원을 공급 받아야 되기 때문에 전력 변환을 하는 회로에 있어서 전력 변환 효율은 기기의 사용시간의 보장을 위해 매우 중요한 성능으로 부각되고 있다. 따라서 이러한 시스템을 SoC (System-on-Chip)으로 구현함으로써 고효율 특성을 얻기 위한 Power Management IC에 대한 연구가 진행되고 있다.

기존의 DC-DC boost 변환기는 power 트랜지스터를 구동하기 위해 non-overlapping gate driver를 사용한다. 이 회로는 두 개의 power 트랜지스

본 논문은 IDEC 지원에 의해서도 일부 수행되었음

터 (NMOS, PMOS)가 동시에 'on'이 되어 효율이 감소하는 것을 막기 위해 둘 다 'off'되는 dead-time을 의도적으로 발생시킨다 그러나 일반적인 non-overlapping gate driver는 dead-time이 고정되어 있기 때문에 body-diode conduction loss와 charge-sharing loss가 발생하는 문제점을 가지고 있다.[1] 따라서 참고문헌[2]에서는 적응제어 기능을 갖는 CCR(CMOS-Control Rectifier) 회로를 설계하여 고정된 dead-time에 의해 발생된 loss를 최소화하였다. 그러나 이 논문에서 설계된 DC-DC boost 변환기는 DCM(Discontinuous Conduction Mode)에서는 정상적으로 동작하지만 CCM(Continuous Conduction Mode)에서는 power 트랜지스터가 동시에 'on'이 되는 구간이 발생되어 시스템의 효율이 감소되는 문제점이 발생된다.

본 논문에서는 dead-time 적응제어 기능을 갖는 DC-DC boost 변환기를 DCM 뿐만 아니라 CCM에서도 power 트랜지스터가 동시에 'on'이 되는 구간이 없도록 설계하여 효율을 증가할 수 있도록 설계하였다. 또한 power switching 회로를 사용하여 DCM에서도 PMOS에서 역전류가 발생하는 것을 확실히 off되도록 설계하여 넓은 부하 전류범위에서도 높은 효율을 유지할 수 있도록 하였다.

II. 본 론

2.1 고정된 Dead-Time을 갖는 Non-overlapping Gate Driver

그림 1은 DC-DC 변환기에서 일반적으로 사용되는 non-overlapping gate driver 구조이다.

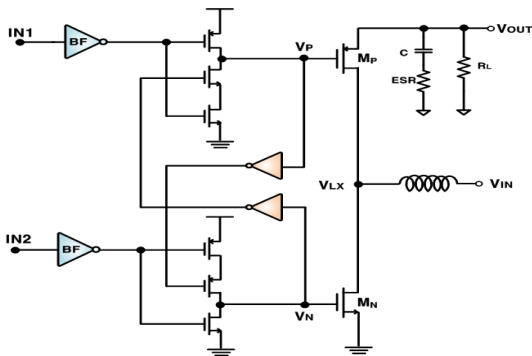


그림 1. Non-Overlapping Gate Driver 회로

IN1, IN2 두 개의 입력단자에 위상이 같은 클럭 (CLK)이 인가되면, cross feedback 회로에 의해 두 개의 power 트랜지스터 M_N과 M_P의 게이트에 동시에 'on'이 되지 않는 신호가 인가된다. 즉, 한 쪽 스위치가 'off'가 되어야 다른 스위치가 'on'이 되도록 구성되어 있다. 그러나 이 회로를 사용하게 되면 dead-time이 고정되어 있어서

DC-DC boost 변환기에서 다음과 같은 두 가지 Loss가 발생하게 된다.

첫 번째는 그림 2에서와 같이 dead-time(T_D)이 최적의 dead-time(T_{D,OPT})보다 클 때 발생하는 Body-Diode Conduction Loss이다. 여기서 T_{D,OPT}는 식(1)과 같다.

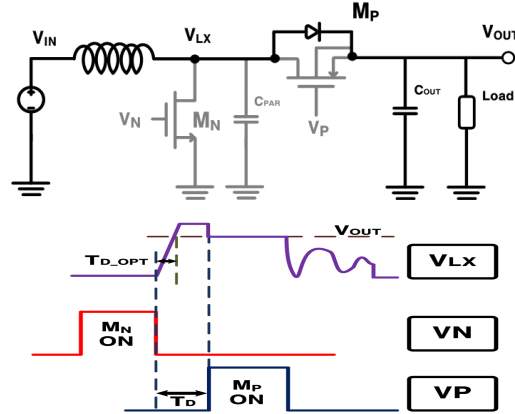


그림 2. Body-Diode Conduction Loss

$$T_{D_OPT} = \frac{V_{OUT} \cdot C_{PAR}}{I_{L_PEAK}} \quad (1)$$

먼저 M_N이 off되고 바로 M_P가 on이 되어야 하지만 T_D가 T_{D,OPT}보다 큰 경우에는, 그림 2에서와 같이 V_{LX}는 계속 증가하여 M_P에 있는 기생 body diode가 on이 되어서 body diode에서 conduction loss가 발생하게 된다. 이 때 V_{LX}는 출력 전압보다 다이오드 전압만큼 증가한다 그리고 나서 M_P가 on이 되면 전류가 M_P를 통해 흐르기 때문에 다이오드는 off가 되고 V_{LX}는 출력전압 V_{OUT}과 같아지게 된다.

두 번째는 그림 3과 같은 Charge-Sharing Loss로써 T_D가 T_{D,OPT}보다 작을 때 발생된다.

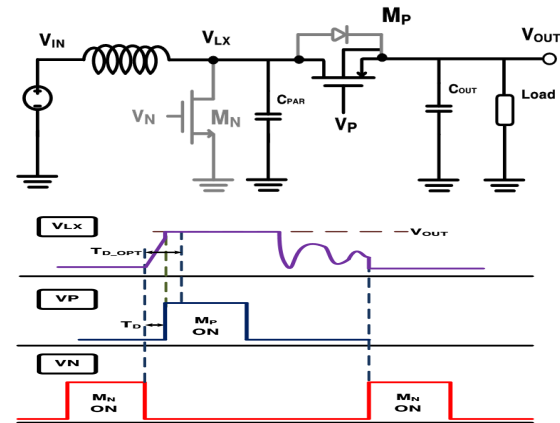


그림 3. Charge-Sharing Loss

M_N이 off된 후 인덕터에 흐르던 전류가 C_{PAR}를 충전하여 V_{LX}가 증가하게 되는데, T_D가 T_{D,OPT}보다 짧은 경우 V_{LX}가 V_{OUT}에 도달하기 전에 M_P가

on이 된다. 따라서 C_{PAR} 와 C_{OUT} 은 charge sharing 이 발생하게 되고 loss가 발생한다.

2.2 CCR을 이용한 Dead-Time 적응제어

고정된 dead-time을 갖는 기존의 gate driver에서 발생하는 loss를 최소화하기 위해, 참고문헌[2]에서 그림 4와 같은 dead-time 적응제어 기능을 갖는 회로를 제안하였다. 여기서 사용한 CCR회로는 그림5와 같다.

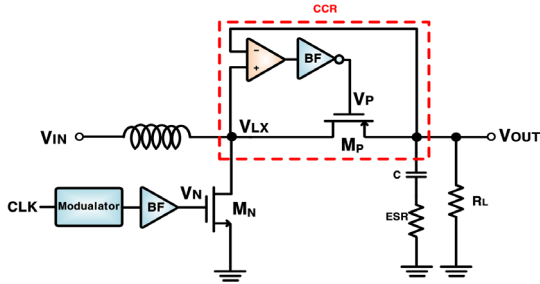


그림 4. CCR을 이용한 Dead-Time 적응제어

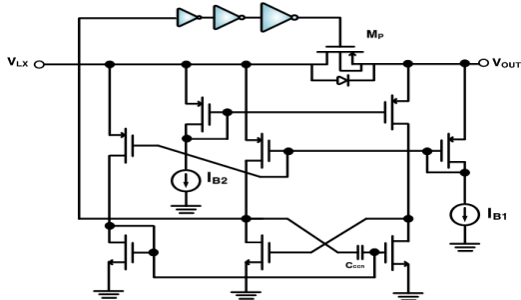


그림 5. CMOS-Control Rectifier 회로

이 논문에서는 V_{LX} 와 V_{OUT} 을 비교하여 M_P 의 상태를 결정함으로써 dead-time 적응제어 기능을 구현하였다. M_N 이 OFF되고 V_{LX} 가 증가하여 V_{OUT} 보다 커지게 되면 비교기가 동작하여 즉시 M_P 를 on시키게 된다. 따라서 T_D 는 $T_{D,OPT}$ 에 근접하게 된다. 또한 DCM 동작시 인덕터 전류가 0이 되면 V_{LX} 는 감소하게 되고, V_{OUT} 보다 작아지게 되면, 비교기가 상태를 바꿔서 M_P 를 off시켜서 역전류를 방지하게 된다. 그러나 그림 4의 회로를 사용할 경우 DC-DC boost 변환기가 CCM에서 동작할 경우 M_N 과 M_P 가 동시에 on이 되는 구간이 발생하게 되어 시스템의 효율이 감소되는 문제점이 발생한다.

2.3 제안된 Dead-Time 적응제어

본 논문에서 제안하는 dead-time 적응제어 기능을 갖는 ADTC(Adaptive Dead-Time Control) gate driver 회로를 그림 6에 나타냈다. 제안된 회로는 dead-time 적응제어 기능을 갖기 때문에 고정된 dead-time 방식에서 발생하는 두 가지 loss를 최소화 할 수 있으며, CCM에서 동작하는 경우

에도 power 트랜지스터가 동시에 on이 되는 구간이 발생하지 않도록 설계하여 효율을 향상시켰다

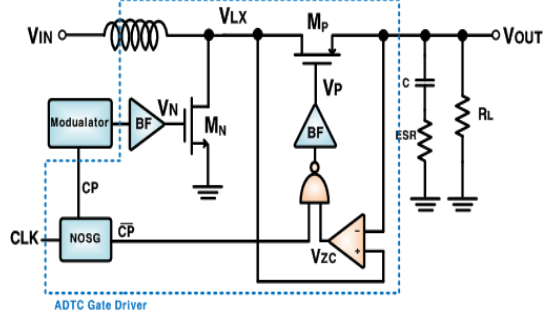


그림 6. 제안된 dead-time 적응제어 기능을 갖는 gate driver

그림 4의 기존 방식에서는 M_N 만 클럭(CLK)에 의해서 동작하고 M_P 는 CCR에 의한 적응제어로 동작하기 때문에 M_N 이 on이 될 때 동시에 on이 되는 구간이 발생하였다. 본 논문에서는 간단한 Non-Overlapping Signal Generator(NOSG)를 사용하여 클럭으로부터 겹치지 않는 CP와 \overline{CP} 를 생성하여 사용한다. CP는 M_N 를 구동하는데 사용되고, \overline{CP} 는 M_P 의 dead-time 적응제어 회로에 사용된다. 따라서 제안된 회로는 DCM 동작 시에는 기존 방식과 같은 dead-time 적응제어 기능과 역 전류 차단 기능을 가지며, CCM 동작 시에는 기존 방식에서 발생하는 overlapping 구간이 발생하지 않게 된다.

2.4 Power Switching 회로

그림 7은 power switching 회로이다. 입력과 출력을 비교하여 큰 값이 출력되며 power 트랜지스터를 구동하는 버퍼회로의 공급전원으로 사용된다. 따라서 DC-DC boost 변환기가 DCM에서 동작시 M_P 의 게이트 단자에 출력전압인 3.3V가 인가될 수 있다. 2.5V가 인가 될 경우 M_P 가 off는 될 수 있지만 V_{SG} 가 약 0.7V값을 가지기 때문에 완벽한 역전류의 차단이 어렵다. 따라서 3.3V를 인가함으로써 V_{SG} 값을 0으로 만들어줘서 2.5V를 인가할 때 보다 M_P 에 흐르는 역전류를 효율적으로 차단할 수 있게 된다.

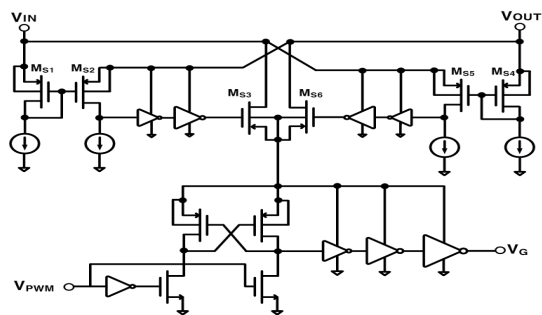


그림 7. Power Switching 회로

III. 모의 실험 결과 및 구현

설계된 boost 변환기는 CMOS 0.18um 공정변수를 사용하여 모의실험을 하였다 그림 8은 설계된 회로의 모의실험 결과이다 입력전압은 2.5V이고, 부하 전류는 200mA이다. 스위칭 주파수가 500kHz일 때, 출력전압은 약 2mV의 리플전압을 가지며 3.3V에서 레귤레이션 되는 것을 확인 할 수 있다. 그림 9는 각각 CCM과 DCM에일 때 결과 파형이다. 모의실험 결과 CCM에서는 M_N 과 M_P 가 non-overlapping 되어 정상적으로 동작하는 것을 V_N 과 V_P 파형에서 확인 할 수 있다. 그리고 DCM에서는 역전류 발생시 M_P 가 강제로 off되는 것을 확인 할 수 있다.

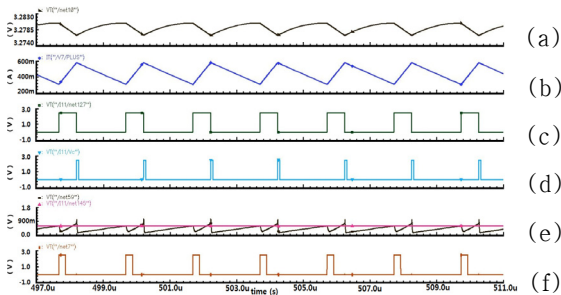


그림 8. 전체 모의실험 결과 (Iout=200mA)

- (a) Output Voltage (b) Inductor Current
- (c) NMOS Gate Input (d) V_{MOD}
- (e) Vsum & Vc (f) CLK

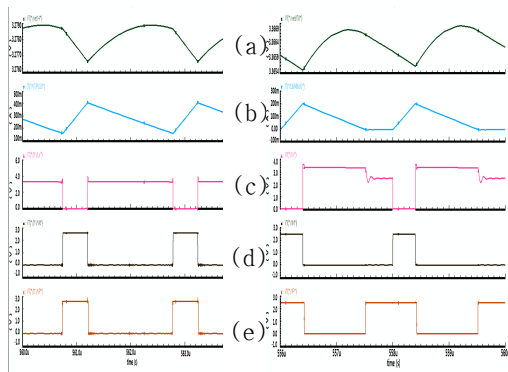


그림 9. CCM(왼쪽), DCM(오른쪽)

- (a) Output Voltage (b) Inductor Current
- (c) LX Voltage (d) NMOS Gate Input
- (e) PMOS Gate Input

설계한 회로의 효율과 그림 4의 회로를 사용한 변환기의 효율을 그림 10에 비교하였다. 부하전류가 작은 DCM에서는 효율차이가 거의 없지만 부하 전류가 큰 CCM에서는 제안된 회로의 효율이 높은 것을 확인 할 수 있다. 설계한 회로의 최대 효율은 전류가 150mA가 일 때 97.8%이다.

그림 11은 부하 전류가 작을 때 power switching 회로를 사용한 경우 효율을 비교하여 나타낸 것이다. power switching 회로를 사용할

경우 부하전류가 약 80mA에서 90%이상의 높은 효율을 얻을 수 있다. 특히 DCM에서는 power switching 회로를 적용하지 않을 경우보다 약 5~8%의 효율이 향상을 보인다

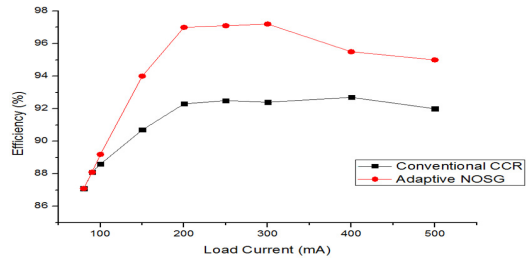


그림 10. 효율 비교

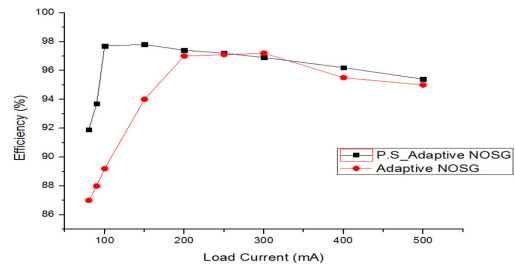


그림 11. Power Switching 유무 경우 효율 비교

IV. 결론

본 논문에서는 dead-time 적응제어 기능을 갖는 DC-DC boost 변환기를 설계하였다. CMOS 0.18um 공정을 이용하여 설계하였고, 모의실험한 결과 스위칭 주파수 500kHz에서 동작하며, 2.5V의 입력 전압으로부터 약 2mV의 리플 특성을 갖는 안정된 3.3V의 전압을 출력한다. 설계한 회로의 최대 효율은 97.8%이며, power switching 회로를 사용한 경우 최대 8%의 효율 향상을 얻을 수 있다.

참고문헌

- [1] C. Y. Leung, P. K. T. Mok and K. N. Leung, "A 1-V Integrated Current-Mode Boost Converter in Standard 3.3/5-V CMOS Technologies", *IEEE Journal of Solid-State Circuits*, vol. 40, pp. 2265-2274, Nov. 2005.
- [2] T. Y. Man, P. K. T. Mok, M. J. Chan, "A 0.9V Input Discontinuous Conduction Mode Boost Converter With CMOS Control Rectifier", *IEEE Journal of Solid-State Circuits*, vol. 43, pp.2036-2046, Sep. 2008.
- [3] H. M. Chen, R. C. Chang, J. L. Wu, "A Low-Voltage Integrated Current-Mode Boost Converter for Portable Power Supply", *14th IEEE International Conference on Electronics, Circuits and Systems*, pp. 1316-1319, Dec. 2007.