
급수를 이용한 DGMOSFET의 채널도핑농도에 대한 전송 특성 분석

한지형, 정학기, 정동수, 이종인, 권오신
군산대학교 전자공학과

Analysis of Transport Characteristics for DGMOSFET according to Channel Doping Concentration Using Series

Jihyung Han-Hakkee Jung-Dongsoo Jeong-Jongin Lee-Ohshin Kwon
Department of Electronic Eng., Kunsan National University

요 약

본 연구에서는 DGMOSFET의 채널내 도핑농도에 따른 전송 특성을 분석하였다 분석학적 모델을 유도하기 위하여 포아송 방정식을 이용하였다 DGMOSFET는 기존 MOSFET에서 발생하는 단채널 효과를 감소시킬 수 있다는 장점 때문에 많은 연구가 진행 중에 있다 단채널 효과는 주로 문턱전압영역을 포함한 문턱전압이하 영역에서 발생하므로 문턱전압이하 영역에서의 전송특성을 분석하는 것은 매우 중요하다. 이 연구에서는 DGMOSFET의 도핑농도를 변화시키면서 문턱전압의 변화와 DIBL을 분석할 것이다

ABSTRACT

In this paper, the transport characteristics for doping concentration in the channel has been analyzed for DGMOSFET. The Poisson equation is used to analytical. The DGMOSFET is extensively been studying because of advantages to be able to reduce the short channel effects(SCEs) to occur in conventional MOSFET. Since SCEs have been occurred in subthreshold region including threshold region, the analysis of transport characteristics in subthreshold region is very important. The threshold voltage roll-off and DIBL have been with various of doping concentration for DGMOSFET in this study.

키워드

DGMOSFET, 도핑농도, 문턱전압, DIBL

Keyword

DGMOSFET, Doping concentration, Threshold voltage, DIBL

1. 서 론

오늘날 반도체산업의 초고속 성장은 전자 및 정보산업의 발전에 기틀을 제공하였으며 실리콘 MOSFET를 이용한 집적회로는 거의 모든 전자 기기에 사용하여 계산 신호처리, 정보저장 등에 이용되고 있다. 소자의 속도와 특성을 개선시키기 위해 MOS(metal oxide semiconductor)소자

의 크기는 매우 작아지게 되었고 최근 MOS 소자들이 나노 단위까지 감소하면서 소자 설계에 있어서 고려해야 할 여러 가지 문제점들이 나타나게 되었다[1]. 소자에 인가되는 전압은 작은 값으로 스케일하기가 어렵기 때문에 전계는 작은 구조에서 증가하는 경향이 있다 결과적으로

다양한 핫 캐리어 효과들이 단채널 MOSFET 에 나타나게 되어 단채널 효과(short channel effect, SCE)들이 발생하기 된다. SCE란 실리콘 MOS 소자의 기술개발로 게이트 길이를 짧게 만들면서 소자의 전체 크기와 동작전압을 감소시킴으로써 소자의 집적도가 높아지고 전력소모가 줄어들고, 동작속도가 빨라지는 성능의 향상이 얻어지는데 게이트의 길이를 짧게 만들면 누설 전류가 증가하거나 on-off를 조절하는 전압이 변동하는 비선형 특성들이 커져서 회로설계에 문제가 되는 현상들을 말한다. 단채널효과중의 하나인 드레인유기장벽감소(drain induced barrier lowering, DIBL)은 드레인에 인가되는 전압의 크기에 따라 게이트아래에 전류의 흐름을 조절하는 장벽의 높이가 바뀌는 현상을 말하는데 대체로 게이트 길이가 감소하면 DIBL이 증가하여 동작의 안정성이 떨어지게 된다. 반도체업계에서는 지난 30여년 동안 MOSFET의 게이트길이를 줄이는 스케일링에 의하여 회로의 동작속도 및 전력소비 문제를 개선하여왔다. 그러나 이러한 스케일링이론은 소자의 길이가 나노단위까지 감소하면서 공정 및 물질의 한계에 부딪쳐 더 이상 적용할 수 없게 되었다[2]. 이러한 SCE 문제들을 해결하기 위해 여러 가지 방법들 중 본 논문에서는 두 개의 게이트를 갖는 Double gate MOSFET의 채널내 도핑 농도에 따른 전송특성을 분석하였다.

II. DGMOSFET 구조와 분석학적 모델

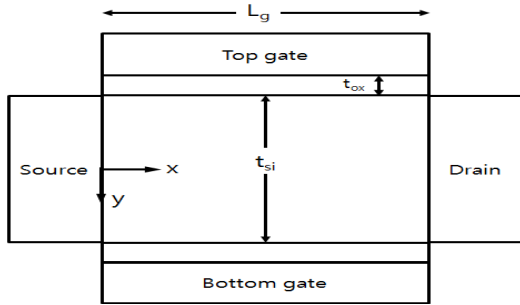


그림 1. DGMOSFET 구조
Fig. 1 Structure of DGMOSFET

그림 1은 이 논문에서 사용한 DGMOSFET의 개략도이다. L_g 는 채널길이, t_{ox} 는 게이트 옥사이드 두께, t_{si} 는 채널두께이다. 이 구조에서 채널의 길이와 두께 방향으로 포텐셜 분포를 구하기 위하여 포아송 방정식을 이용하였다.

$$\frac{\partial^2 \psi(x,y)}{\partial x^2} + \frac{\partial^2 \psi(x,y)}{\partial y^2} = \frac{qN_A}{\epsilon_{si}} \quad (1)$$

여기서 q 는 전자 전하량이고, N_A 는 채널 도핑 농도이며 ϵ_{si} 는 실리콘의 유전율이다. 식(1)을 풀기 위하여 Zhang 등의 경계조건을 이용하면 전위 분포 함수는 아래와 같다[3].

$$\psi(x,y) = V_{bi} + \frac{V_{DS}}{L} x \sum_{n=1}^{100} A(n)(y) \sin \frac{n\pi x}{L} \quad (2)$$

전위분포함수를 이용하여 전자밀도를 구할 수 있으며 전자밀도는 볼츠만통계에 의하여

$$n_m(y) = (n_i^2/N_A) e^{q\psi_{min}/kT} \quad (3)$$

이다. 대부분의 캐리어가 이동되어지는 최소 채널포텐셜 ψ_{min} 은 $\partial\psi(x,0)/\partial x|_{x=x_0} = 0$ 에서 구할 수 있다.

III. DGMOSFET 전송 특성 분석

그림 2는 도핑농도에 따른 포텐셜 분포를 비교한 그래프이다. 채널길이는 60nm, 채널두께는 10nm, 옥사이드 두께는 1nm이다. 도핑의 농도는 $10^{21}m^{-3}$, $10^{23}m^{-3}$, $10^{25}m^{-3}$ 로 변화시키면서 포텐셜 분포에 대하여 비교하였다. 도핑농도가 증가하면서 낮은 전위를 나타냄을 알 수 있다 표면전위가 낮아지므로 ψ_{min} 의 값이 감소함을 알 수 있다.

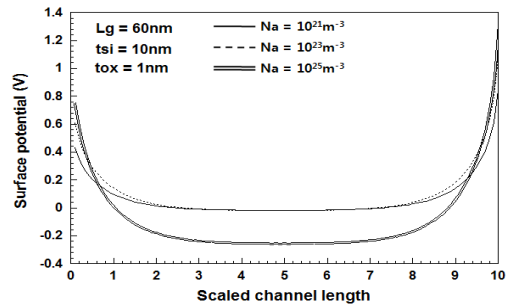


그림 2. 도핑농도에 따른 표면전위 분포
Fig. 2 Surface potential distribution according to doping concentration

그림 3에 도핑농도에 따른 DIBL의 변화를 채널길이에 따라 도시하였다. DIBL 현상은 드레인 전압이 소스측 에너지장벽에 영향을 미치는 정도를 나타내는 척도로서 단채널에서 나타나는 효과이다. DIBL은 아래와 같은 식으로 구할 수

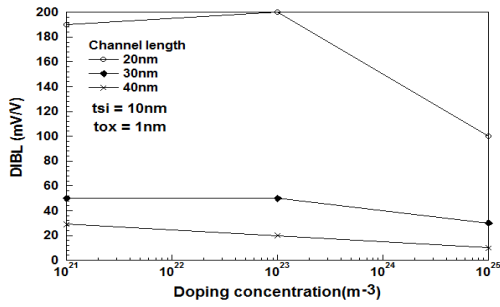


그림 3. 채널 길이를 파라미터로 한 도핑농도에 따른 DIBL의 변화
 Fig. 3 The variation of DIBL with the parameter of channel length for doping concentration

있다.

$$DIBL = V_{th}(V_{DS} = 0.1V) - V_{th}(V_{DS} = 1.1V) \quad (4)$$

채널길이는 20nm에서 40nm까지 10nm씩 증가시켰으며, 도핑농도는 $10^{21}m^{-3}$ 부터 $10^{25}m^{-3}$ 까지 변화 시켰다. 이때 채널두께는 10nm, 게이트 옥사이드 두께는 1nm 이다. 채널길이가 감소할수록 DIBL 현상이 증가함을 알 수 있다 특히 채널길이가 20nm 일때 DIBL 현상이 급격히 증가였다. 또한 도핑의 농도가 증가할수록 DIBL 현상은 감소함을 알 수 있다.

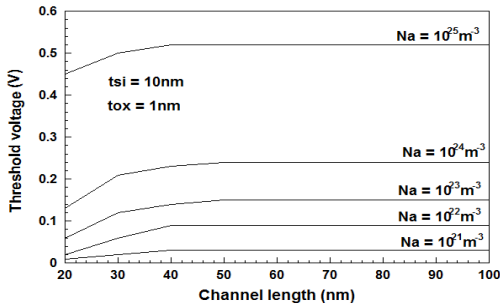


그림 4. 도핑농도를 파라미터로 한 채널 길이 따른 문턱전압의 변화

Fig. 4 The variation of threshold voltage with the parameter of doping concentration for channel length

그림 4에 채널길이에 따른 문턱전압의 변화를 도핑농도에 따라 도시하였다. 드레인 전류가 $10^{-7}A/\mu m$ 일 때의 게이트 전압을 문턱전압으로 정의할 수 있다[4]. 채널길이는 20nm에서 100nm 까지 10nm씩 증가시켰으며, 도핑농도는 $10^{21}m^{-3}$

부터 $10^{25}m^{-3}$ 까지 변화 시켰다. 이때 채널두께는 10nm, 게이트 옥사이드 두께는 1nm 이다. 도핑의 농도가 $10^{21}m^{-3}$ 일 때는 채널길이가 40nm 이하로 작아지면서 문턱전압의 변화가 있고 도핑의 농도가 $10^{22}m^{-3}$ 부터 $10^{25}m^{-3}$ 까지는 채널길이가 50nm 이하로 작아지면서 문턱전압의 변화가 생김을 알 수 있다. 또한 도핑의 농도가 $10^{25}m^{-3}$ 일 때 문턱전압이 급격히 증가함을 알 수 있다

IV. 결론

본 연구에서는 채널내 도핑농도에 따른 DIBL 현상과 문턱전압에 대하여 분석하였다. 분석학적 모델을 유도하기 위하여 포아송 방적식을 사용하였다. 도핑의 농도가 커지면서 전위분포가 낮아짐을 알 수 있었다. 결과적으로 도핑의 농도가 커지면 DIBL은 감소하였고 채널길이가 20nm 일 때 DIBL은 급격히 증가함을 알 수 있었다. 문턱전압은 채널내 도핑농도가 증가할 수록 증가함을 알 수 있었고, 도핑의 농도가 $10^{21}m^{-3}$ 일 때는 채널길이가 40nm 이하로 작아지면서 문턱전압 감소하였고, 도핑의 농도가 $10^{22}m^{-3}$ 부터 $10^{25}m^{-3}$ 까지는 채널길이가 50nm 이하로 작아지면서 문턱전압이 감소하였다. DIBL 현상과 문턱전압은 채널내 도핑농도 및 채널길이에 따라 급격히 변화하므로 DG MOSFET 설계시 중요한 파라미터로 작용함을 알 수 있다

참고문헌

- [1] G. Curatola, G. Fiori and G. Iannaccone, "Modeling and simulation challenges for nanoscale MOSFETs in the ballistic limit", Solid-State Elec., vol.48, pp.581-687, 2004
- [2] 정학기, Sima Dimitrijevic, "더블게이트 MOSFET의 서브문턱스윙에 대한 연구", 한국해양정보통신학회, vol.9, no4, pp.804- 810, 3004
- [3] Z. Ding, G. Hu, J.Gu, R. Lin, L.Wang and T. Tang, "An analytical model for the subthreshold swing of double-gate MOSFETs", IWJT, 2010
- [4] TCAD Manual, Part4:INSPEC,ISE Integrated Systems Engineering AG, Zurich, Switzerland, 2001, p.56, ver.7.5