

저전압 EEPROM IP용 DC-DC Converter 설계

장지혜* · 최인화* · 박영배* · 김려연* · 하판봉* · 김영희*

*창원대학교

Design of DC-DC Converter for Low-Voltage EEPROM IPs

Ji-Hye Jang* · In-Hwa Choi* · Young-Bae Park* · Liyan Jin* · Pan-Bong Ha* · Young-Hee Kim*

*Changwon National University

e-mail: youngkim@changwon.ac.kr

요 약

본 논문에서는 FN(Fowler-Nordheim) 터널링 방식에 의한 program 동작과 band-to-band 터널링 방식에 의한 erase 동작을 수행하는 EEPROM IP용 DC-DC converter를 설계하였다. 로직전압으로 $1.5V \pm 10\%$ 의 저전압을 사용하는 EEPROM IP용 DC-DC converter는 charge pump 회로의 pumping stage 수와 pumping capacitance를 줄이기 위해 입력 전압으로 VDD 대신 VRD(Read Voltage)을 전압을 사용하는 방식을 제안하였다. VRD($=3.1V \pm 0.1V$)는 5V의 external supply voltage를 voltage regulator 회로를 이용하여 regulation된 전압이다. 설계된 DC-DC converter는 write 모드에서 VPP($=8V$)와 VNN($=-8V$)의 전압을 출력한다.

ABSTRACT

A DC-DC converter for EEPROM IPs which perform erasing by the FN (Fowler-Nordheim) tunneling and programming by the band-to-band tunneling is designed in this paper. For the DC-DC converter for EEPROM IPs using a low voltage of $1.5V \pm 10\%$ as the logic voltage, a scheme of using VRD (Read Voltage) instead of VDD is proposed to reduce the pumping stages and pumping capacitances of its charge pump circuit. VRD ($=3.1V \pm 0.1V$) is a regulated voltage by a voltage regulator using an external voltage of 5V. The designed DC-DC converter outputs VPP ($=8V$) and VNN ($=-8V$) in the write mode.

Key words

EEPROM, band-to-band tunneling, DC-DC, charge pump, low-voltage

1. 서 론

비휘발성 메모리 IP는 스마트 카드와 비접촉 카드, 모바일 통신, 자동화 응용제품의 MCU 등의 광범위한 SoC(System on Chip) 분야에 사용되고 있으며, 저면적 특성을 가진 비휘발성 메모리가 요구되고 있다[1]. 실시간 정보 갱신, 보안 데이터 저장, 명령코드 저장 등의 기능을 하는 MCU(Micro Controller Unit)용 내장형 비휘발성 메모리로 명령 코드 저장용인 OTP(One-Time Programmable) 메모리와, 사용자 데이터 저장을 위한 내장형 EEPROM 메모리가 사용되고 있다[2]. 1Mb 이하의 비휘발성 메모리로는 그림 1에서 보듯이와 같이 저면적 셀 사이즈의 EEPROM이

주로 사용되고 있다[3].

저면적 EEPROM 설계 기술은 SSTC(Side-wall Selective Transistor Cell) 방식의 EEPROM 셀이 제안되었다[4]. SSTC 구조의 EEPROM 셀은 FG (Floating Gate)를 중심으로 CG (Control Gate)가 양 side를 둘러싸고 있는 구조이다. 기존의 EEPROM cell은 인접한 2row에 있는 cell마다 SL(Source-Line) contact을 layout해야 하므로 셀 면적이 커지는 단점이 있다. 2 row마다 SL contact을 공유하는 것보다는 선택되는 word의 SL을 common으로 하는 common source 방식이 셀 사이즈를 줄일 수 있다. Common source 방식의 EEPROM 셀은 FN 터널링 방식을 이

용하여 program하고, BL(Bit-Line) diffusion과 FG 사이의 band-to-band 터널링 방식을 이용하여 erase 할 수 있다.

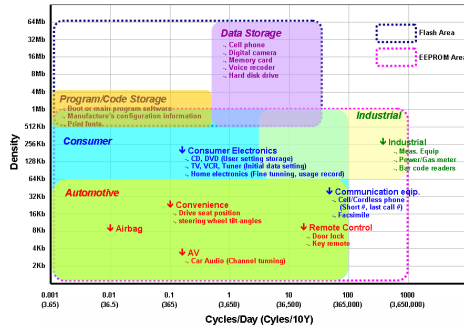


그림 1. 응용 제품에 따라 요구되는 write cycle 수와 메모리 용량[3].
Fig. 1. Memory densities and number of write cycles required for application products[3].

본 논문에서는 band-to-band 터널링을 이용하여 EEPROM 셀을 erase하는 EEPROM용 DC-DC converter를 설계하였다. 로직전압으로 1.5V±10%의 저전압을 사용하는 EEPROM IP용 DC-DC converter는 charge pump 회로의 pumping stage 수와 pumping capacitance를 줄이기 위해 입력 전압으로 VDD 대신 VRD(Read Voltage)를 전압을 사용하는 방식을 제안하였다. VRD(=3.1V±0.1V)는 5V의 external supply voltage를 voltage regulator 회로를 이용하여 regulation된 전압이며, charge pump의 입력전압과 read 모드에서 cell의 WL(Word-Line) 전압으로 사용된다. 설계된 DC-DC converter는 VPP(=8V)와 VNN(=-8V)의 전압을 출력한다.

II. 회로 설계

그림 2(a)에 보여지는 SSTC 구조의 EEPROM 셀은 FG (Floating Gate)를 중심으로 CG (Control Gate)가 양 side를 둘러싸고 있는 구조이다[4]. CG와 FG 사이의 절연물질인 ONO(Oxide-Nitride-Oxide)는 coupling ratio를 높이기 위해 사용하고 있다 SSTC cell의 oxide는 92Å의 thin oxide인 tunnel oxide, 300Å의 thick oxide로 구분된다. 그리고 HPW를 둘러싸고 있는 DNW (Deep N-Well)은 erase mode에서 HPW에 14V의 고전압이 인가되므로 SSTC cell의 isolation을 위해 필요하다. Thick gate oxide transistor는 HV select transistor이다. FG에 electron을 ejection시키는 동작은 erase mode이고, FG에서 electron을 injection시키는 동작은 program mode이다. EEPROM cell의 erase와 program은 FG 아래의 tunnel oxide를 통해서 FN 터널링에 의해 이루어진다. 기존의 EEPROM cell은 그림 2(b)에서 보는바와 같이 SL(Source Line) contact은 인접한 2row에 있는 cell마다 layout해야 하므로 셀 면적이 커지는 단점이 있다.

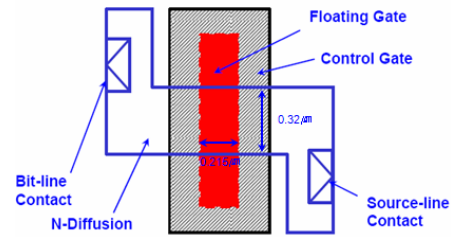
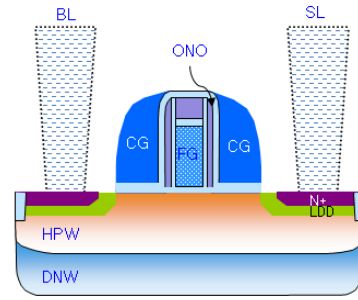


그림 2. 기존의 EEPROM 셀 (a) 단면도 (b) layout plot.

Fig. 2. Conventional EEPROM cell : (a) its cross-sectional view and (b) its layout plot.

2 row마다 SL contact을 공유하는 것보다는 한 word의 SL을 common으로 하는 common source 방식이 셀 사이즈를 줄일 수 있다. Common source 방식의 EEPROM 셀은 FN 터널링 방식을 이용하여 program하고, band-to-band 터널링 방식을 이용하여 erase 할 수 있다. 표 1은 common source 방식 EEPROM 셀의 노드별 바이어스 전압 조건 표를 보여주고 있다. 표에서 보는바와 같이 write 모드에서 +8V와 -8V의 pumping voltage가 요구된다.

표 1. Common source 방식 EEPROM 셀의 노드별 바이어스 전압 조건

Table 1. Each bias voltage at each node of an EEPROM cell of common-source method.

Node	Mode	Program		Erase		Read	
		Selected Column	Non-Selected Column	Selected Column	Non-Selected Column	Selected Column	Non-Selected Column
WL	Selected Row	8V	8V	-8V	-8V	VRD	VRD
	Non-Selected Row	0V	0V	0V	0V	0V	0V
BL		Floating	Floating	8V	0V	VDD	Floating
SL		-8V	0V	Floating	Floating	0V	0V
HPW		-8V	0V	0V	0V	0V	0V
DNW		0V	0V	0V	0V	0V	0V

설계된 DC-DC converter의 블록도는 그림 3에서 보는바와 같이 reference voltage divider, VPP(Boosted Voltage)와 VNN(Negative Voltage) generation 회로로 구성되어 있다. Reference voltage divider는 VREF_VPP와 VREF_VNN 전압을 공급한다. VPP와 VNN은 negative feedback 방식으로 각각 +8V, -8V의 전압을 공급한다.

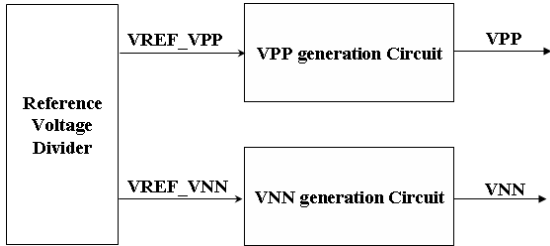


그림 3. DC-DC converter 블록도.
Fig. 3. Block diagram of DC-DC converter.

그림 4는 8V의 출력전압인 VPP를 만들어 주는 Dickson 전하펌프 회로를 보여준다. 입력 전원으로 VRD를 사용하였고 펌핑 커패시터는 MIM(Metal-Insulator-Metal)을 사용하였으며, 전하펌프의 출력 전압은 VPP이다. 본 논문에서 설계된 VPP charge pump 회로는 저전압에서 펌핑단의 수를 줄여 면적을 줄이기 위해 PN 접합 다이오드 대신 다이오드의 Cut-In 전압이 낮은 N-type의 Schottky 다이오드를 사용하였다[5]. 전하펌프에 사용된 Schottky 다이오드의 Anode는 금속성 재료인 Co Salicide에 연결되며, Cathode는 Deep HNW에 연결되어 N-type Schottky 다이오드로 동작하게 된다

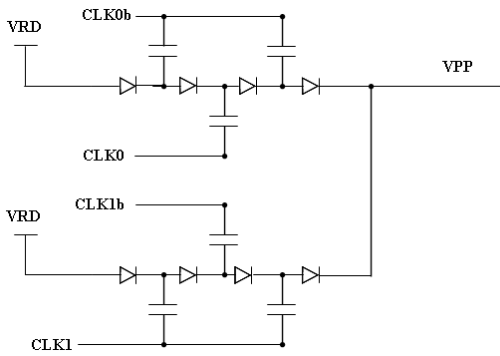


그림 4. Schottky 다이오드를 사용한 2-phase VPP charge pump 회로도.
Fig. 4. Two-phase VPP charge pump using Schottky diodes.

그림 5는 NMOS 다이오드를 사용한 4단 Dickson 전하펌프를 사용하여 -8V 전압을 공급하는 VNN charge pump 회로도[6]이다. VNN은 부궤환에 의해 -8V의 전압을 유지한다.

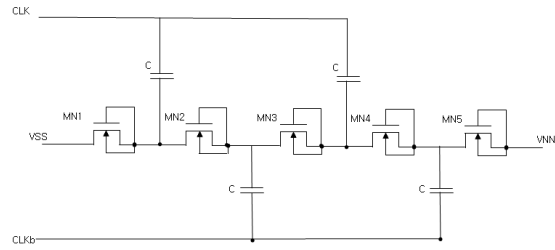


그림 5. NMOS 다이오드를 사용한 4단 VNN charge pump 회로도.
Fig. 5. Four-stage VNN charge pump using NMOS diodes.

III. 모의실험 결과

0.13 μ m 공정을 이용하여 저전압 EEPROM용 DC-DC converter를 설계하였다. 그림 6은 oscillation 주기에 따른 pumping current의 모의 실험 결과로 oscillation 주기가 줄어들면서 pumping current가 증가하는 것을 볼 수 있다. VPP와 VNN charge pump의 ring oscillation 주기는 VRD=3V, Temp=-40 $^{\circ}$ C, SS(Slow NMOS Slow PMOS) model parameter 조건에서 각각 100ns, 105ns로 설계되었다. 설계된 ring oscillation 주기에서 VPP와 VNN charge pump의 pumping current는 각각 7.9 μ A, 5.4 μ A이다.

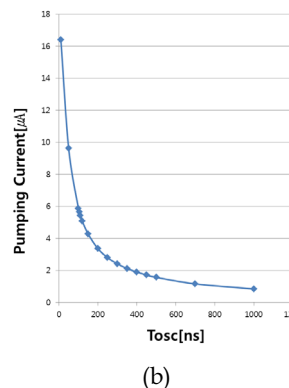
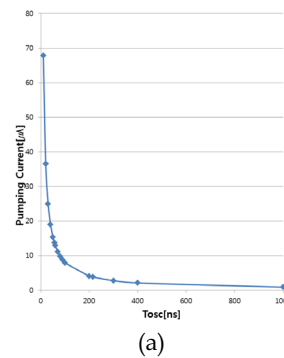
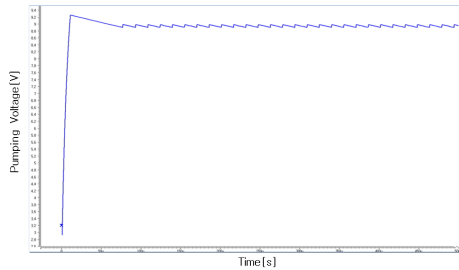


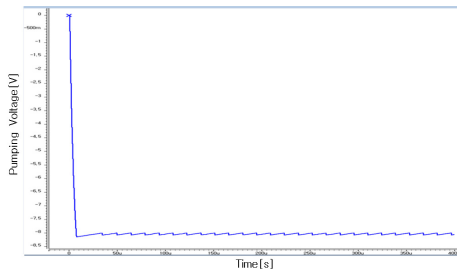
그림 6. Oscillation 주기에 따른 pumping current (a) VPP (b) VNN.

Fig. 6. Pumping currents with respect to oscillation periods : (a) VPP and (b) VNN.

그림 7은 VPP와 VNN charge pump의 ripple voltage를 모의실험한 결과 파형을 보여주고 있다. VRD=3.2V, Temp=85°C, FF(Fast NMOS Fast PMOS) model parameter 조건에서 VPP와 VNN의 ripple voltage는 각각 77mV, 79mV로 설계되었다.



(a)



(b)

그림 7. Charge pump 회로의 ripple voltage (a) VPP (b) VNN.

Fig. 7. Ripple voltages of charge pumps : (a) VPP and (b) VNN.

IV. 결론

비휘발성 메모리 IP는 스마트 카드와 비접촉 카드, 모바일 통신, 자동화 응용제품의 MCU 등의 광범위한 SoC(System on Chip) 분야에 사용되고 있으며, 저면적 특성을 가진 비휘발성 메모리가 요구되고 있다. 1Mb 이하의 비휘발성 메모리로는 저면적 셀 사이즈의 EEPROM이 주로 사용되고 있다.

기존의 EEPROM cell은 인접한 2row에 있는 cell마다 SL(Source-Line) contact을 layout해야 하므로 셀 면적이 커지는 단점이 있다. 2 row마다 SL contact을 공유하는 것보다는 선택되는 word의 SL을 common으로 하는 common source 방식이 셀 사이즈를 줄일 수 있다.

본 논문에서는 band-to-band 터널링을 이용하여 EEPROM 셀을 erase하는 common source 방식 EEPROM용 DC-DC converter를 설계하였다. 설

계된 DC-DC converter는 charge pump 회로의 pumping stage 수와 pumping capacitance를 줄이기 위해 입력 전압으로 VDD 대신 VRD(Read Voltage)을 전압을 사용하는 방식을 제안하였다. 설계된 DC-DC converter는 VPP(=8V)와 VNN(=-8V)의 전압을 출력한다. 0.13 μ m 공정을 이용하여 설계된 VPP와 VNN charge pump의 pumping current는 각각 7.9 μ A, 5.4 μ A이며, ripple voltage는 각각 77mV, 79mV로 설계되었다.

감사의 글

본 논문은 지식경제부 출연금으로 ETRI SW-SoC융합 R&BD센터에서 수행한 시스템 반도체설계인력양성사업의 연구결과입니다.

참고문헌

- [1] F. Xu *et al.*, "Key Design Techniques of A 40ns 16K Bits Embedded EEPROM Memory," *Communication, Circuits and System*, Vol. 2, pp.1516-1520, June 2004.
- [2] M. Hatanaka *et al.*, "Value Creation in SOC/MCU Applications by Embedded Non-Volatile Memory Evolutions," *Asian Solid State Circuits Conference*, pp. 38-42, Nov. 2007.
- [3] G. S. Cho *et al.*, "Design of a Small-Area Low-Power, and High-Speed 128-KBit EEPROM IP for Touch Screen Controllers," *Journal of KIMIC*, vol. 13, no. 12, pp. 2633-2640, Dec. 2009.
- [4] D. H. Kim *et al.*, "Design of an EEPROM for a MCU with the Wide Voltage Range," *Journal of Semiconductor Technology and Science*, vol. 10, no. 4, pp. 316-324, Dec. 2010.
- [5] S. M. Baek *et al.*, "Design of a Small-Area Low-Power, Asynchronous EEPROM for UHF RFID Tag Chips," *Journal of KIMIC*, vol. 11, no. 12, pp. 2366-2372, Dec. 2007.
- [6] K. I. Kim *et al.*, "Design of logic process based 256bit EEPROM IP for RFID Tag Chips and Its measurements," *Journal of KIMIC*, vol. 14, no. 8, pp. 1868-1876, Aug. 2010.