

배선용 무전해 동 피막에 관한 연구

A study of interconnects Electroless Copper Surface

허진영*, 이흥기, 이호년

한국생산기술연구원 열표면기술센터(E-mail: isedang@kitech.re.kr),

초록 : 본 연구는 반도체 배선형성에 있어 무전해 방식의 동(Electroless Copper) 피막특성에 관한 연구이다. 반도체 동 배선을 습식 무전해 도금공정을 이용하여 형성하였고, 이의 피막에 대하여 기본적인 표면 및 단면 조직이나 결정구조, 밀도, 석출속도, 밀착성 등을 분석하였다. 이어, 배선용 특성으로 요구되는 배선 비저항과 열처리에 따른 저항변화를 실험을 통하여 고찰하였고, 표면조도 및 조직구조에 따라 EM에 대한 영향성을 고찰하였다. 이어 AR3.0에 배선폭 30nm급의 초미세 배선상에서의 Gap-fill 상태를 확인한 결과 void없이 충전됨을 확인할 수 있었다.

1. 서론

최근 반도체 및 정보전자 산업의 급속한 발전에 따라 소자의 직접화와 대용량화를 추구하기 위해 배선폭이 급격히 감소하고 배선길이가 증가하고 있다. 배선소재에는 저 저항, 낮은 전자이동(Electromigration)특성, 접착력, 기계적 및 전기적 안정성, 내부식성, 소자 및 장비의 낮은 오염도, 낮은 박막응력, 증착 및 패터닝 공정의 용이성, 후속 열 공정 안정성 등이 필요하다. 무전해 방식은 소지상에 균일성(uniformity)이 우수한 막을 잘 형성시킬 수 있는 큰 장점 때문에 기존 PVD, CVD, EP 방식의 단점들에 대한 대안으로 떠오르고 있으며, 특히, 무전해 동도금만으로 초등각 전착 구현에도 사용될 수 있다는 점에서 주목받고 있다. 그러나, 석출속도, 접착력, 불순물, 특히 도금액내 조성변화 관리, 공정조건들에 따라 물리적 특성이 달라지는 단점 등은 보완되어야 한다.¹⁾²⁾³⁾⁴⁾⁵⁾⁶⁾ 따라서, 기본적인 전해질에 대한 연구와 더불어, 배선용으로 무전해동 석출물이 가지는 특성에 대한 체계적인 연구는 필수적이다.

2. 본론

본 연구에서 사용된 ELD Cu 전해질의 조성물은, 금속염으로는 cupric sulfate를 사용하고 착화제로 potassium sodium tartrate, 환원제로 formaldehyde를 사용하는 알칼리 무전해 동조성물을 기본으로 하며, 여기에 catalyst, buffer, stabilizer, pH adjuster 및 기능성 surfactant들로 조성된다. 실험에 사용된 소지는 Si 웨이퍼상에 PVD로 형성한 Cu와 ALD로 형성한 Ru 및 Ta barrier layer를 사용하였다. 처리공정은 세척을 위한 sulfuric base의 cleaning 후 밀착력 증가를 위한 soft etching, 친수성 부여를 위한 conditioning 후 Sn 또는 Pd로 1단계 또는 2단계 활성화처리를 하였다. 이후 최종 무전해 구리를 pH 12~14(12.5), 25°C에서 실시하였다. 액의 안정성과 반응성, 석출속도, 레벨링성, 표면 및 단면의 조직과 형상 관찰 후 석출속도 10nm/min의 양질의 기본적인 무전해 동전해질 조성을 확보하였다.

Fig. 1은 열처리 온도조건에 따른 표면조직의 변화를 나타낸 것으로 온도가 증가 할수록 조직이 조대해지는 것을 알 수 있다. Fig. 2는 열처리 전·후 무전해 동층의 비저항 측정 결과를 나타냈다. 열처리 전·후 비저항 변화를 비교한 결과, 열처리 후 비저항이 감소되는 것으로 나타났다. 특히, 400°C에서 비저항 감소율은 약 33%로 가장 커 저항 감소를 위한 최적 열처리 온도임을 실험결과 알 수 있었다. Fig. 3은 100~500°C 온도구간에서 열처리한 샘플에 대하여 XRD 패턴분석 후 (111)/(200) 방향의 강도비율을 비교한 결과를 나타내었다. 열처리 전 석출막의 경우 강도값 2.13을 보였으나 열처리 온도가 증가함에 따라 강도값이 커져 400°C에서 최대 강도값 3.26을 보였다. 즉, 열처리 온도가 증가함에 따라 (111) 결정이 (200) 결정에 비하여 상대적으로 많아지는 것을 의미하며 이는 곳 EM 저항성에서 유리할 수 있다고 생각할 수 있다. 반면 열처리 온도가 500°C일 경우 강도비율 값이 다시 1.2로 낮아져 (200)결정이 상대적으로 많아진 것을 알 수 있다. 따라서, Fig. 2와 Fig. 3 결과를 비교해 볼 때 (111)/(200) 강도비율이 커 질수록 구리의 비저항 값이 감소한다고 사료된다. Fig. 4는 선폭 30nm급, 종횡비(AR) 3.0의 웨이퍼 트랜치(Ta/SiO₂/Si)에 공동(Void)이나 틈(Seam) 등의 결함없이 충전(Gap-fill)됨을 관찰할 수 있었다.

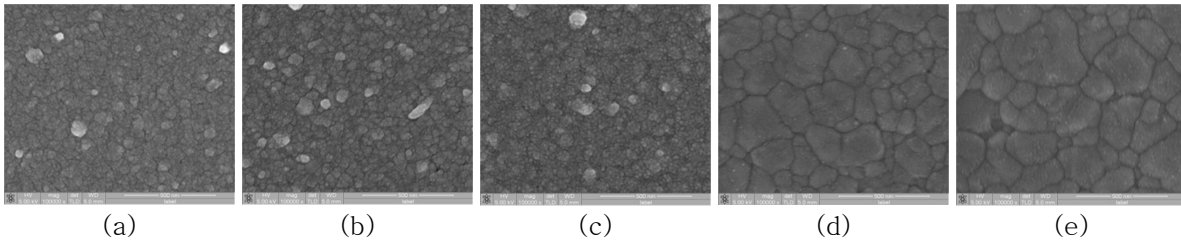


Fig. 1 Surface morphology of 100nm thick electroless copper deposit with annealing temperature; (a)10 0°C, (b)200°C, (c)300°C, (d)400°C, (e)500°C

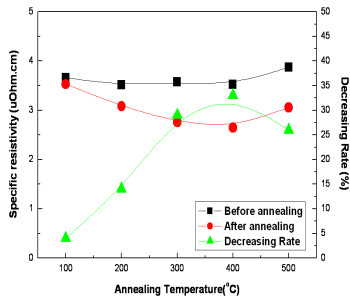


Fig. 2 Variation of specific resistivity of electroless copper deposit

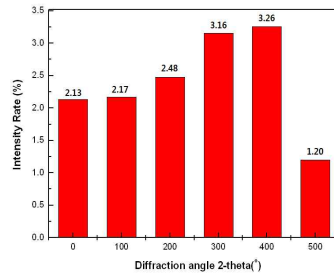


Fig. 3 XRD intensity Ratio of (111)/(200) peaks of electroless copper film with annealing temperature

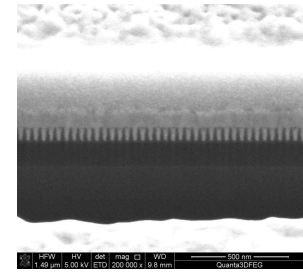


Fig. 4 Defect-free conformal gap-fill of patterned wafer with electroless copper plating process (30nm scale line width, A.R. 3)

3. 결론

반도체 동 배선을 무전해 도금공정을 이용하여 습식공정으로 실험을 수행하였다. 10nm 두께의 루테늄 및 탄탈 확산방지막 (Barrier) 층에 Pd 활성화 처리 후 균질한 무전해 동 피막층의 직접 형성이 가능하였다. VMS, 25°C, pH 12.0~12.3에서의 피막은 10분 처리 후 두께 107μm(ca.10nm/min), 거칠기(Ra) 2.9nm, 결정구조 (100/200) cubic 형성, Cu peak의 (111)/(200) 강도비율은 2.13, 밀도 8.59g/cm³의 안정하며 양호한 피막을 형성할 수 있었다. 열처리에 따른 비저항 변화를 보기 위하여 40 0°C에서 30min 열처리 후 비저항 측정결과, 2.6uΩ·cm(at El.Cu thickness 100nm)로 약 25%의 최대 저항감소 효과를 관찰할 수 있었다. 또한, 선폭 30nm급, 중형비(AR) 3.0의 웨이퍼 트랜치(Ta/SiO₂/Si)에 공동(Void)이나 틈(Seam) 등의 결함없이 충전(Gap-fill)됨을 관찰할 수 있었다.

참고문헌

1. J.J. Kim et al, 2003, J. Vac. Sci. Technol, B21(1) 33.
2. Wang Zi et al, 2006, Electrochimica Acta, 51(12) 2442-2446
3. Yuri Lantsov et al, 2000, Microelectronic Engineering, 50(1-4) 441-447
4. R.L. McEachern et al, 1991, J. Vac. Sci. Technol, A9 3105
5. T.P.Moffat et al, 2000, J.Electrochem. Soc, 147 4524-5435
6. Hui Jeong, Yang et al, 2001, J.Metals and materials, 14(6) 8-13