

회로 구현 디바이스에 따른 저전력 알고리즘 연구

김재진[○], 강경식^{*}

[○]강동대학교 신재생에너지과

^{*}충북보건과학대학교 정보통신부사관과

e-mail: dkimjj@gangdong.ac.kr[○], kang@chsu.ac.kr^{*}

A Study of Low Power Algorithm along a Circuit Implementation Device

Jae-Jin Kim[○], Kyung-Sik Kang^{*}

[○]Dept. of New & Renewable Energy, Gangdong College

^{*}Dept. of Military Info-Communication Eng., Chungbuk Health & Science University

● 요약 ●

본 논문에서는 회로 구현 디바이스에 따른 저전력 알고리즘을 제안한다. 제안한 알고리즘은 회로를 구현할 디바이스의 면적과 동작 주파수를 고려하여 저전력의 회로를 구현할 수 있는 방법이다. 저전력의 회로를 구현하기 위해 우선 구현하고자 하는 회로를 구성하고 있는 라이브러리들 중에서 최소의 면적을 가지고 있는 라이브러리들을 선택한다. 선택된 라이브러리들의 면적과 지연시간을 이용하여 회로 구현 대상 소자의 면적에 따라 필수 라이브러리들의 면적을 제외한 나머지 면적에 대해 복제가 가능한 라이브러리들의 수를 구한다. 최대의 지연시간을 가지고 있는 라이브러리부터 면적에 따라 차례로 복제를 수행하여 회로 전체의 수행시간을 감소시킨다. 회로 구현의 라이브러리들과 수가 결정되면 회로 동작이 허용하는 범위내에서 주파수를 조절하여 최소의 소모 전력을 갖는 회로를 구현한다.

본 논문에서는 제안한 알고리즘의 효율성을 입증하기 위해 RT 라이브러리를 이용하여 회로를 구현하여 비교 실험을 수행하였다. 실험결과 8.3%의 소모 전력이 감소된 결과를 나타내어 제안한 알고리즘의 우수성이 입증되었다.

키워드: 저전력(low power), 라이브러리(library), 복제(duplication), 스케줄링(scheduling)

I. 서론

배터리를 사용하는 이동기기들의 발달로 인하여 저전력에 대한 연구와 관심이 높아지고 있다. 제한된 배터리를 이용하여 좀 더 많은 사용시간을 갖기 위해서는 이동기기에 대한 저전력 연구는 필수적인 연구 대상이다. 이동기기의 소모 전력을 줄이는 방법으로 전체 프로그램의 스케줄링(scheduling)을 이용하는 방법과 저전력의 회로를 구현하여 전력을 감소시키는 방법, 주파수를 변화시키는 방법 등이 연구되고 있다. 회로를 이용한 저전력 구현 방법은 회로에 사용되는 프로세서(processor)나 디바이스(device) 등을 저전력으로 구현하거나 사용 환경을 개선하는 방법이 있다. 프로세서의 소모 전력은 클럭 게이팅(clock gating) 방법 등을 이용하여 감소시킨다.[1, 2, 3]. 배터리를 고려한 방법으로는 QoS, 또는 전체 회로의 주파수를 조절하여 소모 전력을 감소시키는 방법 등이 제안되었다[4, 5, 6, 7].

그러나 이러한 방법들은 회로구현 소자를 고려하지 않아 디바이스 자원의 소비가 크며, 효율적인 저전력 회로를 구현하기 어렵

다는 단점이 있다.

본 논문에서는 이러한 단점을 보완하여 회로 구현 대상 소자의 면적과 지연 시간 정보를 이용하여 최대한의 면적을 활용하여 주파수를 조절함으로써 저전력의 회로를 구현할 수 있는 방법을 제안하였다.

II. 저전력 알고리즘

1. 정보

1.1 소자 정보

회로를 구현하기 위한 대상 소자에 대한 정보로서 면적과 입력에서 출력까지의 지연시간을 정보로 갖는다.

1.2 RT 라이브러리 정보

회로를 구현하기 위한 RT 라이브러리로서 주어진 기능을 수행

할 수 있는 모든 라이브러리들에 대한 정보이다. RT 라이브러리의 정보는 캐패시터와 지연시간, 면적을 정보로 표현한다. RT 라이브러리들의 정보들 중에 리플캐리 가산기에 대한 정보는 표 1에 나타내었다.

표 1. RT 라이브러리
Table 1. RT library

RT 라이브러리		캐패시터 (pf)	지연 (ns)	면적
모듈명	연산			
리플 캐리 가산기	mod	3,82	16,4	188
	max	3,82	17,8	196
	min	3,82	17,8	196
	adder	3,18	12,6	124
	subtr	3,36	14,0	132
	array mult	59,2	117,4	2526
	booth mult	58,6	109,6	2608

2. 저전력 알고리즘

2.1 스케줄링(Scheduling)

저전력으로 회로를 구현하기 위해서는 회로를 구현할 대상 소자의 면적과 지연시간을 고려하여 회로를 구현할 라이브러리를 선택하여야 한다. 선택된 라이브러리들중에서 가장 지연시간이 긴 라이브러리의 지연시간을 기준으로 스케줄링을 수행한다.

2.2 복제(Duplication)

회로를 구현하고자 하는 소자의 전체 면적과 스케줄링의 결과 선택된 필수 라이브러리들의 면적을 고려하여 소자의 여분 면적에 라이브러리를 복제하여 전체 스케줄링 단계를 줄인다. 복제는 라이브러리들 중에서 가장 면적이 큰 것에서 작은 것으로 복제가 가능한가를 판단하여 복제를 진행한다.

2.3 주파수변경

복제를 이용하여 회로를 구현하고자 하는 소자의 면적에 맞도록 최대한의 라이브러리를 구현한 후 주파수를 변경하여 소모 전력을 낮추어 저전력 회로를 구현한다. 주파수와 소모 전력은 비례한다. 따라서 회로의 동작과 설계 사양이 허용하는 최소 주파수가 될 수 있도록 주파수를 변경한다.

III. 실험

본 논문에서 제안한 알고리즘에 대한 실험 대상으로 16비트 FIR 필터를 선정하였다. 16비트 FIR 필터의 필수 라이브러리는 2개의 곱셈기와 2개의 가산기이다. 회로 구현의 대상 소자는 ALTERA사에서 제공되는 FLEX10K30을 선정하여 실험하였다. 실험 결과 알고리즘의 적용 전에 비해 소모 전력이 8.3% 감소된 결과를 나타내었다. 실험 결과는 표 2에 나타내었다.

표 2. 실험 결과

Table 2. Experiment Result

예제명	알고리즘 미적용		알고리즘 적용	
	면적 (사용된 총CLB수)	소모전력 (mW)	면적 (사용된 총CLB수)	소모전력 (mW)
16 비트 FIR 필터	1,888	1,832	2,879	1,680

IV. 결론

본 논문에서는 회로 구현 디바이스에 따른 저전력 알고리즘을 제안한다. 제안한 알고리즘은 회로를 구현할 디바이스의 면적과 동작 주파수를 고려하여 저전력의 회로를 구현할 수 있는 방법이다. 저전력의 회로를 구현하기 위해 우선 구현하고자 하는 회로를 구성하고 있는 라이브러리들 중에서 최소의 면적을 가지고 있는 라이브러리들을 선택한다. 선택된 라이브러리들의 면적과 지연시간을 이용하여 회로 구현 대상 소자의 면적에 따라 필수 라이브러리들의 면적을 제외한 나머지 면적에 대해 복제가 가능한 라이브러리들의 수를 구한다. 최대의 지연시간을 가지고 있는 라이브러리부터 면적에 따라 차례로 복제를 수행하여 회로 전체의 수행시간을 감소시킨다. 회로 구현의 라이브러리들과 수가 결정되면 회로 동작이 허용하는 범위내에서 주파수를 조절하여 최소의 소모 전력을 갖는 회로를 구현한다.

본 논문에서는 제안한 알고리즘의 효율성을 입증하기 위해 RT 라이브러리를 이용하여 회로를 구현하여 비교 실험을 수행하였다. 실험결과 8.3%의 소모 전력이 감소된 결과를 나타내어 제안한 알고리즘의 우수성이 입증되었다.

참고문헌

- [1] Qing Wu, Massoud Pedram, Xunwei Wu, "Clock-Gating and Its Application to Low Power Design of Sequential Circuits," IEEE Custom Integrated Circuits Conference, 1997.
- [2] D. Garrett, M. Stan, and A. Dean, "Challenges in clock gating for a low-power ASIC methodology," in Proc. ISLPED, San Diego, CA, pp. 176-181, August, 1999.
- [3] Pietro Babighian, Enrico Macii, "A Scalable Algorithm for RTL Insertion of Gated Clocks Based on ODCs Computation," IEEE transactions on Computer-Aided Design of Integrated Circuits And Systems, vol. 24, no. 1, January 2005, pp.29-42.
- [4] L. Benini, G. Castelli, A. Macii, R. Scarsi, "Battery-Driven Dynamic Power Management of Portable System", ISSS(International Symposium on System Synthesis), 2000, pp.25-33.
- [5] Jaemin Kim, "A Study of Low Power Algorithm for a Task

- under the Time Constraint", Korean Institute of Information Technology, vol. 7, no. 6, 2009, pp.27-34.
- [6] Kwanhoung Lee, Jingu kang, Jaejin Kim, "A Study on A Frequency Selection Algorithm for Minimization Power Consumption of Processor in Mobile Communication System", The Korea Society of Computer Information Conference, 2008, pp. 25-32.
- [7] Jaejin Kim, "A Study on Battery Driven Low Power Algorithm in Mobile Device", The Korea Society of Computer Information, vol. 16, no. 2, 2011, pp.193-199.