

TF-P013

## Channel Length에 따른 NMOSFET 소자의 Hot Carrier 열화 특성

김현기, 김상섭, 최병덕

성균관대학교

본 연구에서는 Symmetric NMOSFET의 channel length에 따른 전기적 특성 분석에 관한 연구를 진행하였다. 특성 분석에 사용된 소자의 Gate oxide 두께는 6 nm 이며, 채널 Width/Length는 각각 10/10  $\mu\text{m}$ , 10/0.2  $\mu\text{m}$  이다. Drain Avalanche Hot Carrier(DAHC) 테스트를 진행하기 위하여 각각 스트레스 조건을 추출하였고, 조건에 해당되는 스트레스를 1700초 동안 인가하였다. 스트레스 후, Channel length가 10  $\mu\text{m}$ 과 0.2  $\mu\text{m}$ 인 두 소자의 특성을 측정, 분석결과 10  $\mu\text{m}$ 의 소자의 경우 문턱전압(VT)과 Subthreshold swing (SS)의 변화가 없었지만 0.2  $\mu\text{m}$ 의 소자의 경우 0.42V의 (from 0.67V to 1.09V) 문턱전압 변화 (VTH)와 71 mV/dec (from 79 mV/dec to 150 mV/dec)의 Swing (SS)변화를 보여 스트레스 후에 Interface trap이 증가하였음을 알 수 있다. off-state leakage current를 측정 결과 0.2  $\mu\text{m}$ 의 경우 leakage current의 양이 증가하였음을 알 수 있고 이는 드레인 부근에 증가된 interface trap에 의한 현상으로 판단된다. 상기 결과와 같이 DAHC 스트레스에 의한 소자의 열화 현상은 Channel length가 짧을수록 더 크게 의존하는 것을 확인하였다.

**Keywords:** MOSFET, channel length, Hot carrier, degradation

TF-P014

## Memory Effect of In<sub>2</sub>O<sub>3</sub> Quantum Dots and Graphene in SiO<sub>2</sub> thin Film

Dong Uk Lee, Seong Min Sim, Joon Sub So, Eun Kyu Kim

Quantum-Function Research Lab. and Department of Physics, Hanyang University, Seoul 133-791, Korea

The device scale of flash memory was confronted with quantum mechanical limitation. The next generation memory device will be required a break-through for the device scaling problem. Especially, graphene is one of important materials to overcome scaling and operation problem for the memory device, because of the high carrier mobility, the mechanical flexibility, the one atomic layer thick and versatile chemistry. We demonstrate the hybrid memory consisted with the metal-oxide quantum dots and the mono-layered graphene which was transferred to SiO<sub>2</sub> (5 nm)/Si substrate. The 5-nm thick secondary SiO<sub>2</sub> layer was deposited on the mono-layered graphene by using ultra-high vacuum sputtering system which base pressure is about  $1 \times 10^{-10}$  Torr. The In<sub>2</sub>O<sub>3</sub> quantum dots were distributed on the secondary SiO<sub>2</sub> layer after chemical reaction between deposited In layer and polyamic acid layer through soft baking at 125°C for 30 min and curing process at 400°C for 1 hr by using the furnace in N<sub>2</sub> ambient. The memory devices with the In<sub>2</sub>O<sub>3</sub> quantum dots on graphene monolayer between SiO<sub>2</sub> thin films have demonstrated and evaluated for the application of next generation nonvolatile memory device. We will discuss the electrical properties to understating memory effect related with quantum mechanical transport between the In<sub>2</sub>O<sub>3</sub> quantum dots and the Fermi level of graphene layer.

**Keywords:** quantum dots, graphene, SiO<sub>2</sub>