

CMOS 스위치를 이용한 디지털 이득 제어 구조의 PGA 설계

김철환* · 박승훈* · 이정훈* · 임재환* · 이주섭** · 최근호** · 임윤성** · 류지열*

*부경대학교 · **주네드텍

Design of a Programmable Gain Amplifier with Digital Gain Control Scheme using CMOS Switch

Cheol-Hwan Kim* · Seung-Hun Park* · Jung-Hoon Lee* · Jae-Hwan Lim* · Joo-Seob Lee** ·

Geun-Ho Choi** · Yoon-Sung Lim** · Jee-Youl Ryu*

*Pukyong National University · **Nedtech Co., Ltd.

E-mail : compuny@gmail.colm

요 약

본 논문에서는 CMOS 스위치를 이용한 디지털 이득 제어 구조를 가진 이득 조절 증폭기 (PGA, Programmable Gain Amplifier)를 제안한다. 기존의 아날로그 이득 제어 방식에서는 가변적인 트랜스 컨덕턴스를 활용하는 과정에서 바이어스 전류나 전압에 의해 이득이 변하게 되어 순간적으로 구성회로의 바이어스 포인트가 변하기 때문에 왜곡이 발생하게 되는 문제점이 있다. 본 논문에서는 이러한 문제점을 해결하기 위해 기존의 gm-boosting 증폭기를 변형한 디지털 이득 제어 방식으로 설계되어 있기 때문에 우수한 선형성을 가지며 특수 목적에 맞도록 그 이득을 6dB에서 60dB까지 7가지 단계로 조절 가능하다. 제안한 PGA는 기존 회로에 비해 0.2dB 보다 작은 이득오차와 0.47mW의 낮은 소비전력 특성을 보였다.

키워드

CMOS 스위치, 디지털 이득 제어, PGA, 선형성, 저전력

I. 서 론

PGA (Programmable Gain Amplifier)는 분석 시스템의 중요한 요소로서 일반적으로 디스크 드라이브, 광수신기, 무선통신 시스템 등 많은 분야에서 다양하게 사용되는 증폭기로 미약한 입력 신호를 일정 크기 이상으로 증폭시키는 기능을 한다. 이렇게 PGA에 입력된 전기신호를 일정 크기 이상으로 증폭하는 과정에서 입력대비 출력의 이득 제어 과정을 거치게 되는데, 일반적으로 아날로그 이득 제어 방식과 디지털 이득 제어 방식이 있다[1-2].

본 논문에서 제안하는 PGA 기능은 센서에

서 검출된 자력신호를 자화기가 전기신호로 변환하는 과정에서 신호분석에 어려움이 있는 미약한 전기신호를 분석 가능한 크기의 신호로 증폭시켜 주는 역할을 담당한다. 본 논문에서 제안하는 PGA는 이득제어를 위해 디지털 방식의 제어에 의한 스위치를 사용하는데, 입력 신호 대비 출력 이득을 크게 할 때는 스위치를 닫고 반대로 이득을 적게 할 때는 스위치를 열어 제어한다. 여기서 스위치의 개폐 여부는 판단은 DSP (Digital Signal Processor)의 궤환 루프를 적용하는 데 사용자가 결함의 패턴에 따라 개폐 여부를 미리 DSP에 저장하여 입력 신호

패턴에 따라 결정하게 된다.

본 논문의 PGA는 차동 증폭기와 CMOS 스위치로 구성된다. 본문에서는 PGA의 동작 원리를 소개하고 CMOS 스위치에 대한 소개 후 결론을 맺었다.

II. 본 론

가. 제안된 PGA 동작원리

그림 1은 제안된 PGA 구성요소를 블록 다이어그램으로 나타낸 것으로 크게 차동증폭기, 이득 조절단 및 바이어스 회로로 구성된다. 2 포트 인-아웃 형태를 가지며 출력단자에서는 증폭된 전기신호가 생성된다. 여기서 gm-boosting 증폭기 활용으로 인해 최대 출력 전압 스윙이 증가하며, 잡음, 비이상적인 효과 및 짝수 고조파 성분이 공통모드에서 제거되기 때문에 잡음이 강하고 높은 선형성 그리고, 저전력 동작의 차동증폭기 설계가 가능하다. 또한 기존의 gm-boosting 증폭기를 변형시켜 더 높은 이득과 회로의 안전성을 가진다. 다음으로 이득 조절단은 제안된 PGA의 이득이 결정되며 이득 제어를 위해 스위치나 저항으로 구성된다. 여기서 설계된 이득 조절단은 DSP 회로로부터 총 7개의 제어 신호를 받아 이득을 조절한다. 마지막으로 바이어스 회로는 전류거울 형태로 제안된 PGA가 동작하도록 전체 회로의 바이어스 전압을 잡아준다.

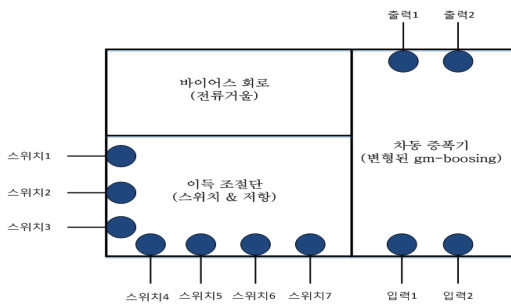


그림 1. 제안된 PGA 블록 다이어그램

나. CMOS 스위치

제안된 PGA의 입력 신호 대비 큰 이득을 가지려면 스위치가 닫히고 반대로 낮은 이득은 스위치를 열어 이득을 조절하게 된다. CMOS

스위치는 PGA의 축퇴저항 (R_s)을 활용한 차동증폭기로 구성되며, 그림 2와 같은 구조를 가진다. 그림 2와 같은 구조는 축퇴저항으로 인해 저전압 동작과 정확한 이득을 가지며, DC 전압 강하 없이 선형성을 증가시킬 수 있다. 그렇기 때문에 축퇴저항 차동증폭기를 제안된 PGA에 적용하였으며, 제안된 PGA의 동작을 파악하기 위해 축퇴저항 차동증폭기의 차동모드 및 공통모드 특성을 분석한다.

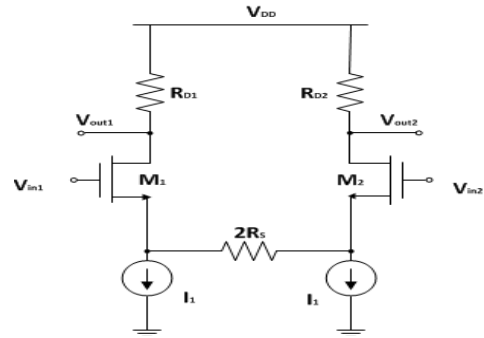


그림 2. 축퇴저항 차동증폭기

높은 이득이 필요한 경우 축퇴 저항의 크기가 작아져야 하기 때문에 이득오차가 커지게 된다. 그래서 정확한 이득과 고이득을 얻기 위해 gm-boosting 회로와 이득 증폭단을 추가하여 설계하였다. 그림 3은 본 논문에서 제안하는 PGA를 나타낸 것이다.

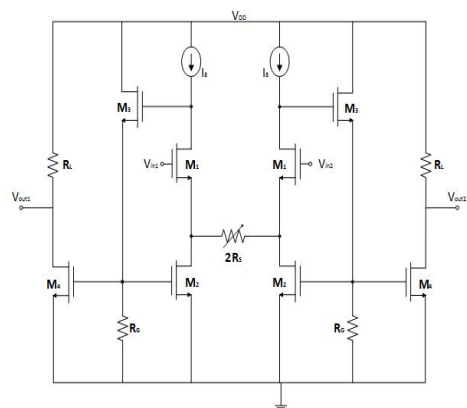


그림 3. 제안하는 PGA

PGA의 이득은 식 (1)과 같다.

$$A_v = \alpha \frac{R_L}{R_s} \quad (1)$$

본 논문의 PGA는 축퇴 저항의 크기로 이득이 조절가능하며 다양한 이득을 나타내기 위해 스위치와 저항으로 구성하였다. 이득 조절단은 병렬 구조로 7개의 저항과 완전 대칭 구조를 가지기 위해 14개의 CMOS 스위치로 구성되고, 병렬 구조를 통해 전체 등가 저항의 크기가 조절되며 스위치가 닫히는 수가 많을수록 저항의 크기는 작아져 제안된 PGA의 이득이 증가한다.

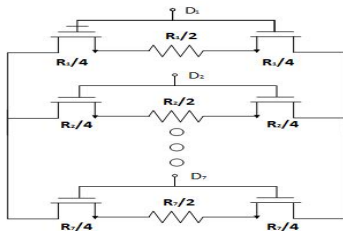


그림 4. 스위치와 저항으로 구성된 이득 조절단

다. 제안된 PGA 시뮬레이션

표 1은 구현된 PGA의 성능을 참고문헌의 spec과 비교하여 간략히 요약하였다.

표 1. PGA 성능 비교 요약

	본 논문	[1]	[2]	[3]	[4]
공정 (μm)	0.18	0.18	0.18	0.18	0.18
이득 범위 (dB)	6/60	-21/21	0/70	-15/60	-22/32
이득 오차 (dB)	<0.2	<0.54	<0.7	<0.3	<0.5
면적 (μm^2)	0.016	0.078	1.2	0.06	0.385

III. 결 론

본 논문은 0.18 μm CMOS 1poly-6metal 공정을 이용하여 PGA를 설계하였다. 외부에서 인가되는 노이즈를 줄이기 위해 완전 대칭 차동증폭기를 이용하고 칩의 크기 및 선형성을

고려하여 CMOS 스위치-온 저항 효과와 저항을 이용해 이득 조절단을 설계하였다. 6dB ~ 60dB총 7가지 이득 조절이 가능하고 최대 0.18dB의 우수한 이득오차 특성을 보였으며 전체 칩 크기는 0.016 μm^2 으로 작은 면적을 차지하였다.

감사의 글

본 연구는 한국산업기술진흥원의 지역산업기술개발 사업 재원으로 지원을 받아 수행된 연구결과입니다 (C-D-2013-0014, 강관결함검출용 초고속 자기 영상 융합 시스템 개발).

참고문헌

[1] H. -H. Nguyen, "A Binary-Weighted Switching and Reconfiguration-Based Programmable Gain Amplifier", IEEE Transactions on Circuits and Systems II: Express Briefs, p. 699-703, 2009.
 [2] B. Zhang, "A Low Power Programmable Gain Amplifier with 70-dB Control Range in CMOS Technology", 2011 IEEE 13th International Conference on Communication Technology (ICCT), p. 1074-1077, 2011.
 [3] B. Rahmatian, "A Low-Power 75dB Digitally Programmable CMOS Variable-Gain Amplifier", Canadian Conference on 2007 Electrical and Computer Engineering (CCECE 2007), p. 522-525, 2007.
 [4] S. Y. Kang, "A 2.16 mW Low Power Digitally-Controlled Variable Gain Amplifier," Microwave and Wireless Components Letters, Vol. 20 no. 3 pp. 172-174, 2010.